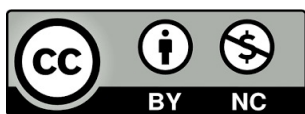


Álvaro Manuel Llamazares Prieto

Técnicas de caracterización y
mitigación de impedancias
parásitas para convertidores
basados en tecnología SiC
VERSIÓN CORREGIDA

Director/es
García Gracia, Miguel

<http://zaguan.unizar.es/collection/Tesis>



Universidad de Zaragoza
Servicio de Publicaciones

ISSN 2254-7606



Universidad
Zaragoza

Tesis Doctoral

TÉCNICAS DE CARACTERIZACIÓN Y MITIGACIÓN
DE IMPEDANCIAS PARÁSITAS PARA
CONVERTIDORES BASADOS EN TECNOLOGÍA
SIC
VERSIÓN CORREGIDA

Autor

Álvaro Manuel Llamazares Prieto

Director/es

García Gracia, Miguel

UNIVERSIDAD DE ZARAGOZA
Escuela de Doctorado

Programa de Doctorado en Energías Renovables y Eficiencia Energética

2023



Universidad
Zaragoza

Tesis Doctoral

Técnicas de caracterización y mitigación de
impedancias parásitas para convertidores
basados en tecnología SiC

Autor

Álvaro Manuel Llamazares Prieto

Director

Miguel García Gracia

Departamento de Ingeniería Eléctrica
2022

A mi familia, por su apoyo incondicional

Resumen

En los últimos años el desarrollo de convertidores de potencia de última generación demanda densidades de energía más altas, más eficientes y fiables. Los transistores MOSFET de carburo de silicio (SiC) son una prometedora alternativa a día de hoy a la tecnología del silicio (Si). Presentan mejores propiedades térmicas y eléctricas que les permite trabajar a frecuencias de conmutaciones más rápidas. Sin embargo, su implantación presenta un desafío ya que a causa de la rapidez con la que conmuta se excitan las impedancias parásitas, de valor muy bajo, en el bucle de corriente de conmutación. Dando lugar a sobretensiones y oscilaciones no deseadas que aumentan las pérdidas y que limitan el potencial de los SiC MOSFET. El principal objetivo de esta tesis es contribuir al estado del arte para caracterizar y minimizar las impedancias parásitas en el bucle de conmutación.

Para medir las impedancias entre distintos puntos eléctricos separados varios cm se ha implementado una sonda flexible apantallada con terminales de prueba móviles para la medida de impedancias sobre PCB, lo que permite evitar los montajes específicos para cada medida que eran necesarios en el uso del analizador vectorial de redes VNA.

Con el empleo de esta sonda y del propio VNA, se han desarrollado las técnicas de medida para la caracterización de las impedancias parásitas en un semipunto alimentado por un PCB busbar, formado por dos planos paralelos, según la teoría de líneas de transmisión. El procedimiento desarrollado permite además caracterizar las impedancias parásitas del bucle de corriente de conmutación.

También se presentan dos técnicas para el estudio y la mitigación de las oscilaciones no deseadas durante la conmutación a corte. La primera técnica, es una metodología de medida de impedancias para la predicción de la frecuencia de oscilación y la duración de las mismas. La segunda técnica consiste en un apantallamiento magnético localizado sobre el bucle de corriente de conmutación en un semipunto con PCB busbar, que reduce la inductancia parásita del bucle de corriente de conmutación.

Índice

Capítulo 1.	9
Introducción	9
1. Resumen	9
1.1. Motivación y antecedentes	9
1.2. Objetivos	11
1.3. Estructura de la tesis.....	12
Capítulo 2.	15
Caracterización de la impedancia parásita mediante una sonda flexible apantallada..	15
2. Resumen	15
2.1. Introducción.....	15
2.2. Medida de impedancias.....	17
2.2.1 Medida de impedancias con VNA.....	18
2.2.2 Sonda flexible para la medida de impedancia.....	19
2.2.3 Impedancias parásitas de la sonda.....	20
2.2.4 Técnicas de mitigación de parásitas.....	22
2.3. Montaje experimental	23
2.3.1 Circuito de referencia	23
2.3.2 PCB experimentales y VNA	25
2.4. Caracterización de PCB	26
2.4.1 Procedimiento de medida directa.....	26
2.4.2 Procedimiento de ajuste de curva.....	28

2.4.3	Simulación PEEC	29
2.5.	Resultados.....	30
2.5.1	Análisis del apantallamiento magnético	30
2.5.2	Procedimiento de medida directa.....	33
2.5.3	Procedimiento de ajuste de curva.....	34
2.5.4	Comparación de resultados.....	36
2.5.5	Limitaciones de medida grandes planos de Cu	38
Capítulo 3.	41
	Descripción y medida eléctrica de un PCB busbar con circuitos de parámetros distribuidos.....	41
3.	Resumen	41
3.1	Introducción.....	41
3.2	Comportamiento eléctrico del bus DC	44
3.3	Parámetros distribuidos de un busbar laminado	51
3.4	Circuito equivalente de un semipunto con busbar.....	54
3.4.1	Descripción de las impedancias del circuito equivalente.....	56
3.4.2	Impedancia de entrada.....	56
3.4.3	Dipolo equivalente de carga.....	58
3.4.4	Circuito equivalente del bucle de conmutación.....	61
3.5	Técnicas de medida.....	62
3.5.1	Metodologías de medida de impedancias con VNA	62
3.5.2	Medida de un SiC MOSFET	66

3.5.3	Caracterización de Cbus	68
3.5.4	Procedimiento de calibración.....	69
3.5.5	Montajes de ensayo	71
3.5.6	Medida de la impedancia del circuito de disparo de puerta	76
3.6	Cálculo de impedancias por simulación.....	78
Capítulo 4.		81
Caracterización de la impedancia del bucle de corriente de conmutación		81
4.	Resumen	81
4.1.	Procedimiento de caracterización	81
4.2.	Caracterización de las impedancias parásitas en el CCL.....	83
4.3.	Discusión de los resultados.....	89
4.3.1	Caracterización experimental del SiC MOSFET	89
4.3.2	Caracterización experimental de Cbus.....	89
4.3.3	Caracterización experimental del driver	91
4.3.4	Caracterización del dipolo de carga ZL.....	94
4.3.5	Impedancias discretas del CCL	101
4.3.6	Cálculo de la impedancia CCL	102
Capítulo 5.		109
Técnicas para la caracterización y mitigación de las oscilaciones.....		109
5.	Resumen	109
5.1.	Oscilaciones durante la conmutación.....	109
5.2.	Capacidades no lineales del SiC MOSFET.....	113

5.3.	Técnica para la caracterización de las oscilaciones	114
5.3.1	Ensayo de doble pulso	114
5.3.2	Ajuste de la atenuación a partir de la medida del test de doble pulso..	117
5.3.3	Método de medida de impedancias por barrido de tensión	119
5.3.4	Comparación de metodologías.....	123
5.4.	Metodología de apantallamiento del bucle de corriente de conmutación ..	127
5.4.1	Apantallamiento magnético del bucle de conmutación	127
Capítulo 6.	135
	Conclusiones y líneas futuras	135
6.1.	Conclusiones	135
6.2.	Contribuciones originales	137
6.3.	Líneas de trabajo futuras	139
Anexo I.	Impedancia compleja de la impedancia de carga ZL	141
I.A.	Impedancia del paralelo de dos impedancias complejas	141
I.B.	Calculo de la frecuencia de antiresonancia en ZL.....	143
Anexo II.	Dependencia de la tensión de avalancha con la tensión de puerta.....	145
II.A.	Introducción.....	145
II.B.	Montaje experimental	146
II.C.	Procedimiento de ajuste y resultados	149
II.C.1.	Procedimiento de ajuste funciones cuadráticas.....	149
II.C.2.	Función de ajuste por exponenciales.....	152
II.C.3.	Resultados experimentales	153

II.D. Conclusiones	156
Anexo III. Precisión de la medida de impedancias con E5061B.	157
III.A. Cálculo de la precisión.....	157
III.B. Precisión métodos de medida con puertos Gain-Phase.....	157
III.C. Precisión métodos de medida con puertos parámetros-S	159
Anexo IV. Modelos de simulación para el cálculo de impedancias.	161
IV.A. Modelos de simulación	161

Capítulo 1.

Introducción

A continuación, se exponen las motivaciones de la investigación realizada en esta tesis, describiendo el enfoque utilizado para afrontar el trabajo desarrollado y estableciendo los objetivos de la misma.

1.1. Motivación y antecedentes

Actualmente existe una demanda creciente en sistemas de conversión de potencia eléctrica basados en semiconductores de potencia que requieren alta eficiencia y alta densidad de energía. El carburo de silicio (SiC) ofrece un desempeño mejorado respecto a los dispositivos basados en silicio (Si). Su potencial de aplicación incluye sectores como son las energías renovables[1], la electrificación del transporte[2], las aplicaciones industriales y domésticas[3].

En base a las propiedades del SiC se espera que en un futuro próximo sustituya en algunas aplicaciones a semiconductores de potencia de Si. En este sentido, los semiconductores basados en tecnología SiC, permiten conmutar a frecuencias más altas que los basados en silicio (Si) y, por tanto, hacen posible alcanzar altas densidades de potencia y eficiencia en convertidores de potencia. Los semiconductores con tecnología de SiC presentan mayor conductividad térmica, mayor campo eléctrico crítico, menor permitividad y mayor velocidad de saturación que los semiconductores de Si [1][4]. Asimismo, presentan una resistencia ideal de conducción menor [5]. Además, dispositivos como el SiC MOSFET, presentan capacidades parásitas más pequeñas entre las uniones de diferentes regiones de drenaje, fuente, y puerta que sus homólogos de Si [6], lo que permite que la conmutación de la tensión y de la corriente se realice en tiempos muy pequeños. Sin embargo, ello da lugar a muy altas variaciones de tensión (dv/dt) y de corriente (di/dt) [7], dv/dt hasta 88 V/ns y di/dt de 4.4 A/ns para transistores SiC MOSFET [8]. Con esas propiedades un convertidor basado en tecnología SiC puede alcanzar bajas pérdidas de potencia por conmutación y conducción en un amplio rango

de tensiones y frecuencias de conmutación. Además, debido a las bajas pérdidas que presentan respecto a los dispositivos basados en silicio hacen posible simplificar las topologías de los convertidores a topologías más sencillas con un menor número de dispositivos de potencia para la mayoría de las aplicaciones [9].

Como consecuencia de las rápidas conmutaciones del SiC MOSFET se producen sobretensiones y oscilaciones no deseadas en el transistor. La frecuencia de conmutación en convertidores viene limitada por la amplitud y frecuencia de estas oscilaciones, que dependen de la impedancia en el bucle de corriente de conmutación [10]. Los picos de sobretensión en los SiC MOSFET aparecen durante los transitorios de conmutación a corte debido a las altas di/dt que circulan por las inductancias parásitas del bucle de corriente de conmutación [11]. Estas sobretensiones pueden llegar a ser hasta un 68% mayor que en transistores basados en silicio [12]. Asimismo, pueden ser la causa de sobrecalentamientos, degradación e incluso la destrucción del dispositivo. Las oscilaciones durante la conmutación en los SiC MOSFET se producen por la resonancia entre las impedancias parásitas del bucle de corriente de conmutación y las capacidades parásitas del SiC MOSFET [13] [14]. Estas oscilaciones dan lugar a pérdidas adicionales en aplicaciones con frecuencias de conmutación muy altas [15], reduciendo la posibilidad de alcanzar frecuencias de conmutación mayores. También, la duración de la oscilación limita la frecuencia a la que el convertidor puede trabajar de forma segura. Además, las oscilaciones de alta frecuencia causadas por las impedancias parásitas son las principales fuentes de emisión de interferencias electromagnéticas (EMI) [16]-[19] en un convertidor, dificultando el cumplimiento normativo para su comercialización.

Existen diferentes técnicas que abordan como mitigar los efectos de las oscilaciones no deseadas causadas por las impedancias parásitas. La más utilizada consiste en diseñar los convertidores para minimizar la inductancia total del bucle de corriente de conmutación, además se deben escoger componentes que presenten bajas inductancias parásitas[20]-[22]. También es frecuente añadir modificaciones al circuito introduciendo redes de amortiguamiento RC (Snubber) en paralelo con el SiC MOSFET[23]. Sin embargo, las pérdidas aumentan al tener que cargarse y descargarse la capacidad en

paralelo. También existen diferentes circuitos de disparo de puerta activos que controlan la trayectoria de conmutación mediante circuitería externa y cálculos a tiempo real [24].

Por tanto, las impedancias parásitas restringen el total aprovechamiento de los dispositivos con tecnología SiC. Por ello, para conseguir un diseño óptimo de convertidores basados en SiC MOSFET son necesarias técnicas para una caracterización precisa de las impedancias parásitas en el convertidor que faciliten su evaluación y mitigación.

1.2. Objetivos

Los objetivos establecidos para este trabajo son:

- Desarrollar una técnica para la medida de impedancias parásitas en alta frecuencia (> 100 MHz) en convertidores basados en tecnología SiC.
- Estudio y análisis mediante la teoría de líneas de transmisión de las impedancias parásitas en un semipunto con el busbar diseñado en una placa de circuito impreso (PCB).
- Analizar la impedancia del bucle de corriente de conmutación en la frecuencia.
- Desarrollar una técnica para la predicción de las oscilaciones de alta frecuencia en un semipunto debido a la corriente de conmutación de los SiC MOSFET.
- Desarrollar técnicas que mitiguen los efectos de la impedancia del bucle de corriente de conmutación.

1.3. Estructura de la tesis

Los resultados de la investigación realizada se plasman en este documento de tesis que se ha organizado en cinco capítulos.

El capítulo 1 presenta la motivación que ha llevado a desarrollar esta tesis y se resumen los objetivos planteados. También se describe la estructura de esta tesis.

El capítulo 2 presenta una novedosa sonda flexible apantallada con terminales de prueba móviles. Esta sonda emplea un plano metálico de apantallamiento perpendicular a la PCB que elimina los principales errores de medida causados por la variación en el flujo magnético que existe por el cambio de posición de los terminales de prueba entre calibración y medida.

En el capítulo 3 se describe el comportamiento eléctrico de un PCB busbar (dos planos paralelos) mediante circuitos de parámetros distribuidos. Asimismo, se describen las impedancias parásitas de un semipuerto con PCB busbar. Además, se describen las configuraciones y metodologías de medida de impedancias, así como sus montajes de ensayo.

En el capítulo 4 se presenta un procedimiento para caracterizar la impedancia del bucle de corriente de conmutación Z_{CCL} de un semipuerto a través de la medida y modelado de cada elemento que lo componen. Estos elementos son el condensador de bus, el busbar laminado, las pistas que conectan con los SiC MOSFET y la conexión con la PCB driver (tarjeta de control de disparo de puerta).

Dos técnicas para el estudio y la mitigación de las oscilaciones no deseadas durante la conmutación a corte se presentan en el capítulo 5. La primera es una metodología de medida de impedancias que permite la predicción de las oscilaciones y la duración de las mismas. La segunda técnica se basa en el apantallamiento magnético localizado sobre el bucle de corriente de conmutación reduciendo el campo magnético total del bucle y por tanto su inductancia.

Finalmente, en el capítulo 6 se resumen las conclusiones y aportaciones de esta tesis, asimismo se proponen líneas futuras de trabajo.

En el Anexo I se analiza el circuito de la impedancia de carga. El Anexo II describe la dependencia de la tensión de ruptura de avalancha de un SiC MOSFET con la tensión de puerta y la temperatura. En el Anexo III se muestran las expresiones para el cálculo de la precisión del analizador de impedancias. Por último, el Anexo IV incluye diferentes modelos de simulación utilizados en este trabajo.

Capítulo 2.

Caracterización de la impedancia parásita mediante una sonda flexible apantallada

Este capítulo presenta una nueva metodología de medida basada en los parámetros-S mediante un analizador vectorial de redes (VNA) y el uso de una sonda flexible apantallada con terminales de prueba móviles. La sonda flexible emplea un plano metálico de apantallamiento perpendicular a la PCB para evitar los principales errores en la medida, los cuales son introducidos por la variación del flujo magnético responsable de la inductancia de bucle durante el barrido de frecuencia del VNA. Se propone un procedimiento mediante ajuste de curvas que consiste en medir la impedancia característica y el tiempo de propagación de las pistas considerando que constituyen líneas de transmisión ideales, valores que son utilizados para realizar un ajuste por mínimos cuadrados no lineales para la línea real (con pérdidas).

2.1. Introducción

Las impedancias parásitas se pueden caracterizar experimentalmente o por simulación electromagnética mediante diferentes métodos numéricos que tienen en cuenta la geometría y los materiales de la PCB [25]. Para la estimación por simulación de las impedancias parásitas existen dos métodos: el de circuitos equivalentes de elementos parciales (PEEC) [26]-[28] y el de análisis por elementos finitos (FEA) [29]-[30]. Ambos métodos se han utilizado para caracterizar las impedancias parásitas en módulos de potencia [27]-[29] y las inductancias parásitas en el bus de continua en inversores con tecnología SiC laminados [31] y en busbar basados en PCB [32]. Los métodos numéricos exigen conocer con exactitud la geometría, los materiales utilizados y sus propiedades para obtener resultados precisos. Por otra parte, presentan un alto coste computacional en estructuras complejas que requieren un análisis en frecuencia.

Las técnicas experimentales pueden ser en el dominio del tiempo o en el de la frecuencia, según sea la respuesta analizada por el equipo de medida. Respecto a las técnicas en el dominio del tiempo, Time Domain Reflectometry (TDR) [33] consiste en obtener la respuesta a escalón o a impulso del circuito. La medida por TDR es una metodología que puede resultar compleja, especialmente porque los errores en frecuencia [34] aparecen en todos y cada uno de los instantes de tiempo requiriendo de un procesamiento posterior de los datos [35]. La segunda técnica es el test de doble pulso (DPT) utilizado en el estudio de la respuesta de los transitorios de conmutación en una conmutación dura de dispositivos de electrónica de potencia [36] en una rama de semipunto. En este test, el análisis de las conmutaciones permite obtener las pérdidas, visualizar las sobreoscilaciones y estimar la inductancia parásita del bucle de conmutación [37] en una conmutación dura. Es un método muy utilizado para verificar el resultado de la reducción de las parásitas observando la mitigación de las oscilaciones [32]-[38]. Sin embargo, la estimación de la inductancia en el bucle de conmutación se obtiene con la frecuencia de las oscilaciones en la tensión durante la conmutación y la capacidad de la unión del dispositivo de potencia, por lo que no se distinguen cada una de las impedancias parásitas en el convertidor. En [39] los autores caracterizan las impedancias parásitas que afectan a la conmutación de un semipunto con distintos ensayos experimentales basados en la respuesta temporal de la carga y descarga de capacidades conectadas en puntos clave del circuito.

La impedancia en el dominio de la frecuencia se puede medir mediante un analizador de impedancias [40] o con un analizador vectorial de redes (VNA). El analizador de impedancias se ha utilizado para caracterizar la impedancia parásita del bucle de conmutación en inversores trifásicos de dos niveles hasta 100 MHz [32] y en T-Type inverter hasta 10 MHz [41] ambos con montajes de ensayo específicos diseñados ad hoc. También se ha utilizado para caracterizar las impedancias parásitas en dispositivos semiconductores de potencia de Si [42], así como en dispositivos de SiC [43]. El VNA caracteriza la impedancia en el rango que va desde centenas de kHz hasta GHz, a través de los parámetros-S. El VNA se ha empleado para determinar las impedancias parásitas en una PCB de pequeñas dimensiones para un convertidor de Nitruro de Galio (GaN) de baja potencia [44], con las conexiones para las medidas integradas en la propia PCB, es

decir utilizando montajes de ensayo (test fixture) fijos. También se ha empleado para caracterizar las impedancias parásitas en dispositivos discretos y módulos de potencia con técnicas de medida de un puerto y de dos puertos [45]. Por otra parte, los test fixture flexibles comerciales, como el 16089D y E de Keysight, disponibles actualmente, están limitados en frecuencia hasta 13 MHz [46].

2.2. Medida de impedancias

Para la caracterización y estudio de las impedancias parásitas en PCBs se ha desarrollado una sonda flexible apantallada que permite medir las impedancias parásitas en PCB con pistas largas, como las presentes en el busbar laminado de un inversor fotovoltaico, hasta los 350 MHz [47].

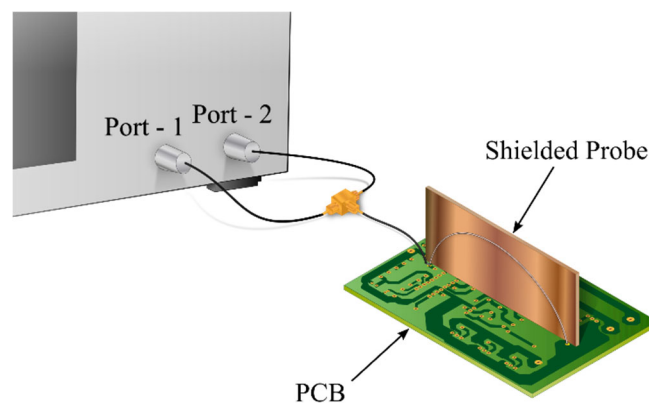


Fig. 2.1. Montaje experimental y la sonda apantallada propuesta.

La caracterización se ha basado en un nuevo test fixture (sonda flexible de prueba) cuyos terminales de medida pueden estar distanciados hasta unos 20 centímetros. La sonda flexible de prueba está formada por una sonda apantallada con una conexión fija y otra flexible, como se muestra en la Fig. 2.1 Para su validación se ha utilizado con una línea de transmisión microstrip, obteniendo resultados muy próximos a los obtenidos con otra microstrip idéntica en base a un test fixture fijo diseñado con el objeto de poder emplearla como referencia. Asimismo, estas medidas se contrastan con las obtenidas por simulación electromagnética por PEEC y con cálculos obtenidos analíticamente, mostrando una clara mejora en la precisión.

2.2.1 Medida de impedancias con VNA

Con el VNA se miden los parámetros-S del DUT (device under test) conectado, el coeficiente de reflexión (S_{11}) en la configuración de un puerto (Fig. 2.2 (a)) y el de transmisión (S_{21}) en la de dos puertos con el DUT conectado en serie o en shunt(Fig. 2.2(b)). En función de estas medidas y de la medida de referencia (Z_{ref}) empleada, en cada uno de estos métodos el valor de la impedancia del DUT viene dada por:

1-port reflection

$$Z_{DUT} = Z_{ref} \frac{1 + S_{11}}{1 - S_{11}} \quad (2.1)$$

2-port series-thru

$$Z_{DUT} = 2Z_{ref} \left(\frac{1}{S_{21}} - 1 \right) \quad (2.2)$$

2-port shunt-thru

$$Z_{DUT} = \frac{Z_{ref}}{2} \left(\frac{S_{21}}{1 - S_{21}} \right) \quad (2.3)$$

La precisión de cada uno de estos métodos depende del rango de valores de impedancia a medir [48]. El método de reflexión con un puerto es adecuado para el rango de impedancias bajas-medias ($0.5 \Omega - 2 \text{ k}\Omega$). En cambio, en el método de dos puertos, la conexión series-thru permite la caracterización de impedancias desde decenas de Ω hasta decenas de $\text{k}\Omega$, mientras que la conexión shunt-thru es preferible para bajas impedancias ($250 \mu\Omega - 25 \Omega$) como las que presentan las pistas de PCB cuyas inductancias están en el rango de los nH. Por tanto, para la medida de impedancias parásitas en pistas de PCB, dado que el valor de impedancias es bajo, el método de medida que se ha empleado es el de dos puertos shunt-thru.

La conexión del VNA con el DUT requiere normalmente de un test fixture específico. Los test fixture comerciales permiten caracterizar la impedancia de componentes electrónicos discretos en encapsulados estándar, agujero pasante (through-hole) o de montaje superficial (surface mount). Sin embargo, cuando el DUT no es un componente discreto estándar o no es posible conectarlo con un coaxial directamente al VNA, es necesario diseñar una PCB de interconexión (test fixture), entre los puertos del VNA y los terminales del DUT, para poder realizar la medida de la impedancia en función de la frecuencia con precisión. En todos los casos, como parte de la medida, es necesario calibrar el equipo para eliminar la influencia del test-fixture en la medida.

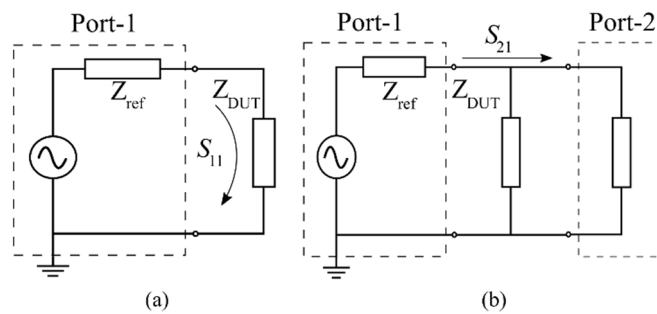


Fig. 2.2. Métodos de medida de impedancias en conexión shunt con un VNA: (a) 1-puerto reflexión, (b) 2 puertos shunt-thru.

2.2.2 Sonda flexible para la medida de impedancia

El objetivo de la sonda propuesta es la caracterización de PCB entre puntos alejados. La sonda, tal como se muestra en la Fig. 2.1, conecta con los terminales PORT-1 y PORT-2 del VNA mediante un conector coaxial en T con terminales SMA y está constituida (ver Fig. 2.3) por un cable coaxial pigtail y un coaxial de tierra RG-316/U que permite el retorno a tierra de la corriente. El pigtail de la sonda está terminado en un conector SMA por un extremo mientras que el otro está abierto. Para facilitar la conexión con el punto de medida en cualquier agujero chapado de la PCB, en el extremo abierto, el conductor central del pigtail está conectado a un pin de prueba mientras que la pantalla se conecta al coaxial de tierra, cuyo conductor central y pantalla están cortocircuitados en ambos extremos. La impedancia característica de ambos cables es de 50Ω , como la de los

puertos del VNA. El cable pigtail tiene 100 mm de longitud, 1.37 mm de diámetro externo, mientras que el cable coaxial de tierra RG-316/U es de 220 mm de longitud.

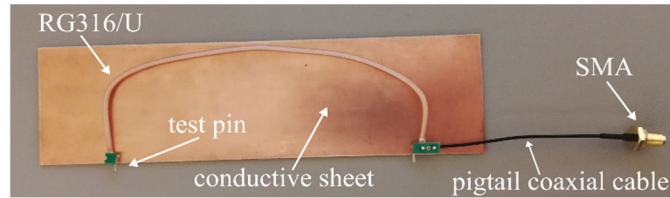


Fig. 2.3. Sonda de prueba flexible para la medida de impedancias.

Respecto al cable de tierra, este es una parte móvil de la sonda que permite adaptarse a diferentes puntos de conexión en PCB, evitando tener que desarrollar un test-fixture fijo para cada medida. Sin embargo, la sonda está situada sobre un plano conductor, aislado, perpendicular al plano horizontal de la PCB donde se van a realizar las medidas. La función de este plano conductor es apantallar el campo magnético cuya fuente es la corriente que circula durante el barrido en frecuencia con el VNA. Es de destacar que, durante el calibrado y la medida, tanto los cables del VNA como el pigtail deben permanecer en la misma posición para evitar errores inaceptables.

2.2.3 Impedancias parásitas de la sonda

En la medida de impedancias bajas con la sonda de prueba flexible aparece una impedancia serie parásita que no puede ser compensada completamente con la calibración, lo que limita el alcance en frecuencia de la sonda. Los errores en la medida se deben a las variaciones en las impedancias parásitas de la sonda entre la calibración y la medida.

Por una parte, esto es debido a la variación en la posición espacial de la sonda (respecto a la calibración en circuito abierto) que produce variaciones en las capacidades parásitas entre la sonda y el entorno de medida. Por otra parte, existe una variación en la forma que adopta la sonda flexible de prueba, lo que genera un cambio de inductancia de la sonda respecto a la calibración en cortocircuito. Por tanto, la sonda de prueba flexible se debe mantener en la misma posición durante la calibración y la medida para evitar variaciones en las impedancias parásitas.

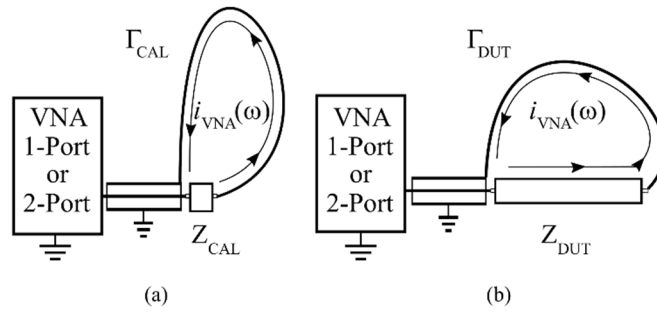


Fig. 2.4. Variación de la trayectoria de la corriente: (a) trayectoria en calibración y (b) trayectoria en la medida de DUT.

Sin embargo, como se observa en la Fig. 2.4, esto no es posible con el cable coaxial de tierra ya que, por la forzosa variación de la forma que adopta el cable en la calibración y la medida, se produce una variación en la inductancia de bucle L_{Loop} debida al bucle de corriente que hay entre el DUT y la sonda. Aunque si es posible mantener el plano del coaxial de tierra perpendicular a la PCB en ambas medidas, con lo que las variaciones en las capacidades parásitas son despreciables.

La inductancia de bucle L_{Loop} depende de la corriente $i_{VNA}(\omega)$ y del flujo magnético Ψ que encierra el bucle. El campo magnético \mathbf{B} está relacionado con el vector potencial magnético \mathbf{A} como

$$\mathbf{B} = \nabla \times \mathbf{A} \quad (2.4)$$

Utilizando el Teorema de Stokes el flujo magnético Ψ a través de la superficie que encierra el bucle Γ es igual a la integral del vector potencial magnético \mathbf{A} alrededor del bucle Γ , de modo que la inductancia de bucle se puede expresar como

$$L_{loop} = \frac{1}{i_{VNA}} \cdot \oint_{\Gamma} \mathbf{A} \cdot d\mathbf{l} \quad (2.5)$$

Expresión válida siempre que la densidad de corriente sea constante y no haya materiales magnéticos no lineales en el medio circundante. Por tanto, L_{Loop} es función de la forma del bucle y su dimensión, así como de las propiedades magnéticas del medio

circundante. Como se puede observar en la Fig. 2.4, el contorno del bucle Γ_{CAL} durante la calibración es diferente al que se tiene en la medida del DUT, Γ_{DUT} , debido a las diferentes longitudes del DUT y de la carga de calibración, por lo que la L_{Loop} es diferente en ambas situaciones.

2.2.4 Técnicas de mitigación de parásitas

Mediante la calibración con diferentes cargas, las impedancias parásitas de la sonda, el conjunto de cables y los conectores coaxiales que conectan hasta los puertos de medida del VNA son medidas y compensadas. El estándar de calibración utilizado en el VNA es el SOL que consiste en calibrar con tres cargas: un cortocircuito (S), un circuito abierto (O) y una carga de 50Ω (L).

Las impedancias parásitas debidas a la posición del coaxial de tierra no pueden ser eliminadas, pero sí minimizadas. Para ello, se mantiene el cable de tierra siempre perpendicular al plano de medida como se muestra en la Fig. 2.5, donde el cable de tierra se ha fijado a un soporte de material no magnético.

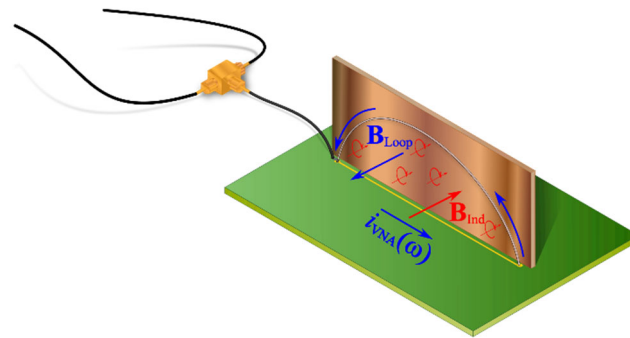


Fig. 2.5. Sonda con técnicas de mitigación de parásitas.

La inductancia del bucle que crea el cable de tierra se puede evitar anulando el campo magnético $\mathbf{B}_{Loop}(\omega)$ cuya fuente es la propia corriente de medida $i_{VNA}(\omega)$. Para ello, como apantallamiento se emplea una chapa de cobre, con un espesor de $35 \mu\text{m}$, a la que se une el cable de tierra. Como se puede advertir en la Fig. 2.5 corrientes de Foucault son inducidas con la misma frecuencia que $i_{VNA}(\omega)$ y circulan en bucles cerrados en el

apantallamiento de cobre. Asimismo, debido a estas corrientes inducidas se genera un campo magnético $\mathbf{B}_{ind}(\omega)$ que se opone al campo que las origina.

De este modo, se consigue reducir el flujo magnético total responsable de la inductancia de bucle durante el barrido de frecuencia del VNA. Sin embargo, en el rango de frecuencias de interés, el uso de la placa de apantallamiento cambia ligeramente la impedancia de pista de la PCB debido al efecto proximidad, el cual afecta al factor de atenuación, como se ha señalado en el apartado 2.5.3.

2.3. Montaje experimental

2.3.1 Circuito de referencia

Los microstrips son líneas de transmisión ampliamente estudiadas en la literatura[49],[50], por lo que se ha elegido como circuito de referencia. Como se muestra en la Fig. 2.6, un microstrip está formado por dos conductores de cobre, de conductividad σ_{Cu} , impresos en cada una de las caras externas del sustrato dieléctrico con espesor h y permitividad dieléctrica $\epsilon_{r,FR4}$.

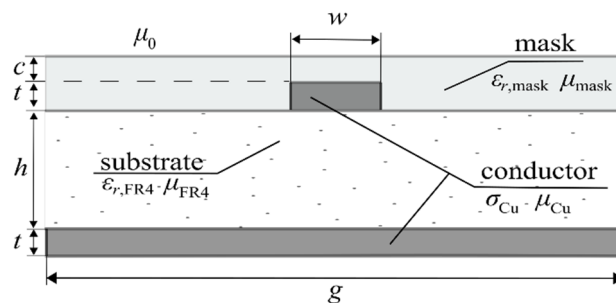


Fig. 2.6. Estructura de un microstrip.

El conductor de la señal de anchura w y espesor t está situado en la cara superior de la PCB (ver Fig. 2.6). Como plano de tierra se dispone un conductor de anchura g y espesor t situado en la cara inferior. Los medios que forman la estructura son no magnéticos, su permeabilidad magnética se considera la misma que en el vacío μ_0 ($\mu_{mask} \approx \mu_{FR4} \approx \mu_{Cu} \approx \mu_0$). Una máscara aislante protectora cubre la PCB de permitividad relativa $\epsilon_{r,mask}$ similar a la del sustrato y permeabilidad la del vacío. Los parámetros geométricos

y propiedades físicas utilizadas para la fabricación de la línea de transmisión microstrip utilizada se dan en la Tabla 2.1.

Tabla 2.1. Parámetros de diseño del microstrip de referencia

Símbolo	Descripción	Valor
w	Ancho de pista	0.21 mm
t	Espesor de la pista	40 μm
g	Ancho del plano de tierra	29.3 mm
l	Longitud de la pista	122 mm
h	Altura del sustrato	1.6 mm
c	Altura de la máscara	25 μm
$\epsilon_{r,FR4}$	Permitividad relativa FR4	4.6
$\epsilon_{r,mask}$	Permitividad relativa	3.5-4.2

Aunque hay dos medios de propagación (sustrato y máscara), dado que las dimensiones geométricas del microstrip son mucho menores que la longitud de onda λ , se considera que el campo eléctrico y magnético carecen de componentes en la dirección de propagación y se propaga como una onda transversal electromagnética (TEM). Este tipo de propagación permite resolver los campos como si fueran cuasi-estáticos (DC). Dentro de esta aproximación, en el cálculo de la impedancia característica Z_0 se sustituyen los medios sustrato-máscara, por un medio homogéneo con constante dieléctrica efectiva $\epsilon_{r,eff}$ [51],[52] que depende de la geometría y propiedades de los medios. Con lo que es posible expresar Z_0 en función de $\epsilon_{r,eff}$ y de la capacidad C_a ($\epsilon_r = 1$) por unidad de longitud de la misma estructura con aire en lugar de máscara, según[53].

$$Z_0 = (c \cdot C_a \cdot \sqrt{\epsilon_{r,eff}})^{-1} \quad (2.6)$$

y la constante de fase β en función de la frecuencia angular ω como

$$\beta = \omega \cdot \sqrt{\epsilon_{r,eff}} \cdot c^{-1} \quad (2.7)$$

2.3.2 PCB experimentales y VNA

Para validar la metodología propuesta se ha desarrollado una PCB experimental (Fig. 2.7) para realizar los ensayos al objeto de validar el procedimiento de medida propuesto.

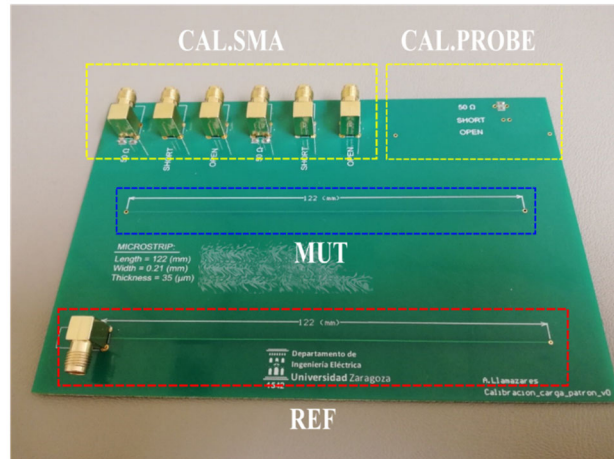


Fig. 2.7. PCB Experimental desarrollada para los ensayos de validación.

Respecto a la PCB, el sustrato escogido es FR4, el acabado que protege las pistas de cobre de corrosión es electroless nickel immersion gold (ENIG) y el espesor de la máscara, aunque no está especificado por el fabricante, se considera de al menos 25 μm según [54].

Como se observa en la Fig. 2.7, en la PCB experimental hay dos líneas de transmisión microstrip (MUT y REF) idénticas de longitud 122 mm cuyos parámetros son los definidos en la Tabla 2.1.. Ambas líneas están terminadas en un extremo por un cortocircuito hecho con una vía (todas las vías utilizadas son de 0.762 mm de diámetro). La línea de transmisión considerada de referencia (REF) tiene un conector coaxial SMA que se conecta mediante cables coaxiales al VNA. La otra línea de transmisión (MUT), dedicada al método de medida con la sonda flexible de prueba, tiene en ambos extremos dos vías para conectar los pines de prueba de la sonda desarrollada.

Además, como se puede observar en la parte superior de la Fig. 2.7, hay dos kits de cargas de calibración: CAL.SMA para utilizar con la línea REF y CAL.PROBE para la línea MUT. El kit de calibración CAL.SMA emplea el mismo tipo de conector (SMA) que la línea

REF para compensar el error que introduce el conector en la medida. La precisión de las cargas de 50Ω es del 1% conectadas con pistas lo más cortas y anchas posibles. En el kit CAL.PROBE, para minimizar las impedancias parásitas de la carga de 50Ω , se utiliza un encapsulado 0603. El mismo tipo de pistas (cortas y anchas) se emplea en la carga de cortocircuito.

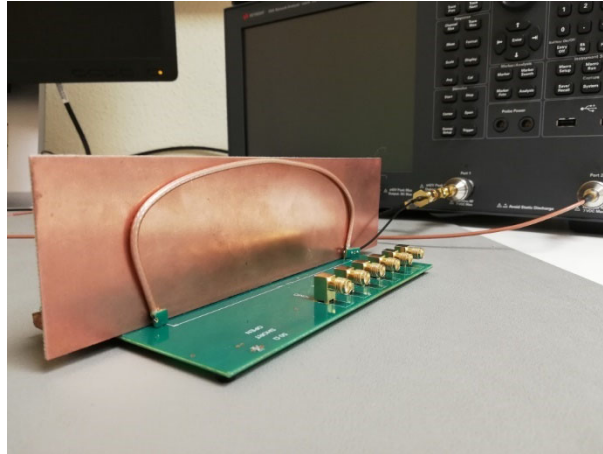


Fig. 2.8. Medida de la línea MUT con la sonda diseñada y el VNA.

Para la caracterización de la impedancia se ha utilizado el VNA E5061B de Keysight (Fig. 2.8), que calcula la impedancia a partir de los parámetros de dispersión [48].

2.4. Caracterización de PCB

2.4.1 Procedimiento de medida directa

El comportamiento de la línea de transmisión se caracteriza por su impedancia característica Z_0 y por su constante de propagación γ . Como el rango de frecuencia de medida está por debajo de 1 GHz, la conductancia del sustrato de la PCB se puede considerar despreciable frente a la capacidad C de la línea y, si las pistas tienen una resistencia despreciable frente a la inductancia L , su comportamiento se puede aproximar por el de una línea sin pérdidas, cuya impedancia característica es

$$Z_0 = \sqrt{\frac{L}{C}} \quad (2.8)$$

y la constante de propagación un número complejo puro igual a la constante de fase β

$$\gamma = j\beta = j\sqrt{LC} \quad (2.9)$$

La caracterización frecuencial de una pista de PCB puede realizarse con la línea terminada en circuito abierto o en cortocircuito. Aunque, para visualizar el error introducido por la inductancia parásita debida a la corriente de retorno a tierra, se ha elegido una línea terminada en cortocircuito ya que entonces la línea presenta carácter inductivo hasta que alcanza la frecuencia de antirresonancia.

En condiciones de cortocircuito, la impedancia de entrada Z_i de una línea sin pérdidas y de longitud l es un valor complejo dado por [55]

$$Z_i = jZ_0 \cdot \tan(\beta l) \quad (2.10)$$

El producto de la constante de fase β de la onda y la longitud l de la línea se conoce como longitud eléctrica θ y su relación con la longitud de onda λ es

$$\theta = 2 \cdot \pi \cdot l \cdot \lambda^{-1} \quad (2.11)$$

La longitud de onda es el cociente entre la velocidad de propagación de la onda en el medio v_p y su frecuencia f , reordenando los términos en (2.11) se puede expresar la longitud eléctrica θ en función de la frecuencia angular ω de la onda y se obtiene

$$\theta = \omega \cdot l \cdot v_p^{-1} \quad (2.12)$$

relación que puede expresarse en función del tiempo de retardo de la línea t_{pd} (tiempo que tarda una onda en recorrer 1 m a la velocidad de propagación v_p) como

$$\theta = \omega \cdot l \cdot t_{pd} \quad (2.13)$$

Según (2.10), cuando $\theta = \pi/2$ la impedancia de entrada presenta un máximo, lo que ocurre para una longitud de onda de $\lambda/4$ y a la frecuencia de antirresonancia $f_{\lambda/4}$, como se observa en la Fig. 2.12 Por tanto, de la medida experimental se obtiene directamente $\omega_{\lambda/4}$ lo que permite calcular t_{pd} y v_p a partir de la relación

$$t_{pd} = \pi \cdot (2 \cdot \omega_{\lambda/4} \cdot l)^{-1} \quad (2.14)$$

Por otra parte, la impedancia característica de la línea Z_0 se obtiene del valor de la medida a $f_{\lambda/8}$, ya que, de acuerdo con (2.10), para una longitud $\lambda/8$ ($\theta = \pi/4$), la impedancia medida es directamente Z_0 . Este análisis es similar e igualmente válido para líneas de transmisión terminadas en circuito abierto. Mediante $f_{\lambda/4}$ y $f_{\lambda/8}$ se puede caracterizar con el mismo procedimiento una línea de transmisión terminada en circuito abierto debido a la dependencia de la impedancia de entrada con la cotangente de θ .

2.4.2 Procedimiento de ajuste de curva

En una línea de transmisión ideal en cortocircuito, la impedancia a la frecuencia de antirresonancia tiende a infinito. Sin embargo, la medida de la impedancia, obtenida a $f_{\lambda/4}$, siempre es un valor finito. Por tanto, la línea de transmisión se está comportando como una línea con bajas pérdidas cuya constante de atenuación α es distinta de cero. La consideración de un modelo de línea con pérdidas implica la introducción de nuevas incógnitas: además de Z_0 y t_{pd} se introduce la incógnita α que se puede aproximar en el caso de bajas pérdidas por [55]

$$\alpha \approx \frac{1}{2} \cdot (R \cdot Z_0^{-1} + G \cdot Z_0) \quad (2.15)$$

Donde R es la resistencia por unidad de longitud y G la conductancia por unidad de longitud. Despreciando la resistencia en DC, R es proporcional a la raíz de la frecuencia debido al efecto skin y G depende directamente de la frecuencia, por tanto, α se puede expresar en función de las constantes k_1 y k_2 como

$$\alpha \approx k_1 \cdot \sqrt{f} + k_2 \cdot f \quad (2.16)$$

Z_0 y t_{pd} son calculadas mediante el procedimiento de medida directa y se estiman utilizando el método de mínimos cuadrados no lineales[56], el cual también es aplicado para averiguar k_1 y k_2 . Con el método de mínimos cuadrados no lineales se resuelve la ecuación

$$\min \left(\sum_f \|Z_i - Z_{VNA}\|^2 \right) \quad (2.17)$$

donde Z_i se expresa como

$$Z_i = |Z_0 \cdot \tanh(\gamma \cdot l)| \quad (2.18)$$

y Z_{VNA} son los valores experimentales medidos con el VNA.

Los valores de Z_0 , t_{pd} , k_1 y k_2 . se iteran hasta alcanzar un resultado satisfactorio con un coeficiente R^2 mayor de 0.95.

2.4.3 Simulación PEEC

El método de circuitos equivalentes de elementos parciales (PEEC) permite convertir la disposición física de los conductores de un circuito en una red de circuitos de elementos concentrados. PEEC analiza problemas estáticos y cuasi-estáticos y es utilizado para extraer las inductancias y capacidades parásitas en encapsulados de módulos de potencia, embarrados, bus bar y para aplicaciones de compatibilidad electromagnética (EMC)[27].

La línea microstrip se ha modelado en PEEC como dos conductores rectangulares según los datos de la Tabla 2.1. Para obtener la impedancia característica y el tiempo de retardo del microstrip se simulan dos condiciones estáticas. En primer lugar, se considera los conductores rodeados de aire, sin sustrato, ni máscara. Del análisis PEEC se obtiene la capacidad equivalente entre ambos conductores que forman el microstrip

y, dividiendo por la longitud de la línea de transmisión, su valor por unidad de longitud con sustrato aire C_a . En segundo lugar, se considera el sustrato FR4 y la máscara de soldadura con permitividad relativa $\epsilon_{r,mask} = 4.2$ y altura constante 25 μm . La capacidad por unidad de longitud obtenida en estas condiciones es C_{FR4} . El cociente entre ambas es la llamada constante dieléctrica efectiva ($\epsilon_{r,eff}$)

$$\epsilon_{r,eff} = C_{FR4}/C_a \quad (2.19)$$

La impedancia característica Z_0 de la línea de transmisión microstrip se calcula mediante (2.6) con C_a y $\epsilon_{r,eff}$ obtenidas en el análisis PEEC se calcula la impedancia característica Z_0 de la línea microstrip, mientras que el retardo de propagación t_{pd} por unidad de longitud en una línea de transmisión sin pérdidas se obtiene como

$$t_{pd} = \sqrt{\epsilon_{r,eff}}/c \quad (2.20)$$

2.5. Resultados

2.5.1 Análisis del apantallamiento magnético

Para valorar los efectos de la pantalla metálica en la sonda propuesta, se caracteriza la sonda con y sin pantalla magnética. En la Fig. 2.9 se comparan las medidas de la inductancia para ambas sondas. El valor de la inductancia de la sonda apantallada incluye el pigtail, el conector SMA y el cable de tierra. Así, por ejemplo, para una frecuencia de 10 MHz, la inductancia medida en la sonda sin apantallamiento es de 184 nH y con el apantallamiento su valor se reduce a 77.54 nH.

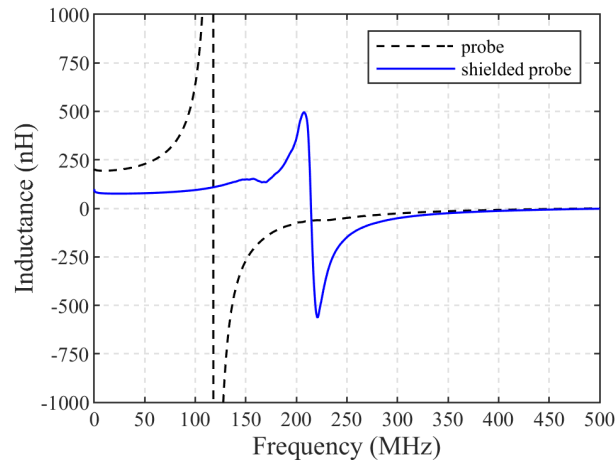


Fig. 2.9. Inductancia medida con la sonda con y sin apantallamiento durante la calibración en cortocircuito entre 100 kHz y 500 MHz.

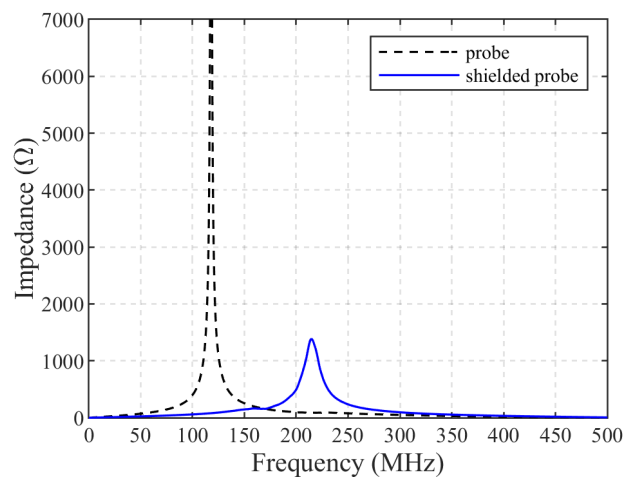


Fig. 2.10. Impedancia medida con la sonda con y sin apantallamiento durante la calibración en cortocircuito entre 100 kHz y 500 MHz.

Como se observa en la Fig. 2.9, la sonda sin apantallamiento se comporta como una inductancia hasta la frecuencia de resonancia de 124 MHz, después predomina el efecto capacitivo. Cuando se apantalla el bucle de retorno a tierra, es decir con la sonda con pantalla, la frecuencia de resonancia se eleva hasta los 218 MHz debido a la reducción de la inductancia de bucle. Además, aparece una atenuación en la impedancia debida a un aumento en la disipación de potencia (Fig. 2.10).

La efectividad del apantallamiento (SE_{dB}) viene definida por la atenuación del campo magnético después de atravesar el apantallamiento. En este sentido, las pérdidas del

apantallamiento se deben a las pérdidas de absorción A_{dB} y pérdidas de reflexión R_{dB} [57]. Debido al efecto Joule, en el interior del apantallamiento metálico aparecen las pérdidas de absorción cuando circulan las corrientes de Foucault. Estas pérdidas por absorción dependen de la profundidad de penetración del efecto skin y del espesor del apantallamiento, de forma que a menor espesor menores pérdidas por absorción. Por otra parte, como consecuencia de la diferencia entre las impedancias características que hay entre el medio por donde se propaga la onda incidente (aire) y el cobre de la pantalla aparecen las denominadas pérdidas por reflexión.

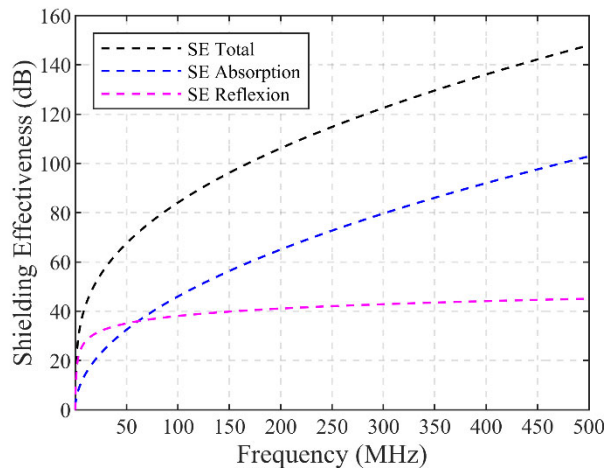


Fig. 2.11. Eficacia del apantallamiento magnético propuesto.

En la Fig. 2.11 se muestra la SE_{dB} para una lámina de cobre de $35 \mu\text{m}$, considerando una distancia de 1.5 mm entre el conductor central del cable de tierra y el plano de apantallamiento. Estos cálculos se han realizado según las expresiones aproximadas para el apantallamiento del campo magnético cercano para el cobre [57]

$$A_{dB} = 8.686 \cdot (s/\delta) \quad (2.21)$$

$$R_{dB} = 14.57 + 10 \cdot \log(f \cdot r^2) \quad (2.22)$$

$$SE_{dB} = A_{dB} + R_{dB} + MR_{dB} \quad (2.23)$$

donde s es el espesor del apantallamiento de cobre, δ es la profundidad de penetración por efecto skin en el cobre, f es la frecuencia y r es la distancia al apantallamiento. El término MR_{dB} corresponde a las pérdidas debidas a las múltiples reflexiones que aparecen dentro del cobre de apantallamiento.

De esta forma, a 1 MHz la atenuación calculada es de 19 dB y se incrementa con la frecuencia. Sin embargo, para frecuencias por debajo de 1 MHz el apantallamiento se observa que es menos efectivo, 4.7 dB a 200 kHz. Por todo ello, finalmente se opta por una pantalla con un segundo plano de cobre de las mismas características y distanciado 1.6 mm del anterior para reforzar la atenuación en el campo magnético para frecuencias por debajo de 1 MHz. Para la construcción del doble apantallamiento se ha utilizado una PCB de dos caras con cobre de espesor 35 μm .

2.5.2 Procedimiento de medida directa

A continuación, se presentan los resultados de la caracterización de las microstrips REF y MUT aplicando el procedimiento de medida directa que ha sido descrito en 2.4.1. La medida del microstrip REF se realiza a través de una conexión SMA fija, mientras que la medida de la línea MUT se lleva a cabo con sonda flexible apantallada propuesta.

En la Fig. 2.12 y Fig. 2.13 se muestra la impedancia y la fase de las líneas REF y MUT medidas en función de la frecuencia, hasta 500 MHz. La frecuencia de antirresonancia medida, que corresponde con una longitud de onda de $\lambda/4$, es 324.41 MHz en la línea REF y 327.22 MHz en la MUT. En la Fig. 2.12 se puede ver que el pico de antirresonancia, donde el carácter de la impedancia cambia de inductivo a capacitivo, es mayor en la línea REF que en la línea MUT. Ello es debido a que en la línea MUT, las pérdidas por efecto skin en el apantallamiento no han sido totalmente compensadas por el cambio de geometría de la sonda. En una línea de transmisión ideal la impedancia en antirresonancia es infinita y su valor se reduce, a medida que la componente resistiva aumenta. Lo mismo se puede concluir de la Fig. 2.13 donde se observa una menor pendiente (en el cambio de fase) en la línea MUT que en la línea REF.

Esta figura también revela como la fase supera los -90° a partir de 380 MHz, debido probablemente a una capacidad parásita equivalente que no ha sido compensada durante el calibrado. Esta capacidad limita en frecuencia el alcance de la sonda.

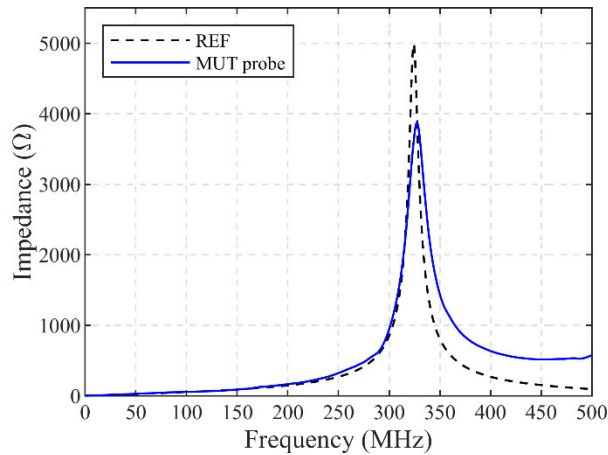


Fig. 2.12. Impedancia medida en la línea REF y MUT desde 100 kHz hasta 500 MHz.

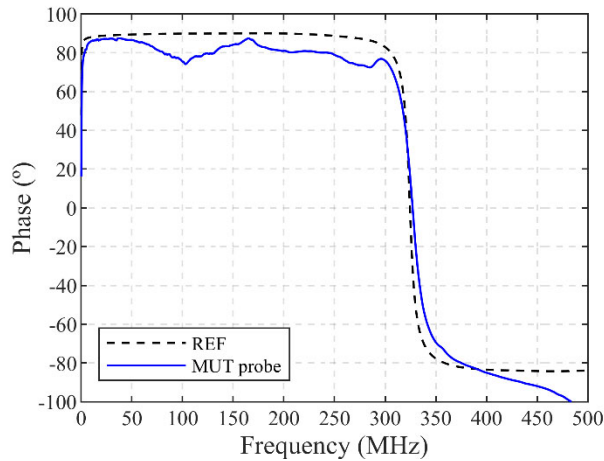


Fig. 2.13. Fase de la impedancia medida en la línea REF y MUT desde 100 kHz hasta 500 MHz.

2.5.3 Procedimiento de ajuste de curva

Como se ha descrito en 2.4.2, el comportamiento de la línea microstrip se puede asemejar al de una línea con pérdidas, utilizando un método iterativo (procedimiento de ajuste de curvas) para la medida de la impedancia. Este método se ha aplicado a las líneas REF y MUT, cuyas medidas son realizadas con conectores SMA fijo y con sonda

flexible respectivamente. La frecuencia máxima de ajuste considerada en el procedimiento ha sido de 350 MHz.

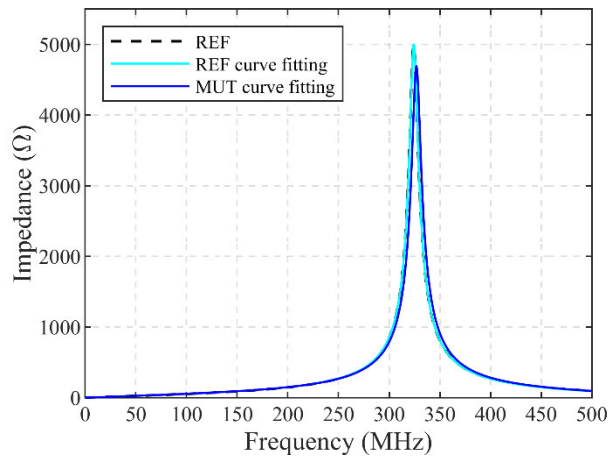


Fig. 2.14. Impedancia de la línea REF y MUT ajustadas por el procedimiento de ajuste de curvas.

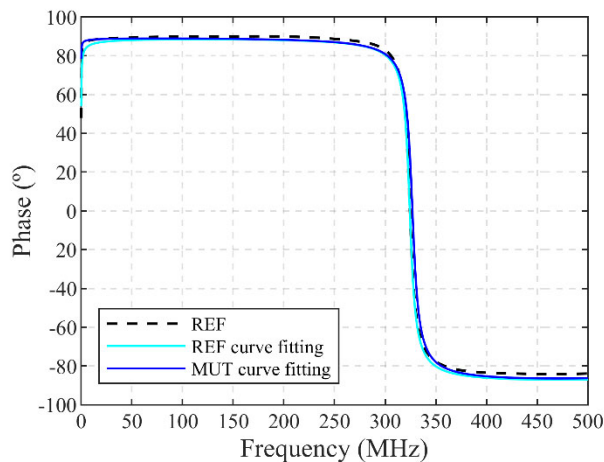


Fig. 2.15. Fase de la línea REF y MUT ajustadas por el procedimiento de ajuste de curvas.

En la Fig. 2.14 y Fig. 2.15 se muestra la impedancia y la fase de las líneas REF y MUT en función de la frecuencia. La frecuencia de antirresonancia que se obtiene ahora es de 324.34 MHz en la línea REF (prácticamente el mismo resultado que antes) y 326.92 MHz en la MUT, es decir el error con sonda flexible se consigue reducir a 0.8%.

El resultado del procedimiento de ajuste de curvas aplicado a la medida con terminal SMA en la línea REF da un valor máximo para α de 0.21 Np/m a 500 MHz. Este valor contrasta con el que se obtiene con sonda flexible para la línea MUT, que da un valor de

0.24 Np/m. Es un error del 14.3% debido a que existe una atenuación o pérdidas en la sonda flexible que no se han considerado en el modelo de ajuste y, existen, y son incluidas en la atenuación de la constante de propagación.

2.5.4 Comparación de resultados

En la Tabla 2.2 se comparan los resultados obtenidos para la impedancia característica Z_0 y el retardo de propagación t_{pd} obtenidos experimentalmente por el procedimiento de medida directa y de ajuste de curvas, con los obtenidos por simulación PEEC y con los que se obtienen analíticamente empleando las fórmulas[58] con los parámetros del microstrip dados en la Tabla 2.1. Los resultados de la simulación por PEEC se han obtenido según las expresiones (2.19) y (2.20) calculando la capacidad del microstrip rodeado de aire y sin sustrato C_a , y la capacidad del microstrip considerando el sustrato FR4 y una máscara con permitividad relativa $\epsilon_{r,mask} = 4.2$.

La comparación de los resultados (Tabla 2.2) se realiza tomando como referencia el resultado obtenido con el procedimiento de ajuste de curvas sobre la línea microstrip REF. De esta forma, el tiempo de propagación, en todos los casos, presenta un error inferior al 1%. Sin embargo, los errores son mayores en el caso de la impedancia característica, alcanzando valores de hasta el 12.7 % en simulación PEEC, debido probablemente a la imposibilidad de modelar las pistas conductoras reales, ya que estas tienen tolerancias, rugosidades y, generalmente, son de perfil trapezoidal. El error (9.51%) en la impedancia característica obtenida analíticamente con la formula [58] está probablemente causado por la precisión de la expresión en función de la geometría del microstrip y por considerar la máscara como uniforme y de altura constante sobre el conductor superior.

La aplicación del procedimiento de medida directa sobre la línea MUT da un error del 1.96 % en impedancia y del 0.89% en el tiempo de propagación. Estos errores son principalmente debidos a la variación de la impedancia por los cambios en la forma de la sonda entre la calibración y la medida. Asimismo, la consideración de línea sin pérdidas, aunque simplifica el procedimiento de cálculo, introduce como se está viendo un cierto error.

El procedimiento de ajuste de curvas aplicado a la línea MUT con la sonda propuesta presenta errores de 1.37% en impedancia y 0.81% en el tiempo de propagación. Valores muy precisos para una técnica que presenta la ventaja de poder determinar la impedancia de una pista larga en una PCB, con los puntos de conexión separados varios centímetros evitando desarrollar un test fixture fijo para cada pista.

Tabla 2.2. Impedancia característica y retardo de la propagación estimado

	$Z_0 (\Omega)$	$t_{pd}(ns/m)$	$\epsilon_{error} Z_0 (\%)$	$\epsilon_{error} t_{pd} (\%)$
REF medida directa	100,54	6,316	-1,91	-0,03
REF curve fitting	102,50	6,318	-	-
MUT medida directa	104,51	6,262	1,96	0,89
MUT curve fitting	103,9	6,267	1,37	0,81
Formula [58]	112,25	6,377	9,51	0,93
PEEC	115,56	6,258	12,74	0,95

Por último, la flexibilidad de la sonda permite caracterizar las pistas en una PCB sin necesidad de diseñar un test fixture específico para la medida. El procedimiento con sonda flexible puede ser aplicado en la caracterización de la impedancia en busbar laminados en PCB.

2.5.5 Limitaciones de medida grandes planos de Cu

Cuando la sonda flexible es utilizada para medir la impedancia de grandes áreas de cobre, como en los planos de alimentación en una PCB, la capacidad parásita entre los planos de cobre del apantallamiento de la sonda y las áreas de cobre aumenta. Esta capacidad parásita no es posible compensarla y modifica la impedancia de medida, dando lugar a un error en la medida.

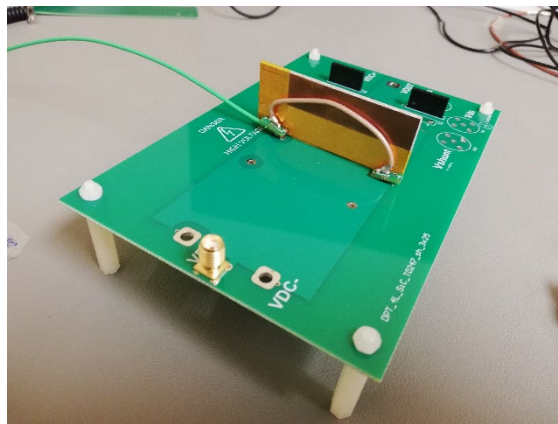


Fig. 2.16. Ejemplo de medida de la sonda flexible sobre un plano de alimentación con gran área.

En la Fig. 2.16 se muestra la sonda flexible sobre un plano de alimentación de una etapa semipunto sin condensador de bus. El plano de alimentación tiene 100 mm de longitud y 50 mm de anchura. El apantallamiento tiene 55 mm de largo y 15 mm de alto. En la Fig. 2.17 y Fig. 2.18 se muestra la impedancia y la fase respectivamente, medidas desde los terminales VDC+ y VDC- (Fig. 2.16) con la sonda flexible, y con el conector SMA.

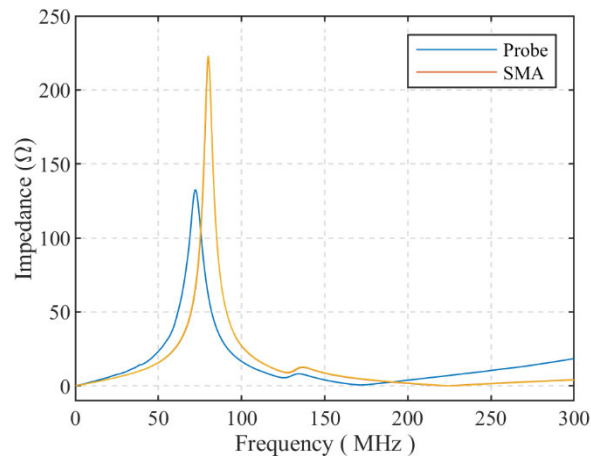


Fig. 2.17. Impedancia medida con conector SMA y sonda flexible(probe) para un plano de cobre de gran tamaño.

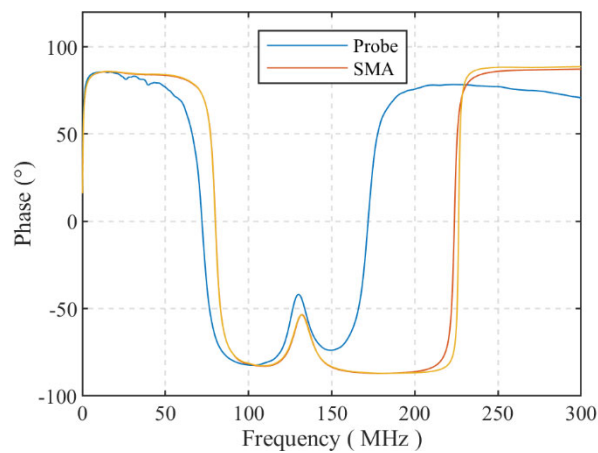


Fig. 2.18. Fase medida con conector SMA y sonda flexible(probe) para un plano de cobre de gran tamaño.

En la Fig. 2.17 se aprecia el error en la medida de la impedancia, principalmente en el pico de la antiresonancia, debido a la atenuación no compensada. La frecuencia de antiresonancia medida con el conector SMA es 70.2 MHz y con la sonda flexible es 80.1 MHz como se puede ver en la Fig. 2.18. El error en la medida de la frecuencia de antiresonancia es del 9.98%. A partir de 150 MHz el error es inasumible y marca el límite de medida para la sonda utilizada.

Capítulo 3.

Descripción y medida eléctrica de un PCB busbar con circuitos de parámetros distribuidos

En este capítulo se describe la impedancia de los circuitos equivalentes de un semipunto con busbar laminado en PCB basados en elementos discretos y en parámetros distribuidos, analizando su respuesta y límite en frecuencia. Los parámetros distribuidos $RLCG$ del busbar se modelan considerando su dependencia de la frecuencia y, se caracteriza la impedancia del bucle de conmutación como una línea de transmisión (busbar) terminada en una impedancia de carga. Esta impedancia de carga representa los SiC MOSFET y las impedancias parásitas de las pistas que lo conectan con el busbar. Por último, se describen las diferentes metodologías de medida utilizadas para esta caracterización.

3.1 Introducción

En convertidores conmutados de potencia como un semipunto, la impedancia del bucle de corriente de conmutación (Z_{CCL}) depende de las impedancias parásitas del condensador de bus, de los SiC MOSFET, del circuito de disparo de puerta (*driver*), del busbar y de las pistas que interconectan dichos elementos. Durante las conmutaciones aparecen sobretensiones y oscilaciones no deseadas entre los terminales drenaje-fuente (V_{DS}) del SiC MOSFET que tienen su origen en la resonancia entre la capacidad parásita equivalente de salida del SiC MOSFET (C_{oss}) y la inductancia (L_{CCL}) del circuito de conmutación [11][21][59]. Las oscilaciones más observadas en la literatura son amortiguadas y se suelen modelar con un circuito RLC serie [21]. Sin embargo, si se dan las condiciones adecuadas entre las impedancias parásitas del circuito, se pueden producir oscilaciones sostenidas en los terminales drenaje-fuente (V_{DS}) durante el apagado de un SiC MOSFET [60]. También pueden aparecer oscilaciones en los terminales drenaje-fuente (V_{DS}) y puerta-fuente (V_{GS}) causados por falsos encendidos

durante la conmutación [61] a causa de la diafonía entre los SiC MOSFET. Un falso encendido, pone en conducción un SiC MOSFET durante un tiempo muy breve. En un semipunte, altas dv/dt en la conmutación producen una realimentación negativa a través de la capacidad de Miller (C_{GD}) del SiC MOSFET que no conmuta y pueden provocar que V_{GS} sea mayor a la tensión de umbral de disparo [62]. Asimismo, debido a la di/dt aparecen picos de tensión en la inductancia común de fuente (CSI) [63], inductancia compartida entre el circuito de conmutación y el de disparo, que puede elevar la tensión V_{GS} y producir un falso encendido del SiC MOSFET de tres terminales. Asimismo, es posible que los falsos encendidos se repitan en el tiempo por culpa de oscilaciones de gran amplitud [16].

Como se ha expuesto, las impedancias parásitas son las responsables de las oscilaciones que pueden producir efectos negativos que limitan los diseños de convertidores con SiC MOSFET. A continuación, se especifican los principales efectos negativos derivados de las oscilaciones en un semipunte y la impedancia parasita que los determina. Existen sobretensiones durante el apagado de un transistor causados por la inductancia del bucle de corriente de conmutación (L_{CCL}) que pueden llevar al deterioro o destrucción del SiC MOSFET. Además, debido a las dv/dt y di/dt se pueden producir falsos disparos durante la conmutación de un SiC MOSFET, poniendo ambos SiC MOSFET del semipunte en conducción durante un tiempo muy breve. Además, el espectro del ruido electromagnético debido a la resonancia de Z_{CCL} y las altas dv/dt y di/dt en un convertidor de SiC tienen mayor ancho de banda y amplitud que en uno basado en Si y se produce un pico de emisiones a la frecuencia de oscilación del bucle de conmutación que puede derivar en el malfuncionamiento y fallos en los sistemas de control cercanos [65]. Asimismo, la amplitud de la sobretensión y de las oscilaciones producen pérdidas de energía extra en la conmutación reduciendo la eficiencia del diseño. Esto es debido principalmente al efecto de diafonía que produce una conducción breve y simultánea de los dos SiC MOSFET del semipunte y, en menor medida, a la energía acumulada en las impedancias parásitas del circuito [66].

Durante la conmutación a apagado de un SiC MOSFET aparecen oscilaciones en la tensión de puerta V_{GS} , si tiene la suficiente amplitud pueden facilitar un falso encendido del SiC MOSFET. En ese momento debido a la inductancia del bucle de conmutación aparecen sobretensiones en V_{DS} que pueden llevar al SiC MOSFET al límite de avalancha. En el Anexo II se ha estudiado el comportamiento de la tensión y de la corriente en el límite de avalancha en un SiC MOSFET en función de la tensión de puerta (V_{GS}) ya que es una condición que se puede dar tras la conmutación por culpa de las impedancias parásitas del convertidor [62] [63]. El estudio realizado muestra que la tensión de ruptura por avalancha tiene dependencia con la tensión de puerta y con la temperatura y, que es posible modelar este comportamiento en un SiC MOSFET, con tecnología de puerta plana, mediante dos funciones independientes entre sí. Una función depende de la temperatura y la otra depende de la tensión puerta-fuente (V_{GS}). Obteniéndose un modelo electro-térmico de la tensión de ruptura de avalancha en función de la temperatura y de la tensión V_{GS} que, puede ser de utilidad para evaluar por simulación la entrada en avalancha en un convertidor con oscilaciones en V_{GS} .

Por último, para un diseño óptimo de un convertidor es importante disponer de técnicas para caracterizar las impedancias parásitas en la frecuencia, tanto en el circuito de puerta, como en el bucle de corriente de conmutación que permitan predecir las oscilaciones y modelar los efectos negativos para un diseño óptimo y eficiente del convertidor. Las técnicas de caracterización de impedancias parásitas se centran obtener las impedancias del SiC MOSFET [43] [45] o la inductancia del bucle de conmutación (L_{CCL}), considerando en ambos casos las impedancias parásitas constantes en la frecuencia. Respecto a L_{CCL} , se suele obtener a una frecuencia fija (frecuentemente a 1 MHz o 10 MHz) con técnicas de cálculo numérico como el análisis de elementos finitos (FEA) [29][30][32][41]. También, se calcula un valor fijo en la frecuencia de L_{CCL} mediante diversas técnicas de medida [33]-[42]. La dependencia en frecuencia es considerada en [64] para el cálculo por FEA de la capacidad, inductancia y resistencia en un busbar hasta 100 MHz sin embargo no incluye el circuito de puerta ni otros efectos de la frecuencia en Z_{CCL} . En [32] se diseña una PCB sobre el inversor para caracterizar la impedancia Z_{CCL} en un inversor hasta 100 MHz con un analizador de impedancias sin conectar el circuito de control de puerta. Las técnicas descritas

anteriormente no consideran los efectos del aumento de la frecuencia en todas las impedancias parásitas que influyen en Z_{CCL} , ni el estado del circuito de puerta durante las conmutaciones, que se suele despreciar, aunque forme parte del circuito RLC serie que modela las oscilaciones [21]. En el presente capítulo, se presenta el desarrollo de nuevos métodos de caracterización y medida de las impedancias parásitas en la frecuencia en convertidores de potencia considerando todas las impedancias parásitas que influyen sobre Z_{CCL} y, en el capítulo 5, teniendo en cuenta la no linealidad de las capacidades parásitas del SiC MOSFET con la tensión

3.2 Comportamiento eléctrico del bus DC

En un convertidor con electrónica de potencia, con topología de semipunto o puente completo, para distribuir la tensión DC hacia el condensador de bus y hacia los dispositivos de electrónica de potencia de cada rama se utiliza una estructura formada por varios conductores conocida como busbar. Esta estructura originalmente está formada por barras de cobre que le dan su nombre. Sin embargo, dependiendo de la potencia nominal del convertidor y de la frecuencia de trabajo, también hay busbar formados por cables, y por láminas de cobre superpuestas con un dieléctrico entre ellas. En inversores de potencia con SiC MOSFET, la frecuencia de conmutación puede alcanzar decenas de kHz con altas di/dt y dv/dt durante la conmutación. Para evitar sobretensiones en los dispositivos y ruido electromagnético, es un objetivo de diseño reducir la inductancia entre el condensador de bus y los transistores. Por ello es habitual utilizar como busbar una estructura laminada. Un busbar laminado presenta una menor inductancia que las barras de cobre ya que la distancia entre planos conductores es la mínima para garantizar las condiciones de aislamiento eléctrico. Además, entre los planos conductores de la estructura laminada aparece un condensador parásito. Este condensador ayuda a filtrar las interferencias electromagnéticas conducidas entre los polos positivo y negativo de la tensión DC.

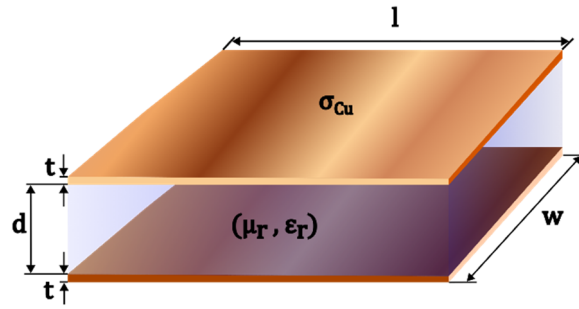


Fig. 3.1. Estructura de un busbar laminado de dos capas.

Este trabajo se centra en los busbar laminados [67], en particular en un busbar de dos capas (two-layer laminated busbar) (Fig. 3.1) constituido por un par de planos rectangulares conductores en paralelo separados por un dieléctrico. El empleo del busbar laminado permite reducir el valor de la inductancia respecto a una conexión con cables. A su vez, el ajuste de las dimensiones del busbar laminado (Fig. 3.1), permite ajustar el valor de la inductancia [20] según la expresión

$$L = \frac{\mu_0 \mu_r l}{\pi} \left(\frac{1}{4} + \frac{4t}{t+w} - \frac{2t}{\sqrt{4(d+t)^2 + kw^2}} \right) \quad (3.1)$$

donde μ_0 es la permeabilidad magnética del vacío, μ_r es la permeabilidad relativa del medio y k es un coeficiente de corrección. Las dimensiones físicas del plano conductor t , w y l son el espesor, la anchura y la longitud; d es la distancia entre ambos planos.

En un busbar basado en PCB (PCB based busbar), el aislamiento dieléctrico típico es un sustrato de tipo FR-4. Para una onda de frecuencia f , la longitud de onda en la PCB λ_{PCB} viene dada por

$$\lambda_{PCB} = \frac{c}{f \cdot \sqrt{\epsilon_{r,FR4}}} \quad (3.2)$$

donde c es la velocidad de propagación de una onda electromagnética en el vacío $3 \cdot 10^8$ m/s y $\epsilon_{r,FR4}$ es la permitividad relativa del sustrato FR-4. La permitividad relativa

$\varepsilon_{r,FR4}$ es mayor que la unidad (valores típicos entre 2 y 5). Por tanto, λ_{PCB} es menor que la longitud de onda en el vacío λ_0 .

Un modelo de busbar sencillo y muy utilizado, incluso en análisis por elementos finitos (FEA), asemeja su comportamiento al de una inductancia L en serie con una resistencia R [68] como se muestra en la Fig. 3.2a. Un circuito equivalente más completo incluye la capacidad parásita C y las pérdidas en el dieléctrico G con parámetros concentrados y se puede representar o bien por una red de impedancias en T o en π (Fig. 3.2b), en ambos modelos es frecuente despreciar los parámetros concentrados R y G , por su bajo valor a las frecuencias de interés, frente al resto de elementos en un convertidor con electrónica de potencia [69]. Sin embargo, conforme las frecuencias involucradas aumentan, los efectos capacitivos van ganando importancia.

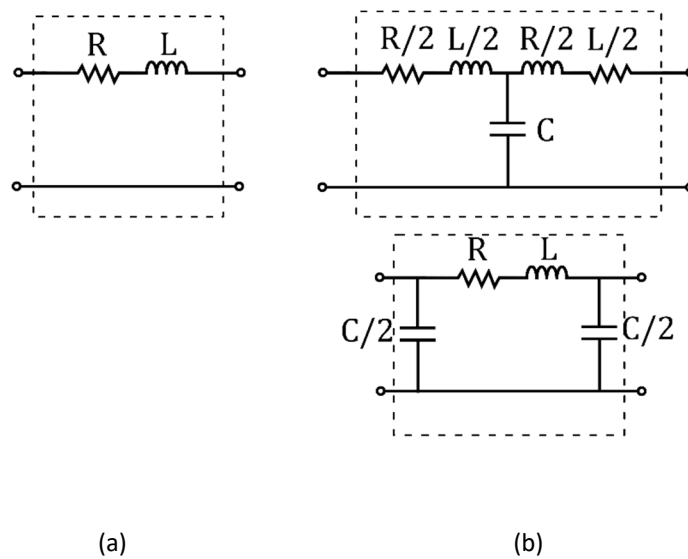


Fig. 3.2. Circuito equivalente de un busbar. (a) circuito con impedancia serie, (b) circuito equivalente en T y en π .

Para longitudes de línea comparables a la longitud de onda λ_{PCB} , el tiempo de transmisión deja de ser despreciable frente al periodo de la señal y el bus basado en PCB se comporta como una línea de transmisión, es decir como un circuito de parámetros distribuidos como se muestra en la Fig. 3.3, donde L' es la inductancia por unidad de longitud (PUL), R' es la resistencia PUL, C' la capacidad PUL y G' la conductancia PUL, ℓ la longitud de la línea de transmisión y $d\ell$ una longitud infinitesimal.

En base a estos parámetros, se expresa la impedancia característica de la línea en ohmios Z_0 como

$$Z_0(\omega) = \sqrt{\frac{R' + j\omega L'}{G' + j\omega C'}} \quad (3.3)$$

y su constante de propagación compleja $\gamma(\omega)$ como

$$\gamma(\omega) = \sqrt{(R' + j\omega L') \cdot (G' + j\omega C')} \quad (3.4)$$

donde ω es la frecuencia angular.

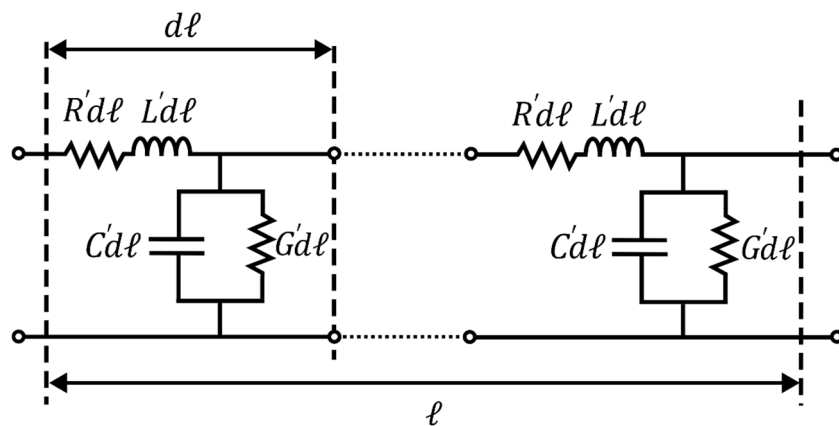


Fig. 3.3. Circuito equivalente de una línea de transmisión larga.

La elección entre el modelado del busbar mediante los circuitos equivalentes de parámetros concentrados (Fig. 3.2) o de parámetros distribuidos (Fig. 3.3) depende del error que se puede asumir. La aplicación principal de este trabajo es la caracterización de la impedancia en función de la frecuencia basado en un barrido de señales sinusoidales de tensión/corriente, siendo la frecuencia máxima de medida dependiente de las necesidades del estudio de la impedancia. Así, en convertidores de potencia con dispositivos de banda prohibida ancha (WBG), como es el carburo de silicio (SiC), se producen oscilaciones de alta frecuencia (hasta 100 MHz) durante los eventos de conmutación [70] y el espectro del ruido electromagnético radiado de campo cercano se extiende hasta los 500 MHz según [71] y el radiado de campo lejano hasta 300 MHz

según [72]. Asimismo, en el rango de potencia de decenas de kW, debido a las dimensiones del busbar, la distancia entre los elementos conectados al busbar (condensador de bus y transistores) pueden alcanzar varios centímetros e incluso decímetros. Estas dimensiones son debidas principalmente a las dimensiones físicas de los condensadores para alta potencia y a los voluminosos sistemas de refrigeración necesarios para la operación segura de la electrónica de potencia.

La longitud eléctrica θ es adimensional y se puede definir como la ratio entre la longitud física de la línea l y la longitud de onda λ de la frecuencia de la señal sinusoidal que la atraviesa. Es decir, el número de periodos de la onda sinusoidal que existen a lo largo de la línea de longitud l .

$$\theta(f) = \frac{l}{\lambda(f)} \quad (3.5)$$

En la literatura es frecuente el uso de una regla general (*rough rule of thumb*) donde una línea de transmisión se modela con parámetros distribuidos, y es considerada eléctricamente larga, cuando la longitud eléctrica $\theta \geq 1/20$ [73][74]. Por debajo de ese límite, la línea se considera eléctricamente corta y puede ser modelada con un circuito de parámetros concentrados.

En un semipunte, el busbar está conectado en un extremo con los SiC MOSFET. La impedancia de los SiC MOSFET y de las conexiones entre el busbar y los SiC MOSFET presentan una impedancia variable. Cada cambio de geometría, como por ejemplo la conexión con los SiC MOSFET, produce una desadaptación de impedancia en el rango de la frecuencia de interés. En este sentido, las Fig. 3.4 y Fig. 3.5 comparan la impedancia y la fase medidas desde un extremo de un busbar (dos planos paralelos de 100 mm de longitud y 50 mm de ancho) terminado en un semipunte con los obtenidos por simulación. En el caso de la Fig. 3.4, los resultados de simulación se han obtenido sin considerar la dependencia frecuencial de los parámetros concentrados, estos se han ajustado a 10 MHz como es común en la bibliografía. En cambio, en la Fig. 3.5 si se ha tenido en cuenta esa dependencia frecuencial, realizando el ajuste de los parámetros concentrados a cada frecuencia (1601 frecuencias). En ambos casos, uno de los SiC

MOSFET está en estado conducción y el otro SiC MOSFET en estado de no conducción. La impedancia medida se compara con los resultados obtenidos a partir de los circuitos equivalentes de parámetros concentrados de la inductancia L en serie o Busbar L (Fig. 3.2a) y del equivalente en π o Busbar π (Fig. 3.2b). También se compara con el modelo de línea de transmisión (Busbar TL). Para realizar la comparación se han simulado las impedancias en MATLAB-Simulink®, utilizando la librería RF Blockset™ [75].

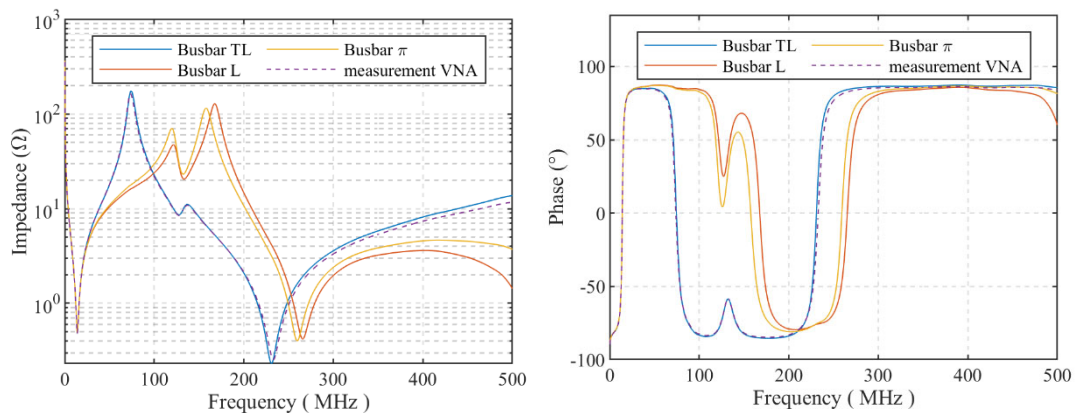


Fig. 3.4. Comparación de la medida de la impedancia y la fase de un busbar terminado en un semipunto con diferentes modelos eléctricos del busbar sin considerar la dependencia frecuencial de sus parámetros.

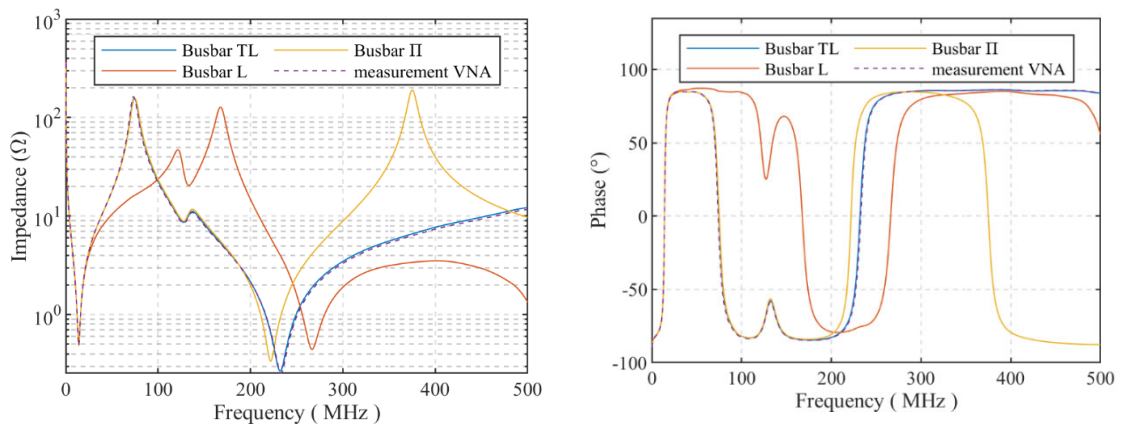


Fig. 3.5. Comparación de la medida de la impedancia y la fase de un busbar terminado en un semipunto con diferentes modelos eléctricos del busbar ajustando la dependencia frecuencial de los parámetros.

En el caso de no considerar la dependencia frecuencial de los parámetros, Fig. 3.4, los resultados obtenidos con el modelo de impedancia serie (Busbar L) así como con el equivalente en π (Busbar π) se comportan correctamente hasta la frecuencia de 20

MHz. En los resultados obtenidos en la Fig. 3.5, se puede observar que el modelo de impedancia serie (Busbar L) de nuevo solo es válido por debajo de 20 MHz. En cambio, el circuito equivalente formado por un equivalente en π (Busbar π) muestra un error despreciable hasta 180 MHz. Hay que destacar que la ampliación en el rango de validez del modelo Busbar π se debe a dos factores, el primero es la inclusión de la dependencia frecuencial y el segundo a que una línea de transmisión se puede modelar como circuitos equivalentes en π . Por último, el modelo basado en parámetros distribuidos de la línea de transmisión (Busbar TL) describe adecuadamente el comportamiento de la impedancia en todo el rango de frecuencia, mostrando una leve dependencia de sus parámetros (R' , L' , C' y G') con la frecuencia.

A cada longitud física de línea y a cada θ (1/20, 1/50, 1/100) les corresponde una determinada frecuencia límite como se muestra en la Tabla 3.1, cuyos valores se han obtenido a partir de (3.2) y (3.5). Esta frecuencia límite corresponde, como se indica en la tabla, a diferentes errores que deben ser considerados para decidir considerar o no un modelado basado en parámetros distribuidos. El caso analizado es el de un busbar laminado con sustrato FR-4, para longitudes entre 5 cm y 20 cm con permitividad relativa constante ($\epsilon_{r,FR4} = 4.8$).

Tabla 3.1. Frecuencias límite del modelo de busbar con parámetros concentrados.

	Longitud busbar (m)				Error	
	0.05	0.1	0.15	0.2	Amplitud	Fase
$f_{\lambda/20}$	136,83 MHz	68,41 MHz	43.787 MHz	34.21 MHz	30.90 %	18°
$f_{\lambda/50}$	54,73 MHz	27,37 MHz	18,24 MHz	13,68 MHz	12.53 %	7.2°
$f_{\lambda/100}$	27,37 MHz	13,68 MHz	9,12 MHz	6,84 MHz	6.27 %	3.6°

Para una longitud de 100 mm, como se tiene en el caso del busbar ensayado en las Fig. 3.4, se observa que el límite del modelo de parámetros concentrados obtenidos para el modelo Busbar L o Busbar π está en torno a 20 MHz, lo que corresponde a un valor entre $f_{\lambda/50}$ y $f_{\lambda/100}$. Como el modelo de línea de transmisión modela el comportamiento en todo el rango de frecuencia, para la medida de impedancias se propone considerar un modelo de parámetros distribuidos cuando $\theta = 1/100$. Con esta aproximación el

máximo error de magnitud de una señal sinusoidal entre cada extremo de la línea es del 6.27 % y el error en la fase es de 3.6°. Asimismo, como se puede ver en la Tabla 3.1, cuanto mayor es la longitud del busbar laminado, peor es la aproximación del busbar con parámetros concentrados para frecuencias altas.

3.3 Parámetros distribuidos de un busbar laminado

El busbar laminado (Fig. 3.1) puede ser caracterizado con precisión empleando una línea de transmisión cuyos parámetros distribuidos R' , L' , C' y G' son dependientes de la frecuencia, aunque para valores altos (>180 MHz). El efecto skin y el efecto de proximidad en los conductores debido al campo magnético variable, y los mecanismos de polarización en el dieléctrico cuando estos están sujetos a un campo eléctrico externo variable son las causas de la dependencia con la frecuencia.

La densidad de corriente por las capas conductoras depende de la frecuencia, de modo que a altas frecuencias el efecto skin y el de proximidad se hacen predominantes. Conforme aumenta la frecuencia, se produce un desplazamiento de la corriente hacia el exterior del conductor lo que aumenta su resistencia R' por unidad de longitud. El efecto skin y de proximidad comienzan a predominar en el conductor para un valor de frecuencia f_{sk} a la cual la resistencia R'_{ac} asociada a los efectos skin y de proximidad es igual a la resistencia en continua R'_{dc} , f_{sk} viene dada por [76]

$$f_{sk} = \frac{1}{\sigma_{Cu} \cdot \mu_0 \cdot t^2} \quad (3.6)$$

donde $\sigma_{Cu}=58 \cdot 10^6$ S/m es la conductividad del cobre curado utilizado en una PCB (t se ha definido anteriormente como el espesor del conductor).

El parámetro R' depende del valor de f_{sk} y de la profundidad de penetración del efecto skin $\delta = (2/\omega \cdot \sigma_{Cu} \cdot \mu_0)^{1/2}$ en el conductor como muestra la siguiente relación

$$R'(\omega) = \begin{cases} R'_{dc} & f < f_{sk} \\ R'_{ac} = R'_{dc} \cdot K_R & f \geq f_{sk} \end{cases} \quad (3.7)$$

donde la resistencia R'_{dc} de los dos planos del bus DC (Fig. 3.1) es

$$R'_{dc} = \frac{2}{\sigma_{Cu} \cdot t \cdot w} \quad (3.8)$$

y K_R es el factor de la resistencia AC de cada plano conductor que puede ser expresada como [76]

$$K_R = \left(\frac{t}{\delta}\right) \cdot \frac{\sinh\left(\frac{2t}{\delta}\right) + \sin\left(\frac{2t}{\delta}\right)}{\cosh\left(\frac{2t}{\delta}\right) - \cos\left(\frac{2t}{\delta}\right)} \quad (3.9)$$

La dependencia frecuencial del parámetro L' se puede expresar en función de una inductancia externa L'_e y una inductancia interna L'_i como [77]

$$L'(\omega) = L'_e + L'_i(\omega) \quad (3.10)$$

L'_e está asociada al flujo magnético cuyo origen es la corriente superficial que circula por los planos conductores cuando fluye exclusivamente por sus caras exteriores, esto ocurre a muy alta frecuencia debido al efecto skin. En este caso, la dirección de las corrientes es opuesta en cada uno de los planos conductores. Como consecuencia del efecto proximidad, entre dos corrientes opuestas, la densidad de corriente se concentra en las caras interiores de los planos conductores que hacen contacto con el sustrato dieléctrico FR-4. Así, la inductancia externa queda asociada a la inductancia ideal de los dos planos conductores en paralelo (de espesor despreciable) y está dada por

$$L'_e = \mu \frac{d}{w} \quad (3.11)$$

La corriente que circula por el interior de los planos conductores da lugar a L'_i . Esta inductancia depende del flujo magnético en el interior del conductor cuyo origen es la distribución de la densidad de corriente en el interior del conductor y, no se ve afectada por el flujo magnético externo al conductor. Cuando la frecuencia aumenta, el efecto

skin y el efecto de proximidad se hacen predominantes y la corriente que circula por el interior del conductor disminuye, desplazando la densidad de corriente hacia los bordes del conductor. Así, de acuerdo con la inductancia de cada plano conductor considerando estos efectos [78], L'_i se puede modelar como

$$L'_i(\omega) = \frac{R'_{dc}}{\omega} \cdot K_X \quad (3.12)$$

donde K_X es la reactancia normalizada de cada plano conductor y puede ser expresada como

$$K_X = \left(\frac{t}{\delta}\right) \cdot \frac{\sinh\left(\frac{2t}{\delta}\right) - \sin\left(\frac{2t}{\delta}\right)}{\cosh\left(\frac{2t}{\delta}\right) - \cos\left(\frac{2t}{\delta}\right)} \quad (3.13)$$

Hay que destacar que conforme aumenta la frecuencia, L'_i disminuye y, para valores de frecuencia suficientemente altos, L' se puede aproximar por L'_e .

El sustrato dieléctrico FR-4 (Flame Retardant 4), consistente en fibras de vidrio incrustadas en resina epoxi, es el más utilizado en PCBs. Las propiedades del FR-4 dependen de la frecuencia. Los fabricantes del sustrato no proporcionan información detallada del material en un rango amplio de frecuencias y sus propiedades pueden variar entre fabricantes, tipos de FR-4 y espesor. En este trabajo se utiliza un sustrato FR-4 estándar de uso general, con temperatura de transición vítrea (T_g) de 155 °C, cuya permitividad compleja se expresa como

$$\varepsilon_{r,FR4} = \varepsilon' - j\varepsilon'' = \varepsilon'(1 - j \tan \delta_e) \quad (3.14)$$

De acuerdo con [79], en un FR-4 estándar la parte real ε' varía desde 5.5 a baja frecuencia (10 Hz) hasta 4.2 en alta frecuencia (10 GHz). Además, para frecuencias por debajo de 1 GHz, ε' decrece ligeramente conforme aumenta la frecuencia y, la tangente de pérdidas eléctricas $\tan \delta_e$ se puede considerar constante. Asimismo, con el enfoque de líneas de transmisión propuesto para modelar el busbar, se ha considerado adecuado que ε' sea constante a frecuencias menores de 1 MHz ya que el efecto de la línea de

transmisión a esas frecuencias es despreciable. El efecto capacitivo es menos predominante que el inductivo a esas frecuencias. Se modela la parte real ε' como

$$\varepsilon'(\omega) = \begin{cases} \varepsilon'_{LF} & f \leq f_{LF} \\ \varepsilon'_{LF} - \frac{\omega(\varepsilon'_{LF} - \varepsilon'_{HF})}{\omega_{HF} - \omega_{LF}} & f > f_{LF} \end{cases} \quad (3.15)$$

donde ε'_{LF} es la permitividad a la frecuencia ω_{LF} más baja de la hoja de características (1 MHz) y ε'_{HF} es la permitividad a la frecuencia más alta ω_{HF} . Es usual encontrar dos valores de ε' correspondientes a dos frecuencias conforme a los datos del fabricante.

La capacidad C' en una estructura formada por dos planos paralelos, despreciando el efecto punta ($w \gg d$), viene dado por

$$C' = \varepsilon' \cdot \varepsilon_0 \cdot \frac{w}{d} \quad (3.16)$$

Finalmente, la conductancia G' entre ambas placas a través del dieléctrico se puede aproximar por

$$G' = \omega \cdot C' \cdot \tan \delta_e \quad (3.17)$$

3.4 Circuito equivalente de un semipunto con busbar

En la Fig. 3.6 se muestra el circuito de un semipunto con SiC MOSFET donde están representadas las impedancias parásitas en el bucle de corriente de conmutación CCL (del inglés *current commutation loop*). La tensión de alimentación de corriente continua del semipunto es V_{bus} . El PCB busbar está modelado como una línea de transmisión dividida en tres tramos (TL1, TL2, TL3) de longitudes ℓ_1 , ℓ_2 y ℓ_3 . El condensador de bus C_{bus} tiene cuatro pines de conexión, dos para cada polaridad. El modelo 3D de la PCB utilizada para este trabajo que representada el circuito de la Fig. 3.6 se puede ver en la Fig. 3.7.

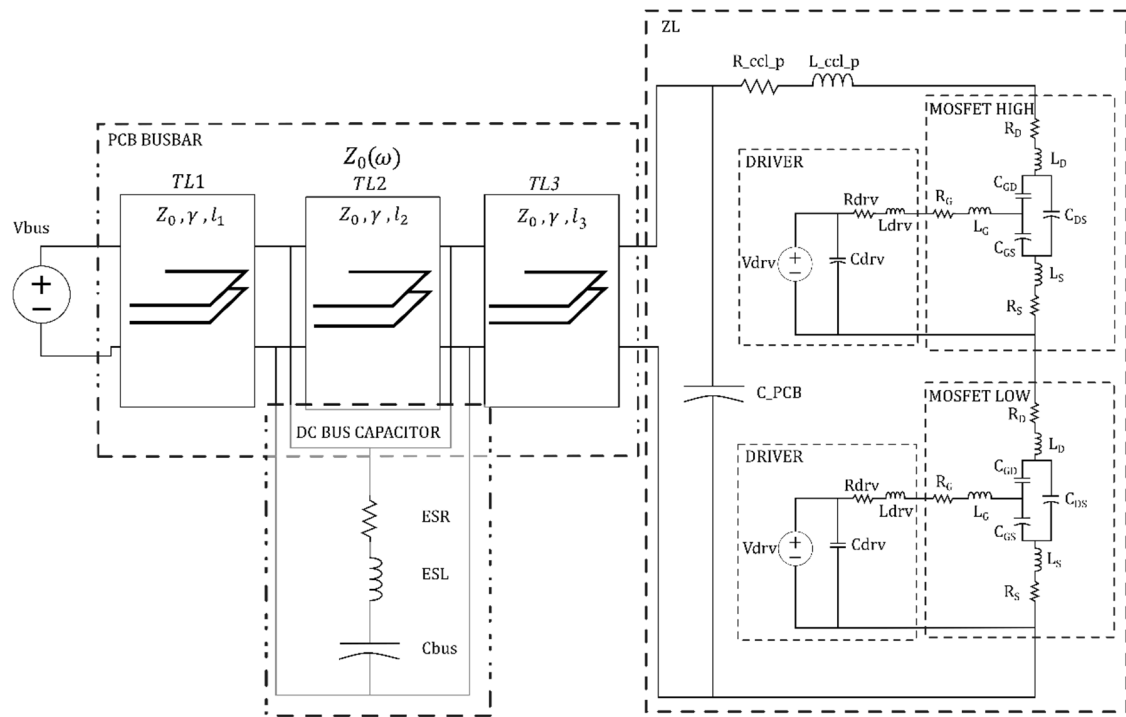


Fig. 3.6. Circuito equivalente del busbar y del semipiente.

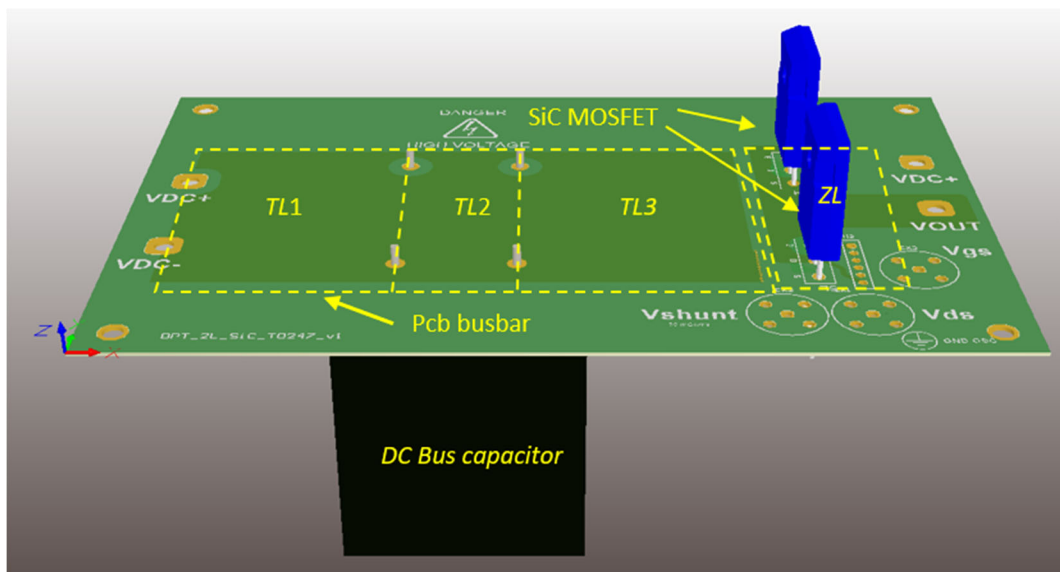


Fig. 3.7. Modelo 3D de la PCB del busbar y semipiente sin driver.

3.4.1 Descripción de las impedancias del circuito equivalente

El primer tramo del busbar con longitud ℓ_1 conecta la fuente DC V_{bus} con el condensador de bus C_{bus} . El segundo tramo del busbar con longitud ℓ_2 corresponde al tramo del busbar entre los pares de pines del condensador de bus. El tercer tramo del busbar con longitud ℓ_3 conecta C_{bus} con los SiC MOSFET. El condensador de bus tiene una resistencia serie equivalente R_{ESR} y una inductancia serie equivalente L_{ESL} . Las pistas impresas en la PCB que interconectan el busbar y los SiC MOSFET forman la impedancia de carga Z_L . El encapsulado TO-247-3 con tres terminales es el que se ha utilizado para los SiC MOSFET. El terminal de puerta (G) tiene una inductancia L_G y una resistencia R_G , el terminal de drenaje (D) tiene una inductancia L_D y una resistencia R_D , y el terminal de fuente (S) tiene una inductancia L_S y una resistencia R_S . La capacidad entre los terminales G y S es C_{GS} , entre los terminales G y D es C_{GD} y entre los terminales D y S es C_{DS} . La inductancia parcial equivalente L_{ccl_p} abarca las autoinductancias e inductancias mutuas de las pistas de interconexión entre busbar y los SiC MOSFET. La resistencia equivalente parcial de las pistas de interconexión es R_{ccl_p} . Las pistas que constituyen las conexiones del semipunto forman una capacidad equivalente en paralelo C_{PCB} .

La inductancia parcial del bucle de corriente de puerta es L_{drv} y la capacidad C_{drv} es la capacidad incluida en el driver para aumentar la capacidad de carga y descarga instantánea del condensador (C_{GS}) de los SiC MOSFET. La resistencia externa de puerta es R_{drv} y V_{drv} es la tensión del driver de control de puerta.

3.4.2 Impedancia de entrada

El busbar y el semipunto (Fig. 3.6) se describen mediante la conexión de varias líneas en cascada como se muestra en la Fig. 3.8. La caracterización de la impedancia de entrada $Z_{in}(\omega)$ del circuito de la Fig. 3.8 se realiza sin el condensador de bus (está desconectado) y considerando que el busbar es una línea de transmisión de impedancia característica compleja $Z_0(\omega)$ terminada en una impedancia de carga compleja $Z_L(\omega)$. Esta carga compleja abarca la impedancia de las pistas de interconexión y la impedancia de los SiC MOSFET.

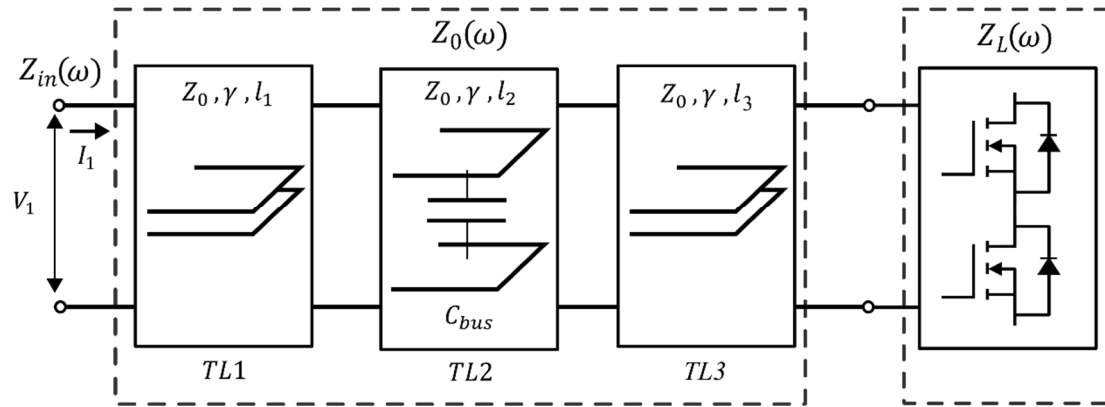


Fig. 3.8. Representación del semipunto con líneas de transmisión en cascada.

La impedancia de entrada Z_{in} es la impedancia medida y obedece a la siguiente expresión

$$Z_{in}(\omega) = Z_0(\omega) \cdot \frac{Z_L(\omega) + Z_0(\omega) \cdot \tanh(\gamma(\omega)\ell)}{Z_0(\omega) + Z_L(\omega) \cdot \tanh(\gamma(\omega)\ell)} \quad (3.18)$$

donde Z_L es el dipolo equivalente a la carga, Z_0 es la impedancia característica del busbar, γ es la constante de propagación y ℓ la longitud de la sección del busbar.

Para la caracterización de la impedancia del bucle de corriente de conmutación es necesario conocer la impedancia de carga Z_L . A partir de la impedancia medida Z_{in} y de la impedancia del busbar Z_0 se puede calcular Z_L , como se muestra a continuación.

La impedancia de entrada se obtiene a partir de la medida de la tensión V_1 y de la corriente I_1 de entrada

$$Z_{in} = \frac{V_1}{I_1} \quad (3.19)$$

y despejando Z_L de (3.18) se obtiene

$$Z_L(\omega) = Z_0(\omega) \cdot \frac{Z_{in}(\omega) - Z_0(\omega) \cdot \tanh(\gamma(\omega)\ell)}{Z_0(\omega) - Z_{in}(\omega) \cdot \tanh(\gamma(\omega)\ell)} \quad (3.20)$$

3.4.3 Dipolo equivalente de carga

El dipolo de carga Z_L lo constituyen las impedancias parásitas de las pistas de la PCB y las impedancias de los SiC MOSFET. Su cálculo es necesario para obtener posteriormente la impedancia del bucle de corriente de conmutación $Z_{CCL}(\omega)$.

La impedancia equivalente del dipolo de carga se ha representado mediante dos impedancias en paralelo Z_{RLC} y Z_{RC} como se puede ver en la Fig. 3.9. La impedancia Z_{RLC} está formada por la impedancia de los transistores SiC MOSFET del semipunte y la impedancia de la inductancia L_{ccl} (autoinductancias e inductancias mutuas de las pistas de interconexión entre busbar y los SiC MOSFET) y la resistencia R_{ccl} (de las pistas de interconexión). Z_{RC} representa la impedancia de la capacidad equivalente entre las pistas de interconexión del semipunte.

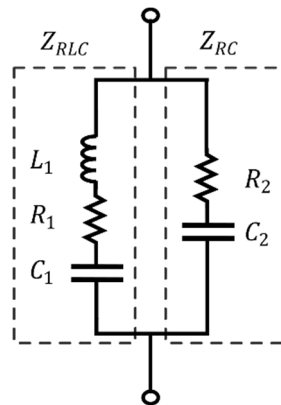


Fig. 3.9. Circuito equivalente del dipolo equivalente de carga Z_L .

Así, la impedancia Z_L se puede describir como

$$Z_L(\omega) = \left((Z_{RLC}(\omega))^{-1} + (Z_{RC}(\omega))^{-1} \right)^{-1} \quad (3.21)$$

donde Z_{RLC} es la impedancia equivalente de un circuito RLC serie

$$Z_{RLC}(\omega) = R_1 + jX_1(\omega) \quad (3.22)$$

$$X_1(\omega) = \omega L_1 - \frac{1}{\omega C_1} \quad (3.23)$$

$$\omega_{s,1}^2 = \frac{1}{L_1 C_1} \quad (3.24)$$

Según la teoría de inductancias parciales [80], la inductancia parcial L_1 corresponde a la inductancia debida a la trayectoria de la corriente que circula por las pistas de cobre y por los transistores SiC MOSFET que forman el semipunto. El valor de la impedancia Z_L a la frecuencia de resonancia serie $\omega_{s,1}$ es aproximadamente la resistencia R_1 (en el rango de decenas-centenas de mΩ) y al ser la impedancia $Z_{RC}(\omega)$ a esa frecuencia un valor muy grande en comparación, se tiene que

$$R_1 = |Z_L(\omega_{s,1})| \quad (3.25)$$

La capacidad C_1 es la capacidad equivalente de las capacidades parásitas de los SiC MOSFET conectadas en serie. La capacidad equivalente C_{MOS} de un SiC MOSFET viene dada por

$$C_{MOS} = \frac{C_{GD} \cdot C_{GS}}{C_{GD} + C_{GS}} + C_{DS} \quad (3.26)$$

la capacidad de los dos transistores SiC MOSFET en serie es

$$C_1 = C_{MOS}/2 \quad (3.27)$$

La impedancia Z_{RC} está formada por las impedancias parásitas de las conexiones en la PCB (C_{PCB}) que van adquiriendo relevancia conforme la frecuencia aumenta. Su componente reactiva X_2 corresponde a una capacidad de bajo valor, del orden de los pF. Z_{RC} es un circuito RC serie y se expresa como

$$Z_{RC}(\omega) = R_2 + jX_2(\omega) \quad (3.28)$$

$$X_2(\omega) = \frac{1}{\omega C_2} \quad (3.29)$$

La impedancia de carga Z_L , que es el paralelo de las impedancias Z_{RLC} y Z_{RC} , se puede expresar como

$$Z_L(\omega) = R_p(\omega) + jX_p(\omega) \quad (3.30)$$

Donde R_p la es resistencia equivalente paralelo y X_p la reactancia equivalente paralelo. Cuando la reactancia paralela X_p es cero se produce la condición de antiresonancia. En un circuito con una impedancia Z_{RLC} en paralelo con una impedancia Z_{RC} existe una frecuencia de resonancia del circuito RLC serie $\omega_{s,1}$, que se estima según (3.24), y una frecuencia de antiresonancia entre Z_{RLC} y Z_{RC} . Así, la condición de antiresonancia se produce ($X_p = 0$) a la frecuencia ω_p (ver Anexo I).

$$\omega_p^2 = \frac{(C_1 + C_2)}{C_1 \cdot C_2} \cdot \frac{1}{L_1} \quad (3.31)$$

La capacidad equivalente del SiC MOSFET en el rango de trabajo es mucho mayor que la capacidad parásita entre las pistas ($C_1 \gg C_2$), por tanto $\omega_p^2 = \frac{1}{C_2} \cdot \frac{1}{L_1}$ y la resonancia serie ocurre a una frecuencia menor que la de antiresonancia ($\omega_{s,1} < \omega_p$). Ambas son por tanto observables en la medida de la impedancia, así que midiendo la frecuencia de antiresonancia ω_p se puede obtener el valor de C_2 según

$$C_2 = \frac{1}{L_1 \cdot \omega_p^2} \quad (3.32)$$

Por otra parte, considerando que Z_L es el paralelo de las impedancias Z_{RLC} y Z_{RC} , la componente real R_p de Z_L se puede expresar como

$$R_p = \frac{(R_1^2 + X_1^2) \cdot R_2 + (R_2^2 + X_2^2) \cdot R_1}{(R_1 + R_2)^2 + (X_1 + X_2)^2} \quad (3.33)$$

en condiciones de resonancia $X_1 = -X_2$, además, las resistencias R_1 y R_2 son de bajo valor y a la frecuencia de antiresonancia cumplen que $(X_1^2 \gg R_1^2)$ y $(X_2^2 \gg R_2^2)$ por lo que

$$R_p = \frac{(X_1^2) \cdot R_2 + (X_2^2) \cdot R_1}{(R_1 + R_2)^2} = \frac{X_1^2}{(R_1 + R_2)} = |Z_L(\omega_p)| \quad (3.34)$$

Por tanto, del valor de pico del módulo de la impedancia en la antiresonancia se puede estimar R_2 como

$$R_2 = \frac{X_1^2 - R_1 \cdot |Z_L(\omega_p)|}{|Z_L(\omega_p)|} \quad (3.35)$$

3.4.4 Circuito equivalente del bucle de conmutación

En la Fig. 3.10 se muestra el circuito equivalente que representa la impedancia Z_{CCL} del bucle de corriente de conmutación i_{CCL} . La impedancia del bucle de corriente de conmutación Z_{CCL} se puede obtener a través de la impedancia del busbar en el tramo de longitud ℓ_3 , la impedancia de la carga Z_L y la impedancia del condensador de bus Z_{bus} . La impedancia Z_{bus} está formada por la resistencia serie equivalente (ESR), la inductancia serie equivalente (ESL) y la capacidad del condensador de bus C_{bus} .

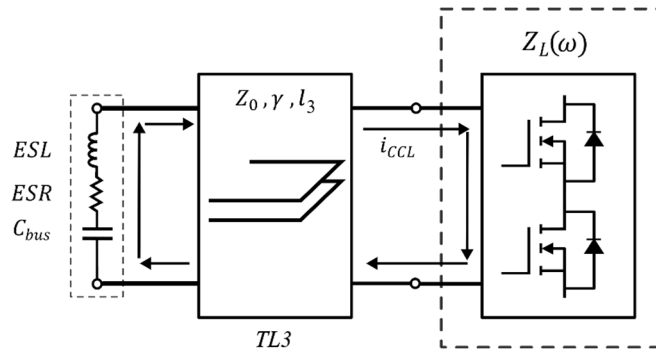


Fig. 3.10. Circuito equivalente del bucle de corriente de conmutación.

La impedancia Z_L es obtenida a través de la medida de impedancia realizada con un analizador de impedancias (VNA). Esta medida es de pequeña señal ya que el equipo de medida utiliza tensiones inferiores a 1 V en el barrido de medida en frecuencia.

Sin embargo, un semipunto trabaja con tensiones y corrientes elevadas durante su funcionamiento. La corriente de conmutación circula desde el condensador de bus hasta las capacidades parásitas de los SiC MOSFET. Como no existe ningún material magnético no lineal en el circuito, las inductancias medidas se pueden considerar independientes de la corriente. Asimismo, las capacidades parásitas entre las pistas, a través del sustrato FR-4 o del aire, se consideran independientes de la tensión.

El único elemento que cambia con la tensión es la capacidad equivalente C_1 de los SiC MOSFET. La dependencia de las capacidades del SiC MOSFET respecto a la tensión se pueden encontrar en la hoja de características del fabricante.

3.5 Técnicas de medida

En este apartado se describe en mayor profundidad las metodologías de medida con un analizador vectorial de redes (VNA) así como su funcionamiento básico.

3.5.1 Metodologías de medida de impedancias con VNA

Para la caracterización de las impedancias del semipunto y del bucle de conmutación Z_{CCL} (Fig. 3.10) se ha utilizado un VNA, modelo E5061B de Keysight, como se puede ver en la Fig. 3.11. Este analizador vectorial tiene dos puertos para la medida de los parámetros-S, el puerto Port-1 y el puerto Port-2, en un rango de frecuencia entre 5 Hz y 1.5 GHz. También dispone de los puertos de medida Gain-Phase con un rango de

medida de frecuencia desde 5 Hz hasta 30 MHz. La precisión de la medida de la impedancia con el E5061B se describe en el Anexo III.



Fig. 3.11. Puertos de medida del analizador vectorial E5061B..

El VNA es un equipo de medida de estímulo-respuesta. Su funcionamiento se basa en la medida de la amplitud y fase de las ondas de tensión incidentes (V^+) y reflejadas (V^-) en los receptores que hay en cada puerto de medida. La tensión de estímulo de referencia generada por el VNA es una onda senoidal de amplitud fija y frecuencia variable. Con la relación entre las ondas de tensión (V^+) y (V^-) medidas en cada puerto, el VNA obtiene los parámetros-S. Para separar la onda incidente (V^+) de las reflejadas (V^-) el VNA utiliza un elemento pasivo llamado acoplador direccional. Los parámetros-S tienen amplitud y fase, son números complejos. Asimismo, en una red de dos puertos los elementos de la matriz de parámetros-S se obtienen como

$$S_{11} = \left. \frac{V_1^-}{V_1^+} \right|_{V_2^+=0} \quad (3.36)$$

$$S_{12} = \left. \frac{V_1^-}{V_2^+} \right|_{V_1^+=0} \quad (3.37)$$

$$S_{21} = \left. \frac{V_2^-}{V_1^+} \right|_{V_2^+ = 0} \quad (3.38)$$

$$S_{22} = \left. \frac{V_2^-}{V_2^+} \right|_{V_1^+ = 0} \quad (3.39)$$

Las configuraciones de medida de impedancias dependen de a que puerto/s se conecta la carga, que puerto/s inyecta la señal de estímulo y que puerto/s son receptores del estímulo. Cuando la carga está conectada a un puerto (Port-1), la tensión de estímulo y el receptor están en el mismo puerto (Port-1), se trata de una medida de *reflexión* (S_{11}).

Cuando la carga está conectada entre dos puertos, con el Port-1 como fuente de tensión de estímulo ($V_1^+ \neq 0$) y Port-2 como puerto de medida de las ondas de tensión ($V_2^+ = 0$), se caracteriza el coeficiente de transmisión (S_{21}). La carga en este caso se puede conectar entre ambos en configuración *series-thru* o *shunt-thru* como se muestra en la

Fig. 3.12.

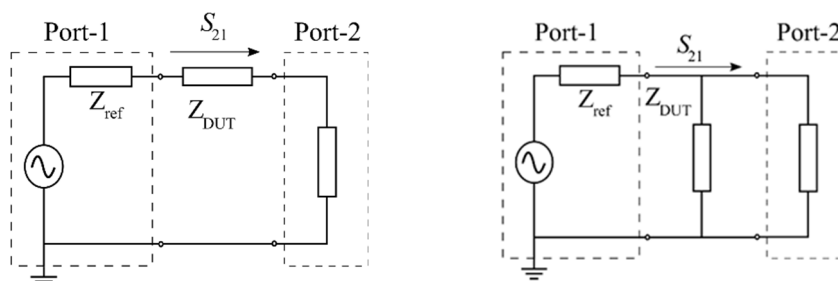


Fig. 3.12. Método de medida de impedancias con un VNA en conexión de dos puertos series-thru (izquierda) y shunt-thru(derecha).

A partir de la medida de S_{11} y de S_{21} se obtiene la impedancia compleja mediante las expresiones (2.1), (2.2) y (2.3) para las diferentes configuraciones de medida (*reflexión*, *shunt-thru* y *series-thru*). Cada una de estas configuraciones presenta una precisión en función de la impedancia medida, en este trabajo se ha escogido la metodología de medida de dos puertos con el dispositivo bajo ensayo (DUT) en conexión shunt-thru dado que permite caracterizar con precisión impedancias bajas, como las presentes en un semipunto donde por ejemplo las inductancias son del orden de los nH [48].

El VNA E5061B también dispone de los puertos de medida Gain-Phase. Estos puertos sirven para la caracterización de impedancias, lazos de control, filtros, amplificadores operacionales, etc. Consta de tres puertos dedicados LF-OUT, T y R. El puerto LF-OUT sirve para inyectar la tensión de estímulo de la medida. El puerto receptor T (Transmisión) sirve para medir las tensiones transmitidas y el puerto receptor R (Reflexion) sirve para medir las tensiones reflejadas. Ambos puertos receptores son semiflotantes y proporcionan gran precisión en la medida de impedancias por debajo de 1 mΩ incluso en baja frecuencia [40]. También utiliza las configuraciones de medida *shunt-thru* y *series-thru* como se puede ver en la Fig. 3.13. En cada uno de estos métodos el valor de la impedancia medida en el DUT viene dada por:

Método *series-thru* puertos Gain Phase (LF-OUT, T y R):

$$Z_{DUT} = 50 \cdot \frac{1 - (T/R)}{(T/R)} \quad (3.40)$$

Método *shunt-thru* puertos Gain Phase (LF-OUT, T y R):

$$Z_{DUT} = 50 \cdot \frac{(T/R)}{2(1 - (T/R))} \quad (3.41)$$

En el método *shunt-thru* con puertos Gain Phase (LF-OUT, T y R) se utiliza un elemento pasivo que divide la potencia inyectada en los puertos (*power splitter*).

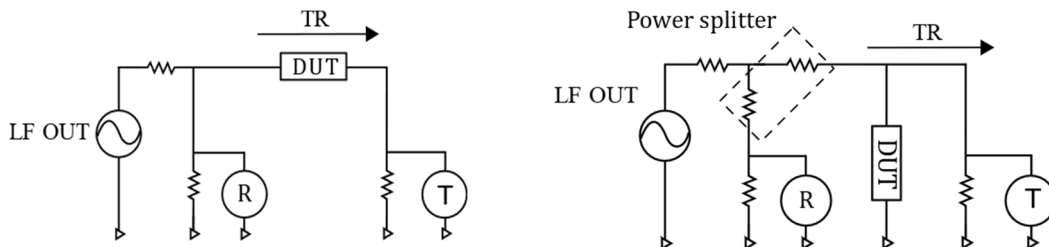


Fig. 3.13. Método de medida de impedancias con puertos GP: en configuración series-thru (izquierda) y shunt-thru (derecha).

3.5.2 Medida de un SiC MOSFET

Para la caracterización de un SiC MOSFET se ha aplicado el método de medida de dos puertos (2-Port) [45]. Considerando el SiC MOSFET como un cuadripolo (Fig. 3.14), este método consiste en obtener su matriz de impedancias $[z]$ a partir de la medida de parámetros-S. Asimismo, permite despejar las inductancias, capacidades y resistencias parásitas del SiC MOSFET con los circuitos equivalentes propuestos para cada $z_{i,j}$ de la matriz de impedancias.

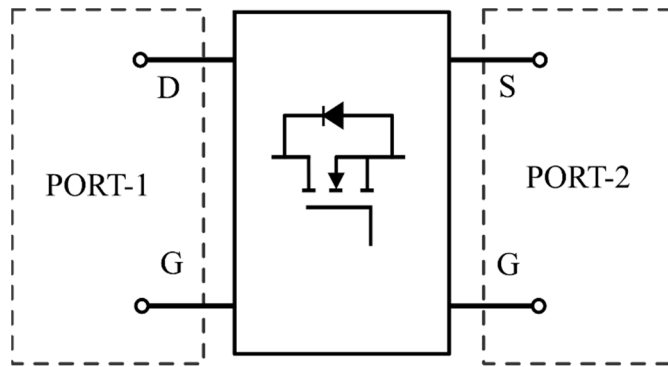


Fig. 3.14. Conexión para la medida de un SiC MOSFET como un cuadripolo.

Para realizar la caracterización de la matriz $[z]$ de un cuadripolo, el VNA primero hace un barrido de frecuencia con la tensión de estímulo en el Port-1 ($V_1^+ \neq 0$) y el Port-2 como receptor ($V_2^+ = 0$) de esta forma se obtienen S_{11} y S_{21} . Después hace un barrido en frecuencia con la tensión de estímulo desde el Port-2 ($V_2^+ \neq 0$) y el Port-1 ($V_1^+ = 0$) actúa como receptor obteniéndose S_{12} y S_{22} . Una vez obtenidos los parámetros de la matriz de dispersión, se obtienen los elementos de la matriz de impedancias conforme a las siguientes expresiones [81][82]

$$Z_{11} = Z_0 \left[\frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}} \right] \quad (3.42)$$

$$Z_{12} = Z_0 \left[\frac{2S_{12}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}} \right] \quad (3.43)$$

$$Z_{21} = Z_0 \left[\frac{2S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}} \right] \quad (3.44)$$

$$Z_{22} = Z_0 \left[\frac{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}} \right] \quad (3.45)$$

donde $Z_0 = 50 \Omega$.

Para despejar las inductancias, capacidades y resistencias parásitas del SiC MOSFET con la metodología descrita en [45], se utiliza el circuito equivalente en estrella del SiC MOSFET que se muestra en la Fig. 3.15.

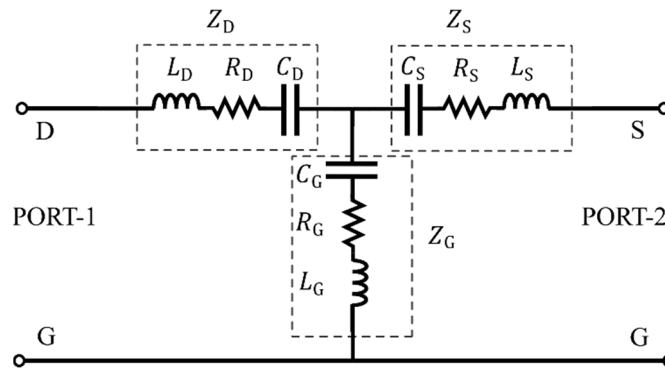


Fig. 3.15. Circuito equivalente en estrella para la medida del SiC MOSFET como cuadripolo.

Donde C_D , C_S y C_G son las capacidades equivalentes en estrella del SiC MOSFET. Cada elemento Z_{11} , Z_{12} , Z_{21} y Z_{22} tiene la respuesta de un circuito RLC serie.

$$Z_{11} = \left. \frac{V_1}{I_1} \right|_{I_2=0} = Z_D + Z_G \quad (3.46)$$

$$Z_{12} = \left. \frac{V_1}{I_2} \right|_{I_1=0} = Z_G \quad (3.47)$$

$$Z_{21} = \left. \frac{V_2}{I_1} \right|_{I_2=0} = Z_G \quad (3.48)$$

$$Z_{22} = \left. \frac{V_2}{I_2} \right|_{I_1=0} = Z_S + Z_G \quad (3.49)$$

Donde Z_D , Z_S y Z_G son las impedancias del circuito RLC serie equivalente de drenaje, fuente y puerta respectivamente.

$$Z_D = R_D + j \left(\omega L_D - \frac{1}{\omega C_D} \right) \quad (3.50)$$

$$Z_S = R_S + j \left(\omega L_S - \frac{1}{\omega C_S} \right) \quad (3.51)$$

$$Z_G = R_G + j \left(\omega L_G - \frac{1}{\omega C_G} \right) \quad (3.52)$$

Las capacidades equivalentes del SiC MOSFET C_D , C_S y C_G del circuito de la Fig. 3.15 se extraen de la medida a 1 MHz de Z_{11} , Z_{12} , Z_{21} y Z_{22} . A esta frecuencia la impedancia está predominada por las capacidades parásitas despreciado las inductancias y resistencias parásitas. A la frecuencia de resonancia serie de cada Z_{11} , Z_{12} , Z_{21} y Z_{22} , que forman un circuito RLC serie, se obtiene R_D , R_S y R_G ya que la reactancia es cero. Asimismo, de la frecuencia de resonancia serie, conocida C_D , C_S y C_G , se extrae el valor de L_D , L_S y L_G utilizando la expresión (3.24).

3.5.3 Caracterización de Cbus

El circuito equivalente del condensador de bus es un RLC serie (Fig. 3.6). El valor de la capacidad C_{bus} se obtiene de la medida de la impedancia a baja frecuencia (por debajo de la frecuencia de resonancia) cuando la fase es capacitiva ($-\pi/2$). Se ha considerado C_{bus} constante porque la variación de su capacidad con la frecuencia es muy pequeña por debajo de la frecuencia de resonancia que es cuando predomina en la impedancia. Con el valor de C_{bus} y la frecuencia de resonancia serie se extrae ESL mediante (3.24) y, se considera constante por encima de la frecuencia de resonancia porque el efecto skin predomina en los conductores y la variación de ESL con la frecuencia es despreciable. El valor de la resistencia ESR depende de la frecuencia. El efecto pelicular

en los conductores es el principal responsable del aumento de la resistencia en el condensador y, por tanto, tiene dependencia con \sqrt{f} . Se ha modelado el comportamiento de ESR con la siguiente expresión

$$ESR_{fit}(f) = r_0 + r_1\sqrt{f} + r_2 \cdot f \quad (3.53)$$

donde r_0 , r_1 y r_2 son coeficientes de ajuste que se obtienen mediante un ajuste de mínimos cuadrados no lineales. Se ha incluido un término lineal de muy bajo valor para mejorar el coeficiente de determinación en el ajuste.

Entonces, el ajuste de mínimos cuadrados resuelve la ecuación

$$\min \left(\sum_j \|ESR_{fit}(f) - ESR_{VNA}(f)\|^2 \right) \quad (3.54)$$

Donde ESR_{VNA} es la medida realizada con el VNA.

Así la impedancia del condensador de bus Z_{cbus} se puede expresar como

$$Z_{cbus} = ESR + j \left(\omega ESL - \frac{1}{\omega C_{bus}} \right) \quad (3.55)$$

3.5.4 Procedimiento de calibración

Todos los métodos utilizados de medida tienen que ser calibrados previamente para eliminar la influencia del montaje de ensayo (*test fixture*) en la medida. El plano de calibración se define como los puntos de conexión físicos donde el equipo está siendo calibrado. Con la calibración se desplaza el plano de calibración desde los puertos del VNA hasta el punto de conexión con el DUT, para eliminar la influencia en la medida de los componentes intermedios. Para ello, el VNA utiliza una técnica matemática de corrección de errores vectoriales [83]. Se trata de una técnica que caracteriza los errores sistemáticos del VNA: cables coaxiales, conectores, test fixture, etc. Los errores sistemáticos son aquellos repetibles y no aleatorios que pueden ser medidos y

corregidos matemáticamente utilizando una calibración con cargas eléctricas bien caracterizadas (cargas de calibración). Para calibrar en conexión *shunt-thru* se utiliza un procedimiento en el que se caracterizan tres cargas conocidas: cortocircuito (S), circuito abierto (O) y carga (L) en el orden que se han descrito S-O-L, este procedimiento se conoce como calibración SOL y se puede ver en la Fig. 3.16

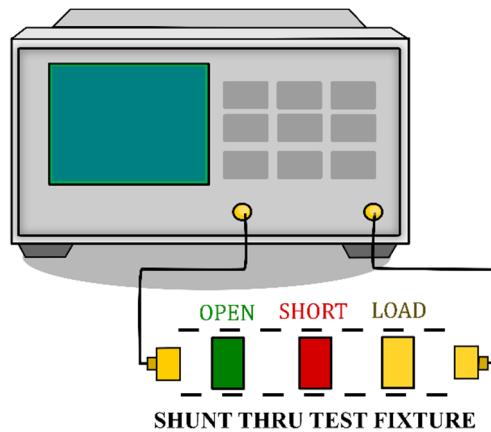


Fig. 3.16. Calibración de cargas eléctricas SOL en configuración shunt-thru.

El procedimiento de calibración SOL en configuración series-thru y medida de reflexión (1-Puerto) debe ser lo más idéntico posible al que se emplea en la conexión del DUT (incluyendo la posición de los cables y otros elementos). Para calibrar la medida de dos puertos (Fig. 3.14), se sigue el siguiente procedimiento: primero se calibra con el procedimiento SOL cada uno de los puertos Port-1 y Port-2 por separado. Después se conectan los puertos Port-1 y Port-2 a través de una carga de calibración thru(T) como se puede ver en la Fig. 3.17. Este procedimiento se denomina SOLT.

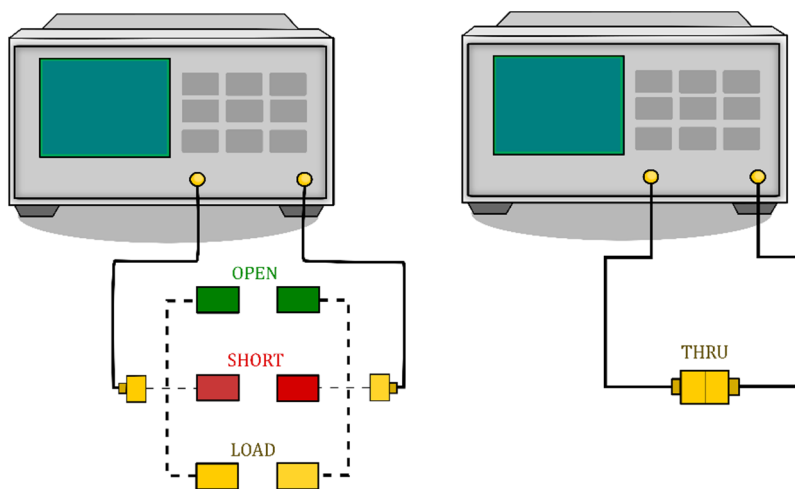


Fig. 3.17. Calibración de cargas eléctricas SOLT en configuración de dos puertos.

3.5.5 Montajes de ensayo

Calibración y medida

Para la realización de esta tesis, se han desarrollado diferentes kits de calibración con el estándar SOL (Short-Open-Load) para la medida de un dipolo, mientras que para la medida de dos puertos se ha utilizado el estándar de calibración SOLT (Short-Open-Load-Thru).

En la medida de la impedancia del bucle de corriente de conmutación Z_{CCL} , la conexión entre el VNA y el DUT (semipunte) requiere de un montaje de ensayo (test fixture) específico. Comercialmente los test fixtures disponibles sirven para caracterizar dispositivos electrónicos y componentes con encapsulados estándar. Sin embargo, la conexión con el DUT no es estándar, por lo que ha sido necesario diseñar un test fixture entre el VNA y los terminales de medida del DUT.

Para extender el rango de medida en frecuencia, se ha escogido como test fixture un conector coaxial roscado de $50\ \Omega$ tipo SMA (SubMiniature version A) soldado a la PCB del semipunte como se puede ver en la Fig. 3.18.

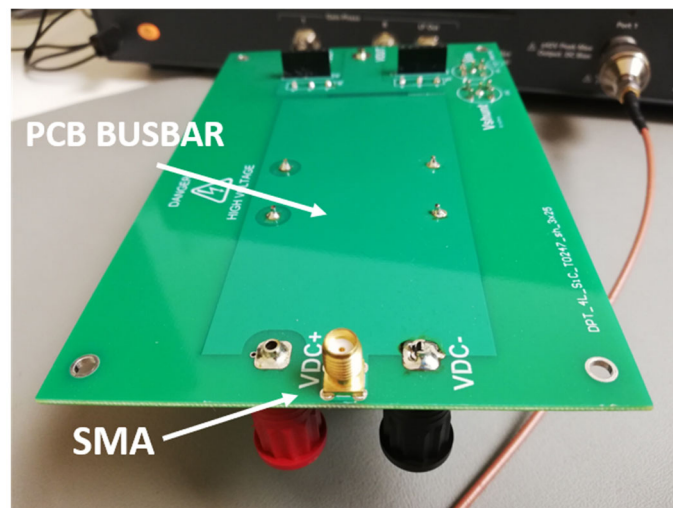


Fig. 3.18. Vista del conector SMA utilizado en la medida de Z_{in} para caracterizar la PCB del semipunte.

Se coloca en el punto de medida de la impedancia de entrada Z_{in} para minimizar su influencia en frecuencias muy altas (cientos de MHz). El conector SMA conecta con el semipunte a través de unas pistas, que son idénticas a las utilizadas en el kit de

calibración para asegurar la repetibilidad de las medidas gracias a que permite reducir a cero las impedancias residuales. Además, la conexión roscada de los componentes asegura un buen contacto y repetibilidad entre series de medidas.

En la Fig. 3.19 se muestran las cargas de calibración short, open, load y thru de los estándares de calibración SOL y SOLT utilizados en la caracterización del SiC MOSFET y del semipunto.

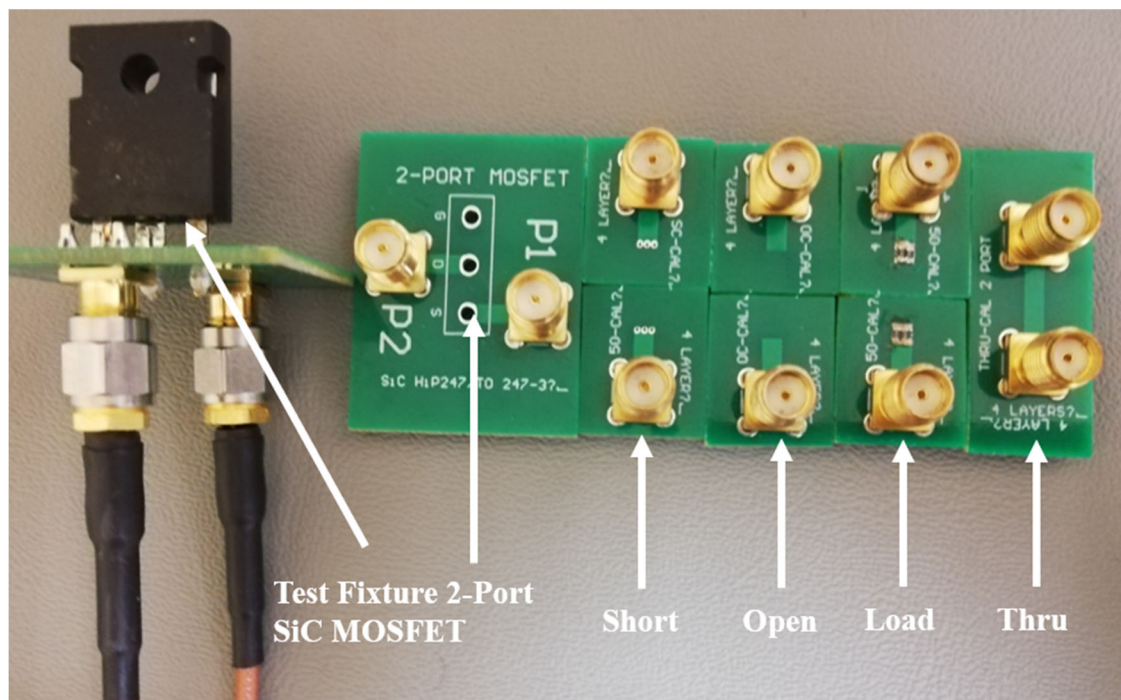


Fig. 3.19. Test fixture para la caracterización del SiC MOSFET y el kit de calibración SOLT utilizado.

Además, se muestra a la izquierda de la Fig. 3.19 el montaje de ensayo utilizado para la caracterización del SiC MOSFET por el método de dos puertos. Los kits de calibración se han diseñado según las directrices descritas en 2.3.2.

Cada carga de calibración (Short-Open-Load) se conecta a un conector SMA mediante un microstrip de 12 mm de longitud con impedancia característica 50 Ω (para evitar desadaptación en la impedancia entre el VNA y los cables coaxiales). El microstrip se ha diseñado mediante las ecuaciones descritas en [58]. La carga de 50 Ω se ha hecho con dos resistencias de 100 Ω en paralelo, encapsulado SMD 0603 (1.6 mm de largo y 0.8 mm de ancho) y 0.1% de precisión.

La carga de calibración thru es exclusiva de la medida de dos puertos y sirve para corregir los coeficientes de transmisión directa S_{21} e inversa S_{12} entre ambos puertos. Está formada por una línea microstrip (50Ω) de longitud 24 mm idéntica en anchura y con dos veces la longitud del microstrip utilizado en la calibración SOL.

Montaje de ensayo para la medida del semipunte

El montaje de ensayo y el semipunte (half bridge board) que se ha caracterizado en este trabajo se muestra en la Fig. 3.20.

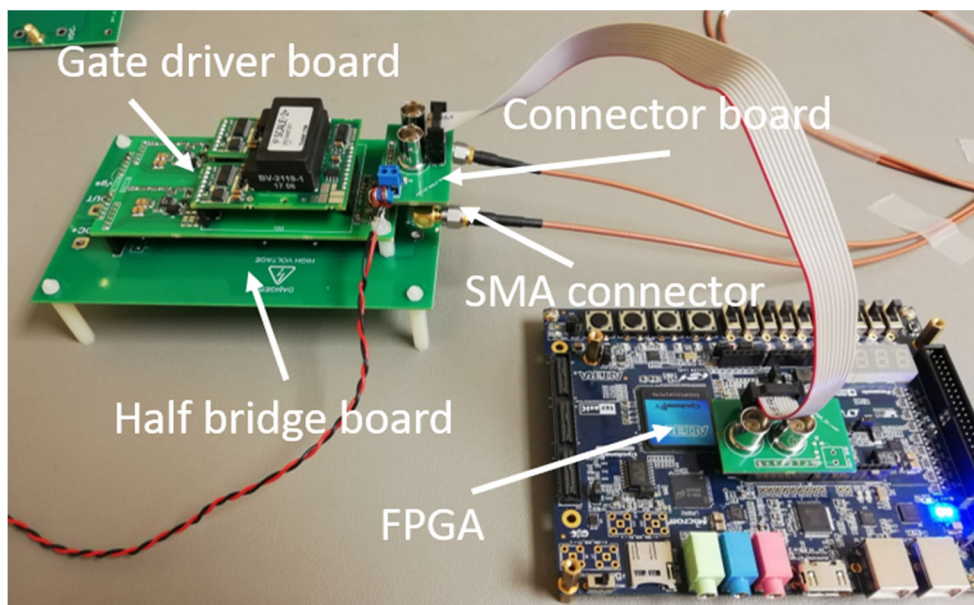


Fig. 3.20. Montaje de ensayo para realizar la caracterización experimental del semipunte.

Se ha utilizado una línea de transmisión conocida y caracterizada en la frecuencia como PCB busbar. En este caso son dos planos paralelos de 100 mm de longitud y 50 mm de anchura. Las tres secciones (Fig. 3.6 y Fig. 3.7) en las que se divide el busbar tienen una longitud de 40 mm para el tramo ℓ_1 , 20 mm para el tramo ℓ_2 y 40 mm para el tramo ℓ_3 y sus dimensiones de fabricación se muestran en Tabla 3.2.

Tabla 3.2. Dimensiones de la PCB busbar diseñada

Símbolo	Descripción	Valor
w	Ancho del busbar	50 mm
t	Espesor de la pista	39 μm
l	Longitud total	100 mm
d	Altura del sustrato	1.59 mm
$\epsilon_{r,FR4}$	Permitividad FR4(10 MHz)	4.8

Los transistores SiC MOSFET utilizados son los SCTW100N65G2AG de ST Microelectronics [86] con 650 V de tensión nominal y encapsulado de tres pines HiP247 (equivalente al TO-247-3). El circuito de disparo de puerta (driver) se ha diseñado utilizando el driver para IGBTs Dual-channel SCALE 2+ modelo 2SC0435T de Power Integrations [87]. Este driver está diseñado para trabajar con IGBTs hasta 1700 V, permite una frecuencia de conmutación hasta 100 kHz, además soporta ratios de tensión de hasta 50 kV/ μs . También dispone de circuitos de protección integrados contra cortocircuito, sobretensiones, etc. Se ha diseñado una PCB (*gate driver board*) específica según [90] para adaptar los niveles de tensión (+15V/-10 V) del driver 2SC0435T a los del SiC MOSFET (+20V/-5V). El driver se controla con una FPGA Intel Cyclone-V GX Starter kit y se conectan con una placa de interconexión (*connector board*) a la PCB del driver. En el extremo de entrada de la tensión de bus se dispone de un conector SMA para caracterizar la impedancia.

Caracterización del condensador de bus

El condensador de bus C_{bus} se ha caracterizado con los puertos Gain-Phase del VNA desde 5 Hz hasta 30 MHz para asegurar la máxima precisión. El condensador de bus utilizado en este trabajo es un condensador de película de polipropileno metalizado de uso industrial modelo EZPV1B306MTB de Panasonic [89]. Tiene 30 μF de capacidad, tensión nominal 1100 V, baja inductancia parasita, baja *ESR* y se conecta con cuatro terminales de conexión a la PCB del semipunto.

Como el C_{bus} tiene cuatro terminales de conexión, se ha dispuesto de un test fixture que incluye en este caso la sección del busbar ℓ_2 conocida donde va conectado como se muestra en la Fig. 3.21.

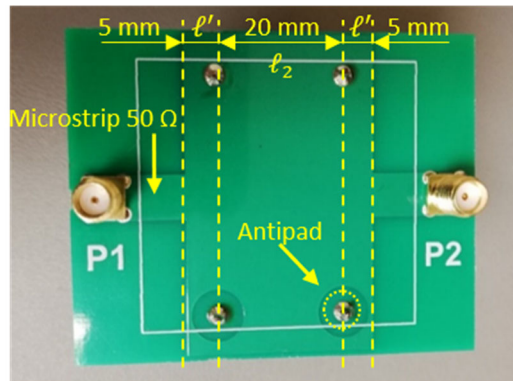


Fig. 3.21. Montaje para la medida de la impedancia del condensador de bus.

En los puntos de soldadura de los terminales del condensador con polaridad distinta a la del plano de cobre donde se suelda, existe un espacio vacío llamado antipad para evitar el cortocircuito entre los terminales del condensador. Estos huecos modifican levemente la impedancia del busbar. Para reducir el error del cálculo de la impedancia del montaje de ensayo, se han extendido 5 mm los planos del busbar (sección ℓ') desde la terminación de la sección ℓ_2 hasta las conexiones de medida. La conexión de medida es una línea microstrip de 50 Ω utilizada como enlace con el conector SMA de medida y es calibrada antes de la medida.

La longitud máxima del tramo del busbar es de solo 30 mm, por lo que se puede caracterizar como un circuito de parámetros concentrados dado que la caracterización es, en este caso, hasta 30 MHz. El valor de la inductancia y resistencia del montaje de ensayo, calculadas con las expresiones desarrolladas en la sección 3.3, es $L' = 38.994$ nH/m y $R' = 0.1149$ Ω /m para 30 MHz. Esta frecuencia es la máxima con los puertos Gain-Phase y se utiliza para determinar la máxima influencia de la resistencia del montaje de ensayo en la medida del condensador de bus ya que la inductancia se puede considerar constante a frecuencias altas.

A continuación, se evalúa la influencia del test fixture sobre la medida de la impedancia. El circuito equivalente del test fixture con el condensador de bus se muestra en la Fig. 3.22 cuando la medida se realiza desde el puerto P1 (Fig. 3.21).

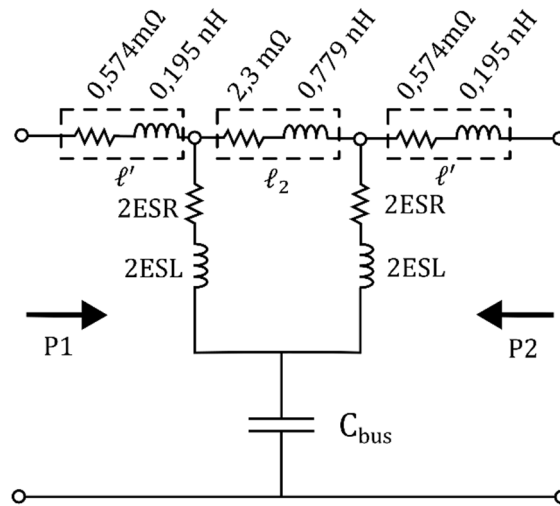


Fig. 3.22. Circuito equivalente del test fixture con el condensador de bus conectado visto desde P1.

Se puede observar que se ha dividido ESL y ESR en dos ramas en paralelo cuyo valor corresponde a $2ESR$ y $2ESL$. La resistencia calculada de la sección de busbar de 5 mm ℓ' es $0.574\text{ m}\Omega$ y su inductancia es de 0.195 nH . Estos valores se deben extraer de la medida directa obtenida. La resistencia de la sección ℓ_2 (20 mm) es $2.3\text{ m}\Omega$ y está en serie con $2ESR$ por lo que es despreciable ya que ESR está en el rango de decenas a cientos de $\text{m}\Omega$ a 30 MHz y también es despreciable a frecuencia inferiores. Asimismo, la inductancia es 0.779 nH para la sección ℓ_2 (20 mm) y está en serie con $2ESL$, donde ESL es del orden de decenas de nH a 30 MHz por lo que en el cálculo del paralelo de ambas ramas se puede despreciar. De esta forma, el test fixture está caracterizado y se puede obtener la impedancia del condensador de bus en la frecuencia despreciando la impedancia de las secciones ℓ' y ℓ_2 del busbar.

3.5.6 Medida de la impedancia del circuito de disparo de puerta

Para determinar la impedancia del circuito de disparo de puerta (driver) es necesario realizar la medida en los dos estados de trabajo del driver. El estado que pone al transistor en conducción (ON) conecta los terminales de puerta y fuente a +20 V. El estado que pone al transistor en bloqueo (OFF) conecta los terminales de puerta y

fuente a -5 V. El driver se alimenta externamente y para bloquear el nivel de continua se incluyen dos condensadores externos C_{bs} de 10 μF en serie con cada uno de los puertos y con una resistencia en shunt R_{bsh} de 200 $\text{k}\Omega$, para la descarga de las capacidades entre ensayos, como se puede ver en la Fig. 3.23. La capacidad de C_{bs} se escoge mucho mayor que la capacidad C_{drv} , para que la capacidad equivalente serie de ambas sea igual a C_{drv} .

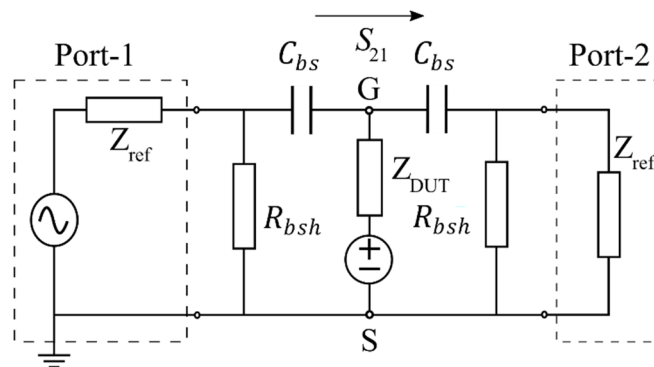


Fig. 3.23. Esquema de conexión para la medida del circuito de driver.

Para realizar la caracterización del driver se ha utilizado la configuración shunt-thru y la calibración se ha llevado a cabo incluyendo los condensadores de bloqueo de tensión continua. La medida se realiza sin los transistores SiC MOSFET soldados.

Para los dos estados de trabajo del driver, se mide directamente sobre el agujero chapado en la PCB que corresponde con el terminal de puerta(G) y de fuente(S). De esta forma se consigue medir C_{drv} y L_{drv} , por otra parte R_{drv} es la resistencia externa de puerta que es un valor de diseño y, por tanto, conocida. En la Fig. 3.24 se muestra un ejemplo de medida del circuito de puerta utilizando la sonda apantallada como test fixture.

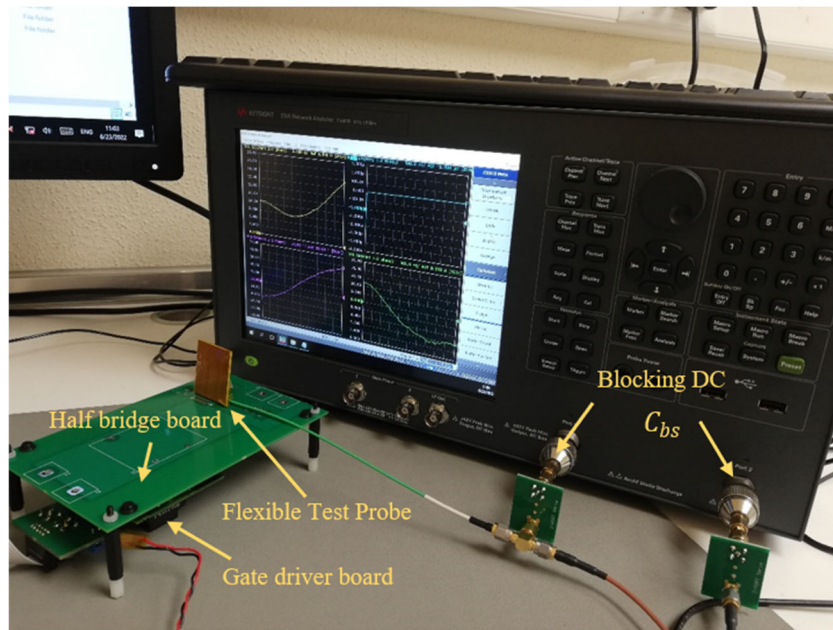


Fig. 3.24. Ejemplo de medida del driver con la sonda apantallada y los circuitos bloqueadores de tensión continua en los puertos de medida de parámetros S.

3.6 Cálculo de impedancias por simulación

Para el cálculo de impedancias (Z_{CCL}) y la comparación de los resultados experimentales de la medida de impedancias con los modelos propuestos, se emplea MATLAB-Simulink® con la librería Circuit Envelope de RF Blockset™[75], en adelante Circuit Envelope. Con esta librería puede calcular la respuesta en frecuencia del circuito en régimen permanente mediante una simulación basada en el método de balance de armónicos [75]. El método de balance de armónicos es una técnica de análisis en el dominio de la frecuencia que permite analizar circuitos no lineales. Este método, supone que la fuente de tensión del circuito (V_S en la Fig. 3.25), está compuesta por una serie finita de Fourier de funciones sinusoidales periódicas (armónicos) para la cual existe una solución en régimen permanente. La frecuencia de los armónicos en la simulación se escoge para que coincidan con las frecuencias discretas utilizadas en el barrido de frecuencias del VNA durante la medida. Este método calcula para cada frecuencia (1601 frecuencias de medida) el valor de los fasores de tensión y de corriente en régimen permanente, según las leyes de Kirchhoff en el circuito, dando lugar a un único valor complejo para cada frecuencia. Además, este método reduce el tiempo de simulación frente a una simulación con respuesta en el dominio del tiempo porque no es necesario

simular la respuesta para cada armónico durante varios ciclos para evitar la respuesta transitoria del circuito. Asimismo, evita el uso de tiempos discretos muy pequeños para simular con precisión a frecuencias de cientos de MHz.

En la Fig. 3.25 se muestra un ejemplo de simulación que modela la medida de la impedancia Z_{in} descrita en la sección 3.4.2.

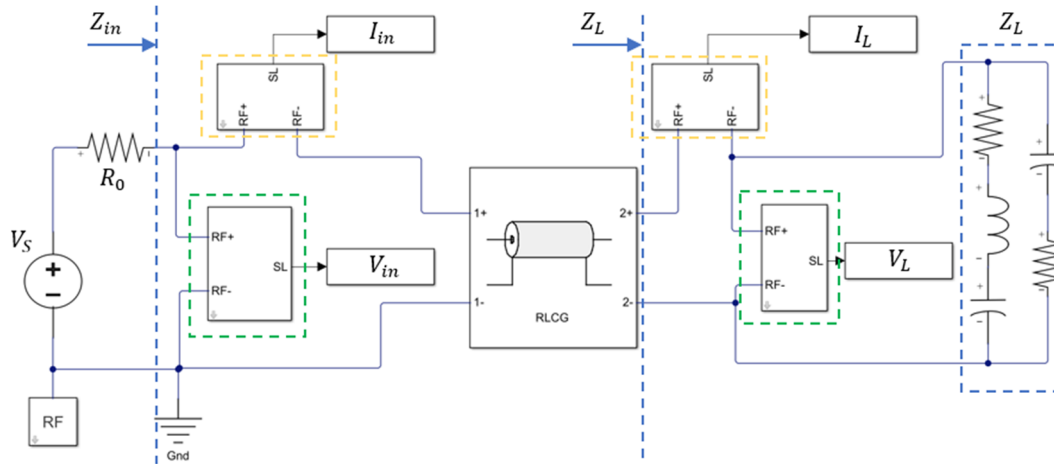


Fig. 3.25. Ejemplo de modelo de simulación para el cálculo de la impedancia Z_{in} .

En el modelo de simulación para la fuente de tensión V_S se ha utilizado el bloque *Continuous Wave* de la librería RF Blockset y tiene una resistencia en serie R_0 que representa la impedancia de entrada del VNA según el método de medida.

La impedancia de medida $Z_{in} = V_{in}/I_{in}$ y la de carga $Z_L = V_L/I_L$ se obtienen mediante el cociente entre el fasor de tensión (recuadro verde) y el fasor de corriente (recuadro amarillo) en la entrada y en la carga respectivamente.

El bloque utilizado para medir los fasores de tensión y de corriente es *Outport* de la librería RF Blockset. Asimismo, en la Fig. 3.25 la línea de transmisión (modelo *Transmission Line* en Circuit Envelope de RF Blockset) que representa al busbar laminado está modelada con los parámetros distribuidos R' , L' , C' y G' . Estos parámetros se calculan previamente con las expresiones descritas en la sección 3.3 para cada una de las frecuencias a simular con un script de Matlab y posteriormente se cargan en la simulación.

En el caso simulado de la Fig. 3.25 la impedancia de la carga Z_L está representada por el dipolo equivalente de carga formado por el paralelo de Z_{RLC} y Z_{RC} descritos en la sección 3.4.3. Los elementos discretos R L y C son fijos en la frecuencia y se encuentran en la librería Circuit Envelope de RF Blockset. Por último, en el Anexo IV se muestran otros modelos de simulación utilizados en esta tesis.

Capítulo 4.

Caracterización de la impedancia del bucle de corriente de conmutación

Este capítulo presenta un procedimiento para la caracterización de las impedancias parásitas que forman el bucle de corriente de conmutación Z_{CCL} en un semipunto. Estas impedancias parásitas son las inductancias y resistencias parciales de las pistas que conectan el busbar con los SiC MOSFET, las impedancias del SiC MOSFET y del circuito de puerta, la impedancia del condensador de bus y la impedancia del busbar. Este procedimiento se basa en la medida de los elementos discretos del semipunto como son el condensador de bus, el SiC MOSFET, el circuito de puerta y el PCB busbar. Asimismo, para obtener las impedancias parásitas de Z_{CCL} , se modelan los circuitos equivalentes de los posibles estados del semipunto durante la conmutación incluyendo el circuito de puerta. A través de esos circuitos equivalentes y de la caracterización experimental de los elementos del semipunto se calculan las impedancias parásitas que forman el bucle de conmutación y se valida su modelo. Por último, se discute el efecto que se produce en la impedancia Z_{CCL} por la desadaptación entre la impedancia del busbar y del SiC MOSFET cuando está trabajando a la tensión de operación.

4.1. Procedimiento de caracterización

El procedimiento utilizado para caracterizar la impedancia del bucle de corriente de conmutación es el siguiente:

I-Characterización experimental de los elementos discretos

Primero, se caracterizan las impedancias parásitas del transistor SiC MOSFET (Fig. 3.6) con el VNA, aplicando el método de medida de dos puertos (sección 3.5.2). Así, se obtienen las inductancias parásitas (L_D , L_S y L_G), las capacidades parásitas (C_{GS} , C_{DS} y

C_{GD}) y la resistencia interna de puerta R_G del SiC MOSFET. Las resistencias R_D y R_S son del orden de algún $m\Omega$ y se consideran despreciables frente al resto de resistencias del circuito.

Después se caracteriza la resistencia serie equivalente (ESR), la inductancia serie equivalente (ESL) y la capacidad C_{BUS} del condensador de bus. Estos tres elementos forman la impedancia del condensador de bus Z_{cbus} . La capacidad, la inductancia y resistencia equivalentes se obtiene con una medida con los puertos Gain-Phase en configuración shunt-thru. La capacidad y la inductancia se consideran constantes, ESR se ajusta a una curva por mínimos cuadrados no lineales en la frecuencia tal y como se ha descrito en la sección 3.5.3.

II-Medida de la impedancia del circuito de disparo de puerta

Las impedancias C_{drv} y L_{drv} del circuito de control de puerta (driver) se obtienen según 3.5.6 y la configuración de medida descrita en la Fig. 3.23 con la sonda desarrollada en el capítulo 2.

III-Cálculo de la impedancia del dipolo de carga

Según se ha descrito en la sección 3.4, dado que la impedancia característica Z_0 del busbar formado por dos planos conductores paralelos, la constante de propagación γ y la longitud $\ell = \ell_1 + \ell_2 + \ell_3$ del busbar son conocidas, la impedancia de carga Z_L se obtiene mediante (3.20) a partir de la impedancia de entrada Z_{in} sin el condensador de bus. La medida se realiza con el método de dos puertos de parámetros-S en configuración shunt-thru hasta 500 MHz.

IV-Cálculo de las impedancias discretas del bucle de corriente de conmutación

La inductancia equivalente L_{CCL} y la resistencia equivalente R_{CCL} se obtienen teniendo en cuenta el circuito equivalente que forman el SiC MOSFET y el circuito del driver en función del estado del transistor como se describe en la sección 4.2 de este capítulo.

V-Cálculo de la impedancia del bucle de corriente de conmutación Z_{CCL}

La impedancia $Z_{CCL}(\omega)$ por donde circula la corriente de conmutación (Fig. 3.10) está formada por la impedancia Z_{Cbus} del condensador de bus (fuente de la corriente de conmutación) en serie con la impedancia $Z_{in}(\ell_3, Z_L)$ del tramo TL3 del busbar que termina en los transistores del semipunto (impedancia $Z_L(\omega)$). Considerando que la impedancia característica $Z_0(\omega)$, la constante de propagación $\gamma(\omega)$ y la longitud ℓ_3 de la línea de transmisión busbar son conocidas, la impedancia $Z_{CCL}(\omega)$ se puede calcular como

$$Z_{CCL}(\omega) = Z_{Cbus}(\omega) + Z_0(\omega) \frac{Z_L(\omega) + Z_0(\omega) \cdot \tanh(\gamma(\omega)\ell_3)}{Z_0(\omega) + Z_L(\omega) \cdot \tanh(\gamma(\omega)\ell_3)} \quad (4.1)$$

donde $Z_L(\omega)$ se ha obtenido en el paso tres mientras que $Z_{Cbus}(\omega)$ se calcula según el primer paso de este procedimiento.

4.2. Caracterización de las impedancias parásitas en el CCL

Para extraer la inductancia parásita parcial $L_{ccl,p}$ (inductancia que abarca las inductancias de las pistas de interconexión entre el busbar y los SiC MOSFET) y la resistencia parásita $R_{ccl,p}$ (resistencia equivalente de estas pistas) (Fig. 3.6) es necesario conocer la impedancia equivalente del circuito formado por el driver y por el SiC MOSFET, aunque este último realmente corresponde a dos circuitos en función del estado SiC MOSFET, conducción (ON) y de corte (OFF).

Circuito equivalente SiC MOSFET en conducción

En la Fig. 4.1 se muestra el circuito en el estado de conducción (ON). En este análisis, la resistencia del terminal de drenaje R_D y de fuente R_S son despreciadas frente al resto de elementos debido a su valor (algunos $m\Omega$). Cuando el SiC MOSFET está en modo conducción (ON) aparece una resistencia entre drenaje y fuente ($R_{DS(ON)}$) debida al canal de conducción que aparece en la estructura del SiC MOSFET cuando la tensión de control de puerta V_{GS} supera la tensión umbral de disparo (V_{th}). Esta resistencia es muy pequeña (decenas de $m\Omega$ en este trabajo) y se considera un cortocircuito frente al resto

de las impedancias del circuito que forman Z_{RLC} . Con estas consideraciones, el circuito equivalente resultante del SiC MOSFET en estado ON se muestra en la Fig. 4.2 y su impedancia serie equivalente se aproxima por

$$Z_{MOS(ON)}(\omega) = R_{DS(ON)} + j(\omega(L_D + L_S)) \quad (4.2)$$

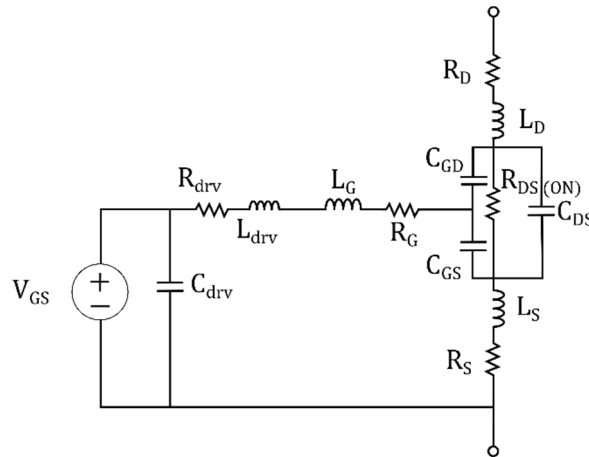


Fig. 4.1. Circuito del conjunto SiC MOSFET y del circuito de driver en estado de conducción (ON).

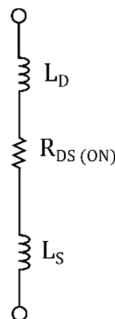


Fig. 4.2. Circuito equivalente simplificado del SiC MOSFET y del circuito de driver en estado de conducción (ON).

Circuito equivalente SiC MOSFET en corte

En la Fig. 4.3 se muestra el circuito del SiC MOSFET en estado de corte (OFF). En este análisis, de nuevo, la resistencia del terminal de drenaje R_D y de fuente R_S son despreciadas frente al resto de elementos debido a su valor (algunos mΩ).

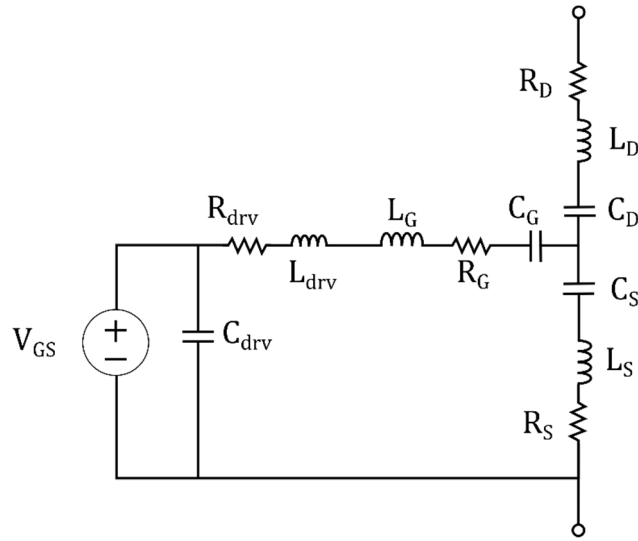


Fig. 4.3. Circuito del conjunto SiC MOSFET y del circuito de driver en estado de corte (OFF).

El circuito equivalente cuando el transistor está en corte simplifica la malla que forman las impedancias del driver con las impedancias del terminal de puerta y de fuente del SiC MOSFET en una impedancia equivalente. Para ello, se utiliza un equivalente en estrella de las capacidades del SiC MOSFET como se muestra en la Fig. 4.3. Entonces, las capacidades C_D , C_G y C_S se pueden obtener mediante una transformación de la conexión triángulo de la Fig. 3.6 a estrella como

$$C_D = C_{GD} + C_{DS} + \frac{C_{GD} \cdot C_{GS}}{C_{GS}} \quad (4.3)$$

$$C_G = C_{GS} + C_{GD} + \frac{C_{GS} \cdot C_{GD}}{C_{DS}} \quad (4.4)$$

$$C_S = C_{GS} + C_{DS} + \frac{C_{GS} \cdot C_{DS}}{C_{GD}} \quad (4.5)$$

La asociación serie de las impedancias del terminal de puerta del SiC MOSFET con las impedancias del circuito del driver se muestra en la Fig. 4.4 y vienen definidas como

$$C'_G = \frac{C_G \cdot C_{drv(OFF)}}{C_G + C_{drv(OFF)}} \quad (4.6)$$

$$L'_G = L_G + L_{drv(OFF)} \quad (4.7)$$

$$R'_G = R_G + R_{drv(OFF)} \quad (4.8)$$

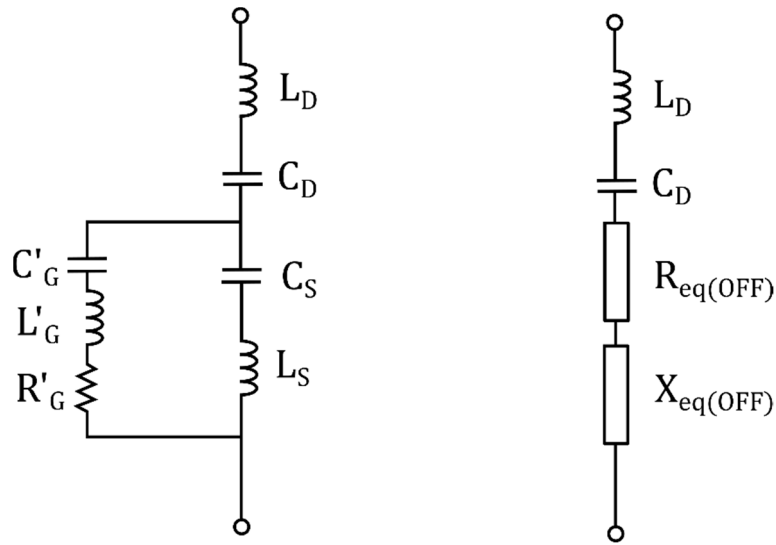


Fig. 4.4. Circuito equivalente del SiC MOSFET y del circuito de driver en estado de corte (OFF).

La impedancia del paralelo entre la rama RLC serie formada por C'_G , L'_G y R'_G y la rama RL serie formada por C_S y L_S se descompone en su componente real $R_{eq(OFF)}$ y su componente reactiva $X_{eq(OFF)}$ (Fig. 4.4) como sigue

$$R_{eq(OFF)} = \frac{R'_G \cdot \left(\omega L_S - \frac{1}{\omega C'_S}\right)^2}{(R'_G)^2 + \left(\omega(L_S + L'_G) - \frac{1}{\omega C'_{GS}}\right)^2} \quad (4.9)$$

$$X_{eq(OFF)} = \frac{\left((R'_G)^2 + \left(\omega L'_G - \frac{1}{\omega C'_G}\right) \cdot \left(\omega(L_S + L'_G) - \frac{1}{\omega C'_{GS}}\right)\right) \cdot \left(\omega L_S - \frac{1}{\omega C'_S}\right)}{(R'_G)^2 + \left(\omega(L_S + L'_G) - \frac{1}{\omega C'_{GS}}\right)^2} \quad (4.10)$$

Donde la capacidad C'_{GS} es

$$C'_{GS} = \frac{C_S C'_G}{C'_G + C_S} \quad (4.11)$$

Por tanto, la impedancia equivalente serie del transistor SiC MOSFET cuando está en estado de corte (OFF) es

$$Z_{MOS(OFF)}(\omega) = R_{eq(OFF)}(\omega) + j \left(\left(\omega L_D - \frac{1}{\omega C_D} \right) + X_{eq(OFF)}(\omega) \right) \quad (4.12)$$

Impedancias parciales $L_{ccl,p}$ y $R_{ccl,p}$

La inductancia parcial $L_{ccl,p}$ y la resistencia parcial equivalente $R_{ccl,p}$ del dipolo de carga (Fig. 3.6) dependen de la frecuencia y del estado en el que se encuentre el semipunto. En el semipunto, el transistor SiC MOSFET superior es HS y el inferior LS. En adelante, por simplificación, para indicar los estados de los transistores se utiliza la notación booleana. De modo que HL=01 corresponde al SiC MOSFET superior en estado de corte (HS=OFF) y al SiC MOSFET inferior en estado de conducción (LS=ON). Así, en un semipunto existen cuatro posibles estados: HL=00, HL=01, HL=10 y HL=11.

El estudio de $L_{ccl,p}$ y $R_{ccl,p}$ se realiza a través de la impedancia Z_{RLC} . En este apartado se estudia $L_{ccl,p}$ y $R_{ccl,p}$ en los estados de los SiC MOSFET del semipunto HL=00, HL=01 y HL=10 (0 para OFF y 1 para ON). La impedancia en los estados HL=01 y HL=10 se considera idéntica por simetría. En la Fig. 4.5 se muestra el circuito equivalente con elementos discretos de la impedancia Z_{RLC} para el estado HL=00 y HL=10.

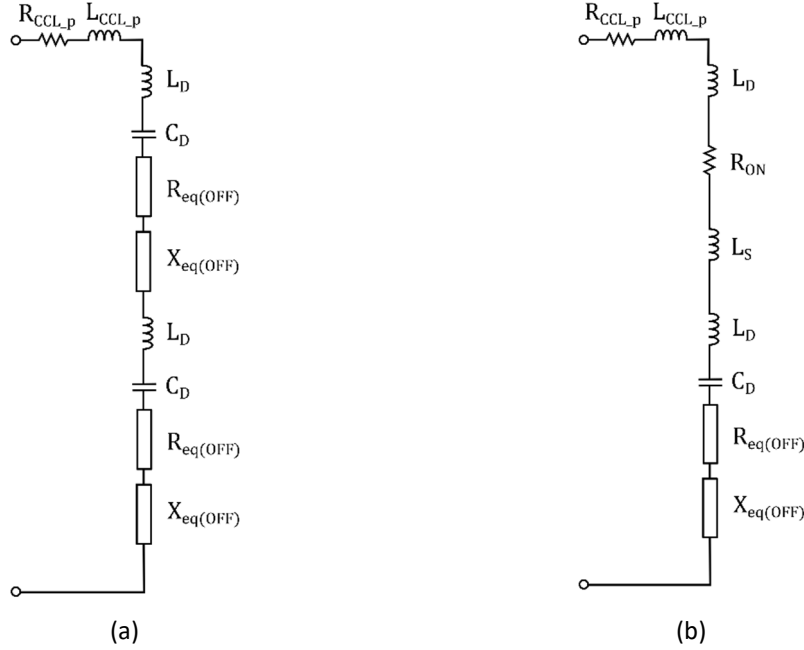


Fig. 4.5. Circuito equivalente del dipolo de carga Z_{RLC} con elementos discretos: (a) estado HL=00, (b) estado HL=10.

Resolviendo el circuito de la Fig. 4.5(a) que corresponde al estado HL=00, la inductancia parcial $L_{ccl,p}$ y la resistencia parcial equivalente $R_{ccl,p}$ se despejan como

$$L_{ccl,p}(\omega) = L_1 - \frac{2 \cdot \text{Im}\{Z_{MOS(OFF)}(\omega)\}}{\omega} \quad (4.13)$$

$$R_{ccl,p}(\omega) = R_1 - 2 \cdot \text{Re}\{Z_{MOS(OFF)}(\omega)\} \quad (4.14)$$

donde $Z_{MOS(OFF)}(\omega)$ es la impedancia equivalente del SiC MOSFET en corte.

Asimismo, resolviendo el circuito de la Fig. 4.5(b) que corresponde al estado HL=10, la inductancia parcial L_{ccl} y la resistencia parcial equivalente R_{ccl} se despejan como

$$L_{ccl,p}(\omega) = L_1 - \left(\frac{\text{Im}\{Z_{MOS(OFF)}(\omega)\} + \text{Im}\{Z_{MOS(ON)}(\omega)\}}{\omega} \right) \quad (4.15)$$

$$R_{ccl,p}(\omega) = R_1 - \text{Re}\{Z_{MOS(OFF)}(\omega) + Z_{MOS(ON)}(\omega)\} \quad (4.16)$$

donde $Z_{MOS(ON)}(\omega)$ es la impedancia equivalente del SiC MOSFET en conducción.

4.3. Discusión de los resultados

A continuación, se muestran los resultados experimentales obtenidos y se describen las impedancias de los elementos que forman el semipunto.

4.3.1 Caracterización experimental del SiC MOSFET

El transistor SiC MOSFET utilizado es el SCTW100N65G2AG de ST Microelectronics [86] con tensión nominal (V_{DS}) de 650 V, corriente nominal (I_D) de 100 A (25 °C) y resistencia $R_{DS(ON)}$ de 20 mΩ a 25 °C. Para caracterizar las impedancias parásitas del SiC MOSFET se ha utilizado el procedimiento de medida de dos puertos con el VNA descrito en 3.5.2. En la Tabla 4.1 se muestran los valores medidos de las impedancias parásitas del SiC MOSFET con el VNA.

Tabla 4.1. Valores de las impedancias parásitas del SiC MOSFET extraídas mediante el procedimiento de medida de dos puertos.

Símbolo	Descripción	Valor	Unidades
L_D	Inductancia terminal drenaje	1,06	nH
L_G	Inductancia terminal puerta	6,76	nH
L_S	Inductancia terminal fuente	4,25	nH
C_{DS}	Capacidad drenaje fuente	3,06	nF
C_{GS}	Capacidad puerta fuente	2,75	nF
C_{GD}	Capacidad puerta drenaje	2,54	nF
R_G	Resistencia interna de puerta	0,85	Ω

4.3.2 Caracterización experimental de Cbus

La caracterización de C_{bus} se ha realizado midiendo con el montaje de ensayo descrito en 3.5.3 en configuración *shunt-thru*. En la Fig. 4.6 se muestra la impedancia y la fase medidas con frecuencia de barrido del VNA desde 5 Hz hasta 250 kHz.

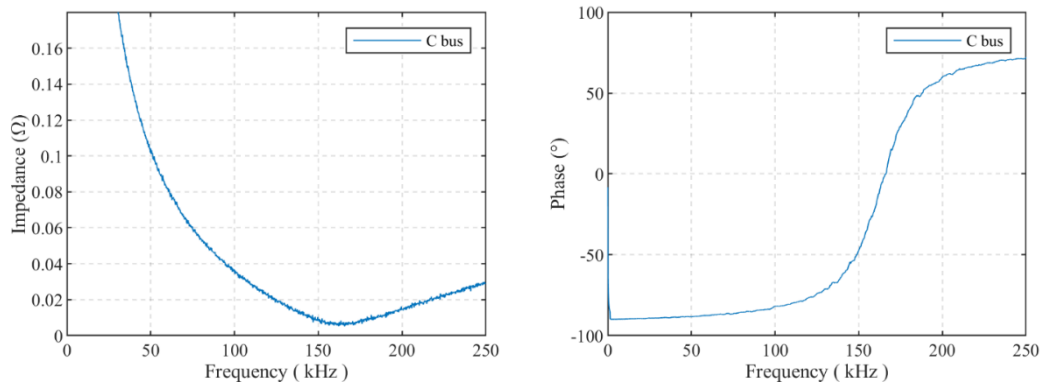


Fig. 4.6. Impedancia y fase medidas en el condensador de bus con el test fixture propuesto.

Con la impedancia de la Fig. 4.6 se obtiene C_{bus} del valor de la impedancia a muy baja frecuencia (10 kHz) donde predomina el efecto capacitivo. Con C_{bus} se extrae ESL de la frecuencia de resonancia serie según (3.24).

Para caracterizar en frecuencia ESR se realiza una medida desde los puertos Gain-Phase del VNA en configuración *shunt-thru* desde 100 kHz hasta 30 MHz

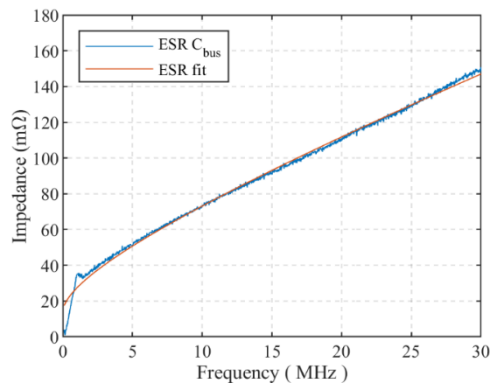


Fig. 4.7. Circuito equivalente del test fixture con el condensador de bus conectado.

Para obtener una expresión de ESR en la frecuencia se realiza un ajuste por mínimos cuadrados no lineales descrito en 3.5.3, el ajuste se ha realizado con un coeficiente de determinación $R^2 > 0.99$. Se observa una desviación entre el modelo de ESR propuesto y la medida por debajo de 800 kHz. La causa de este error se debe a considerar que a frecuencias muy bajas ESR es constante, término r_0 de la ecuación (3.53), y a que no se han modelado otros efectos físicos que predominan en baja frecuencia como son la

polarización del dieléctrico y la resistencia de aislamiento. Este modelo describe ESR correctamente para frecuencias por encima de 800 kHz hasta 30 MHz. En la Tabla 4.2 se muestran los valores obtenidos de la medida del condensador de bus y de los coeficientes de ajuste de (3.53) que sirven para modelar su comportamiento.

Tabla 4.2. Valores de la medida del condensador de bus y coeficientes de ajuste.

Símbolo	Descripción	Valor	Unidades
C_{bus}	Capacidad condensador de bus	29.22	μF
ESL	Inductancia equivalente serie	31.17	nH
r_0	Coefficiente de ajuste	13,67	m Ω
r_1	Coefficiente de ajuste	11,25	$\mu\Omega/\sqrt{\text{Hz}}$
r_2	Coefficiente de ajuste	2,391	n Ω/Hz

4.3.3 Caracterización experimental del driver

El circuito de disparo de puerta (driver) se ha caracterizado utilizando el método descrito en el apartado 3.5.6, donde se mide sin el SiC MOSFET en los puntos donde se soldaría el terminal de puerta (G) y el de drenaje (S) del transistor. La tarjeta PCB driver controla un semipunto y tiene dos circuitos de disparo de puerta aislados entre sí. Un circuito para el SiC MOSFET superior (HS) y un circuito para el inferior (LS). Estos dos circuitos son idénticos en su trazado de pistas y componentes, salvo por las tolerancias de los componentes y de fabricación. El driver dispone de elementos resistivos y capacitivos para la protección del SiC MOSFET [90] que modifican la impedancia del circuito de disparo de puerta. Para poder caracterizar la inductancia parcial del bucle de corriente de puerta L_{drv} se mide el circuito de driver sin tensión de alimentación V_{dc} . Así, se consigue que las múltiples realimentaciones de los circuitos de protección con el integrado del driver no estén conectadas (las entradas al integrado del driver son de alta impedancia).

En la Fig. 4.8 se muestra la medida de la impedancia y de la fase del driver sin V_{dc} entre 100 kHz y 30 MHz.

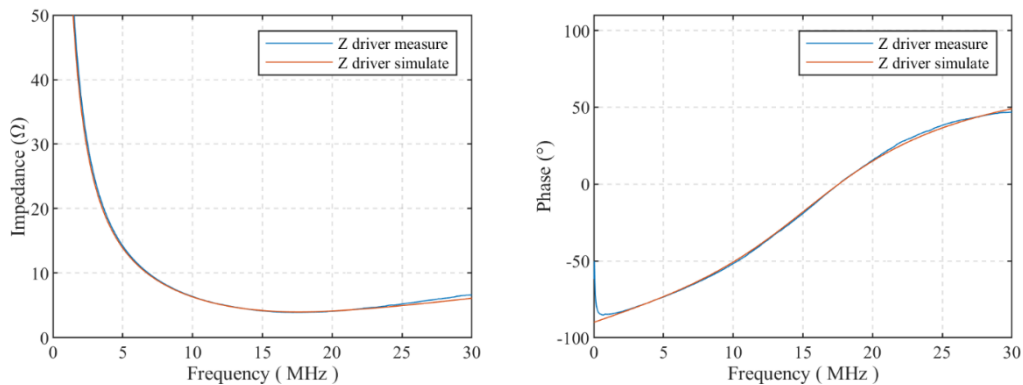


Fig. 4.8. Impedancia y fase medidas de la impedancia del circuito de driver sin tensión de alimentación hasta 30 MHz.

De la medida se calcula la reactancia, de modo que de su valor a alta frecuencia se obtiene la inductancia $L_{drv(vdc=0)}$ 37 nH, y de su valor a baja frecuencia la $C_{drv(vdc=0)}$ que en este caso vale 2.2 nF y la $R_{drv(vdc=0)}$ se mide en el punto de resonancia (cuando la fase vale 0°) y en este caso se obtiene 4 Ω. En la Fig. 4.8 se comparan los valores medidos con los obtenidos por simulación. Vale la pena comentar que el valor de la resistencia de puerta extraído es aproximadamente la mitad del valor de la resistencia de puerta diseñada (R_{drv} son 10 Ω), lo cual se debe a que, al no tener alimentación el driver, las resistencias de puerta (el driver tiene caminos separados para la corriente de encendido y de corte) se encuentran en paralelo entre ellas (y otros elementos resistivos del circuito de protección).

Asimismo, se ha caracterizado el circuito de driver del transistor inferior (el superior es idéntico) con tensión de disparo de puerta +20 V (ON) y con -5 V (OFF). En la Tabla 4.3 se muestran las impedancias extraídas. La inductancia parcial del circuito de puerta $L_{drv(OFF)_{LS}}$ y la capacidad equivalente $C_{drv(OFF)_{LS}}$ se obtienen de la reactancia medida. El valor de la resistencia de puerta viene definido por diseño y es $R_{drv} = 10 \Omega$.

Tabla 4.3. Valores de la medida del circuito de driver en el interruptor LS.

Símbolo	Descripción	Valor	Unidades
$C_{drv(ON)_LS}$	Capacidad driver LS estado ON	488.9	nF
$C_{drv(OFF)_LS}$	Capacidad driver LS estado OFF	534.6	nF
$L_{drv(ON)_LS}$	Inductancia driver LS estado ON	36.8	nH
$L_{drv(OFF)_LS}$	Inductancia driver LS estado OFF	34.9	nH
R_{drv}	Resistencia de puerta	10	Ω

El valor de la inductancia obtenida en los tres casos $L_{drv(ON)_HS}$, $L_{drv(OFF)_HS}$ Y $L_{drv(V_{dc}=0)_HS}$ es aproximadamente igual. Se ha escogido L_{drv} igual a 36 nH para el equivalente RLC serie del circuito de driver. Respecto a la capacidad equivalente del driver, cuando está la excitación de tensión en puerta activa (+20V/-5V), ha cambiado varios ordenes de magnitud ($C_{drv(V_{dc}=0)}$ son 2.2 nF) y coincide aproximadamente con las capacidades diseñadas de 470 nF entre la referencia de 0 V del driver y las alimentaciones de +20/-5V. Se ha escogido 470 nF como valor de C_{drv} . Los valores de los elementos que componen el equivalente RLC serie que aproxima el comportamiento del circuito de driver se muestran en la Tabla 4.4.

Tabla 4.4. Valores de los elementos del equivalente RLC serie del circuito de driver.

Símbolo	Descripción	Valor	Unidades
C_{drv}	Capacidad equivalente circuito driver	470	nF
L_{drv}	Inductancia equivalente circuito driver	36	nH
R_G	Resistencia de puerta	10	Ω

En la Fig. 4.9 se muestra la parte real e imaginaria de la impedancia medida en el driver en estado OFF ($V_{GS} = -5V$) y su comparación con la simulación del modelo RLC serie con los valores de la Tabla 4.4.

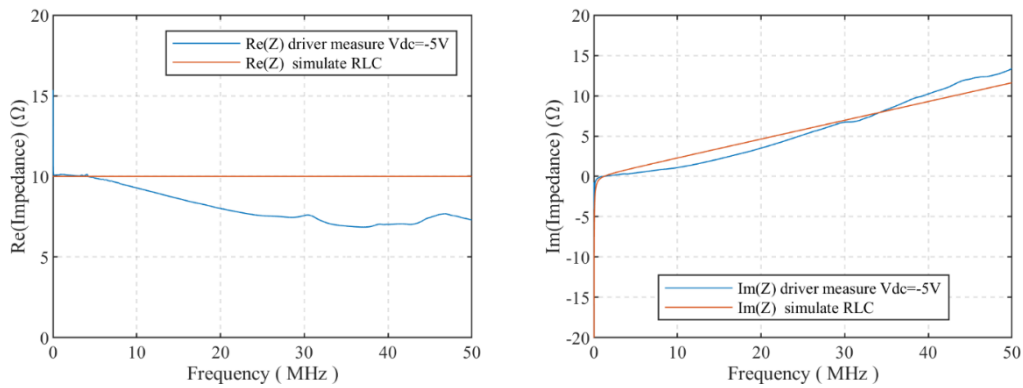


Fig. 4.9. Parte real e imaginaria medidas en impedancia del circuito de driver con tensión $V_{GS} = -5V$ hasta 50 MHz.

Se observa que la reactancia simulada (parte imaginaria de la impedancia) se acerca al valor medido tanto en alta frecuencia como a la frecuencia de resonancia (reactancia igual a cero). La frecuencia de resonancia medida es de 1.134 MHz y la simulada es 1.197 MHz, lo que implica un error del 5.5%. Sin embargo, existe un cambio en la parte real de la impedancia que no ha sido tenido en cuenta en el modelo. Se produce una reducción de aproximadamente un 25 % en el valor de la parte real a partir de 5 MHz. Esta desviación en el valor resistivo, se puede deber a los circuitos de protección que lleva el driver y que hacen muy complejo caracterizar dicha impedancia ya que no son solo elementos pasivos (resistencias, condensadores) sino que utilizan también dispositivos semiconductores como transistores, diodos y amplificadores operacionales. En este trabajo se ha considerado suficiente la aproximación por un circuito RLC serie, ya que en altas frecuencias predomina la inductancia en la impedancia total del circuito.

4.3.4 Caracterización del dipolo de carga ZL

En la Fig. 4.10 se muestra la impedancia y fase medidas (busbar sin C_{bus}), para cada uno de los posibles estados de conducción de los transistores del semipunto (HL=00, HL=01, HL=10 y HL=11) y sin la conexión de la PCB del driver. Se ha realizado la medida con los puertos de parámetros-S desde 100 kHz hasta 500 MHz en configuración shunt-thru.

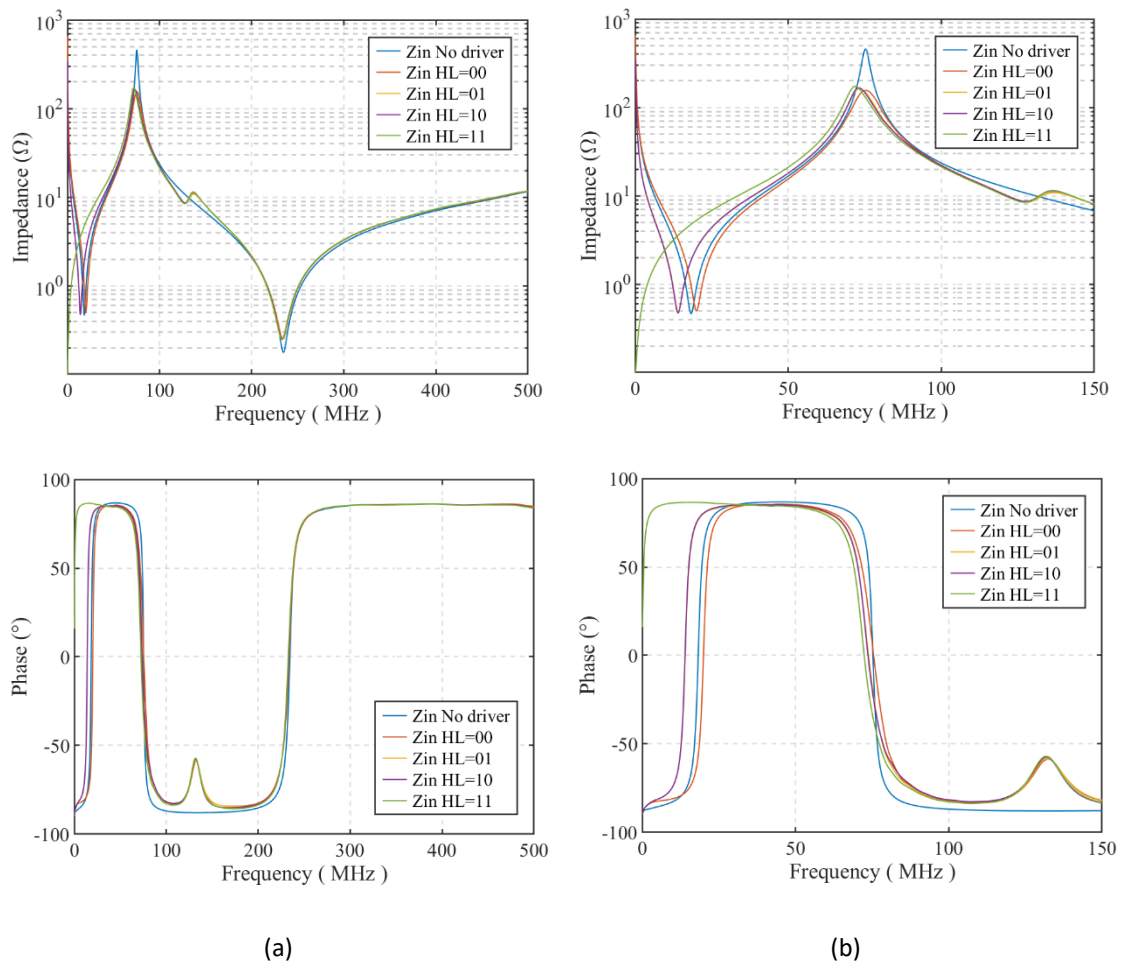


Fig. 4.10. Impedancia y fase medidas de la impedancia Z_{in} sin el condensador de bus: (a) frecuencia de barrido desde 100 kHz hasta 500 MHz, (b) frecuencia de barrido desde 100 kHz hasta 150 MHz.

La impedancia vista desde la entrada Z_{in} muestra diferencias en la primera resonancia (entre 10-20 MHz) y en la primera antiresonancia (en torno a 75 MHz) en función del estado de conducción del driver. La segunda resonancia (230 MHz) en cambio, no se ve afectada por el cambio de estado, pero si en el valor de impedancia de resonancia cuando la PCB del driver no está conectada. Asimismo, cuando la PCB driver está conectada aparece un cambio de fase en torno a 130 MHz y un cambio muy suave en la impedancia que no se observa en la configuración sin PCB driver. Esto se debe a la aparición de una impedancia parásita al conectar la tarjeta de driver. Esta impedancia solo aparece cuando los dos MOSFET están conectados a su driver. Si solo se conecta el driver en un transistor y el otro no, no aparece el desplazamiento de fase parcial. Por tanto, se trata de una impedancia de acoplamiento entre los circuitos de disparo de

puerta de la PCB driver. Esta impedancia interna del driver no se ha considerado en este trabajo y su estudio se deja para futuras investigaciones.

A partir de la medida de $Z_{in}(\omega)$ y de la impedancia Z_0 del busbar y su constante de propagación $\gamma(\omega)$, se puede calcular la impedancia del dipolo de carga Z_L utilizando (3.20), la medida se muestra en la Fig. 4.11. Con Z_L se procede a caracterizar su circuito equivalente que consiste en el paralelo de un circuito RLC serie (Z_{RLC}) y un circuito RC (Z_{RC}).

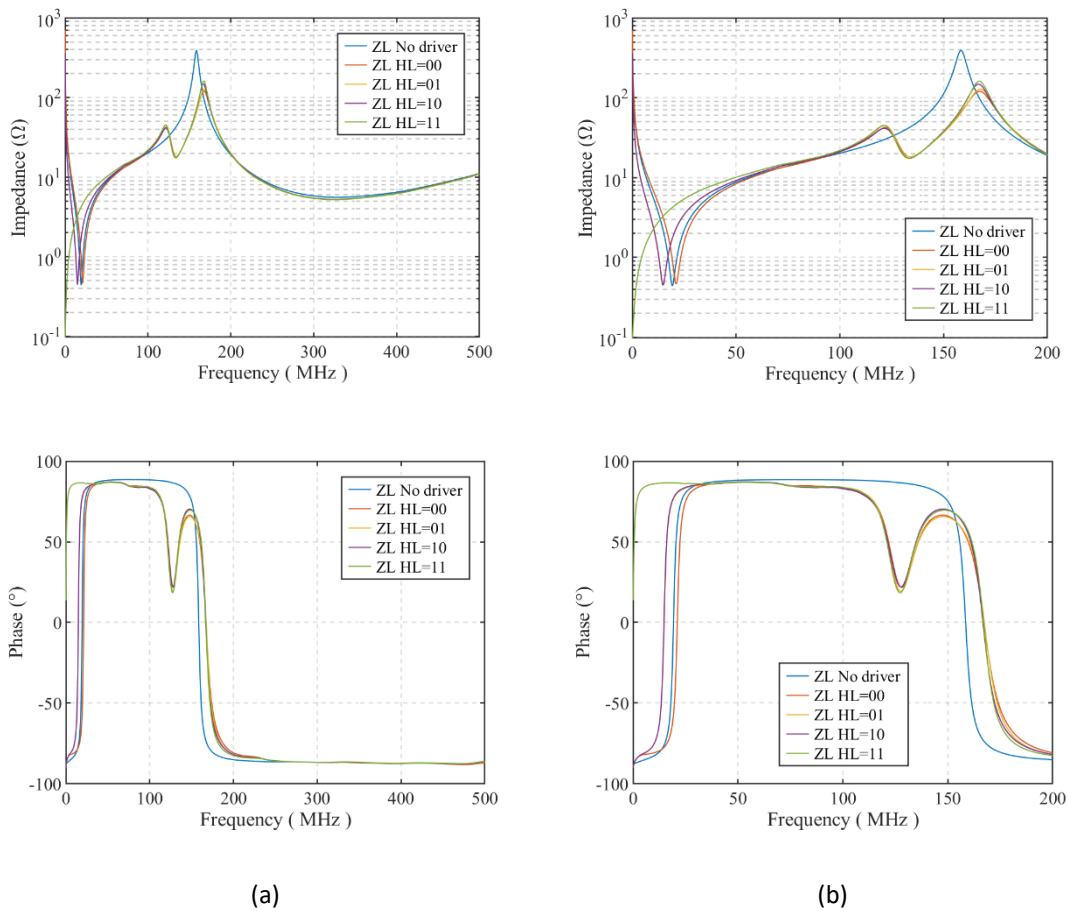


Fig. 4.11. Impedancia y fase medidas en el dipolo de carga Z_L (a) frecuencia de barrido de 100 kHz a 500 MHz, (b) frecuencia de barrido de 100 kHz a 150 MHz.

Para extraer Z_{RLC} del dipolo de carga se localiza la frecuencia de la primera resonancia serie f_{s1} , se extrae el valor de la inductancia L_1 según la ecuación (3.24) donde C_1 es la capacidad equivalente de los SiC MOSFET. Esta capacidad depende del circuito equivalente del SiC MOSFET cuando está en modo conducción (Fig. 4.2) o en modo corte (Fig. 4.4), tal y como se ha descrito en la sección 4.2. Cuando está en modo conducción

el SiC MOSFET, la resistencia del canal de conducción $R_{DS(ON)}$ cortocircuita las capacidades de las regiones semiconductoras. Cuando los dos transistores del semipunto están en modo conducción (Estado HL=11), la capacidad equivalente de los SiC MOSFET C_1 queda cortocircuitada (desaparece la resonancia) y, en este caso (Estado HL=11), la inductancia L_1 se obtiene de la impedancia de Z_L a 10 MHz como $X_1 = \omega L_1 = |Z_L| \cdot \sin \varphi_{Z_L}$. El valor de R_1 se calcula a la frecuencia de resonancia serie a partir del módulo de la impedancia según (3.25).

Los valores de la impedancia Z_{RC} se determinan a través de la primera frecuencia de antiresonancia f_{p1} de la forma siguiente. La capacidad C_2 se obtiene según la (3.32) y la resistencia equivalente R_2 se obtiene a través del módulo de la impedancia $Z_L(\omega_p)$ en la frecuencia de antiresonancia f_{p1} a partir de la ecuación (3.35). En la Tabla 4.5 se muestran los valores para los elementos que forman las impedancias Z_{RLC} y Z_{RC} que caracterizan el comportamiento del dipolo de carga Z_L .

Tabla 4.5. Valores de los elementos del circuito equivalente del dipolo de carga.

	f_{s1} (MHz)	f_{p1} (MHz)	$R_1(\Omega)$	L_1 (nH)	C_1 (nF)	$R_2(\Omega)$	C_2 (pF)
Sin driver	19,37	158,35	0,441	30,802	2,192	1,885	32,798
HL=00	21,15	167,27	0,464	25,825	2,192	5,455	35,056
HL=01	14,91	167,72	0,458	25,997	4,384	5,299	34,639
HL=10	14,68	166,62	0,448	26,794	4,384	4,788	34,051
HL=11	-	167,27	-	35,301	-	6,545	25,646

De los valores obtenidos en la caracterización de Z_L se observa que f_{s1} depende de la capacidad equivalente de los SiC MOSFET y del estado de estos. La inductancia parcial del bucle de corriente de conmutación L_1 para los estados HL=00, HL=01 y HL=10 son similares, en torno a 26 nH. Cuando el driver está en estado HL=11, el circuito equivalente del SiC MOSFET en conducción (Fig. 4.2) no está afectado por la impedancia en paralelo del circuito de disparo de puerta y L_1 aumenta. L_1 corresponde a la inductancia de cortocircuito, situación que se daría si ambos transistores entraran en conducción simultánea.

Resulta interesante comparar el estado HL=00 con el caso en el que no se conecta la PCB de driver. Generalmente en la literatura [32] se suele caracterizar la inductancia del bucle de corriente de conmutación (CCL) sin la conexión del circuito de disparo de puerta. Como se puede ver la Tabla 4.5 el valor de la inductancia L_1 varía desde 30,8 nH, cuando no está conectado el circuito de driver, hasta 25,8 nH cuando está en el estado HL=00. Alcanzándose un error del 19,27%. El error se debe a la ausencia del circuito de disparo de puerta en la medida, ya que como se ha visto en la sección 4.2, cuando un transistor SiC MOSFET está en estado de corte, su circuito equivalente depende de las impedancias parásitas del SiC MOSFET y de la impedancia del circuito de disparo de puerta. En la Fig. 4.12 se muestra una comparación entre la medida y la simulación de la impedancia Z_L y de la fase con los parámetros extraídos de la Tabla 4.5.

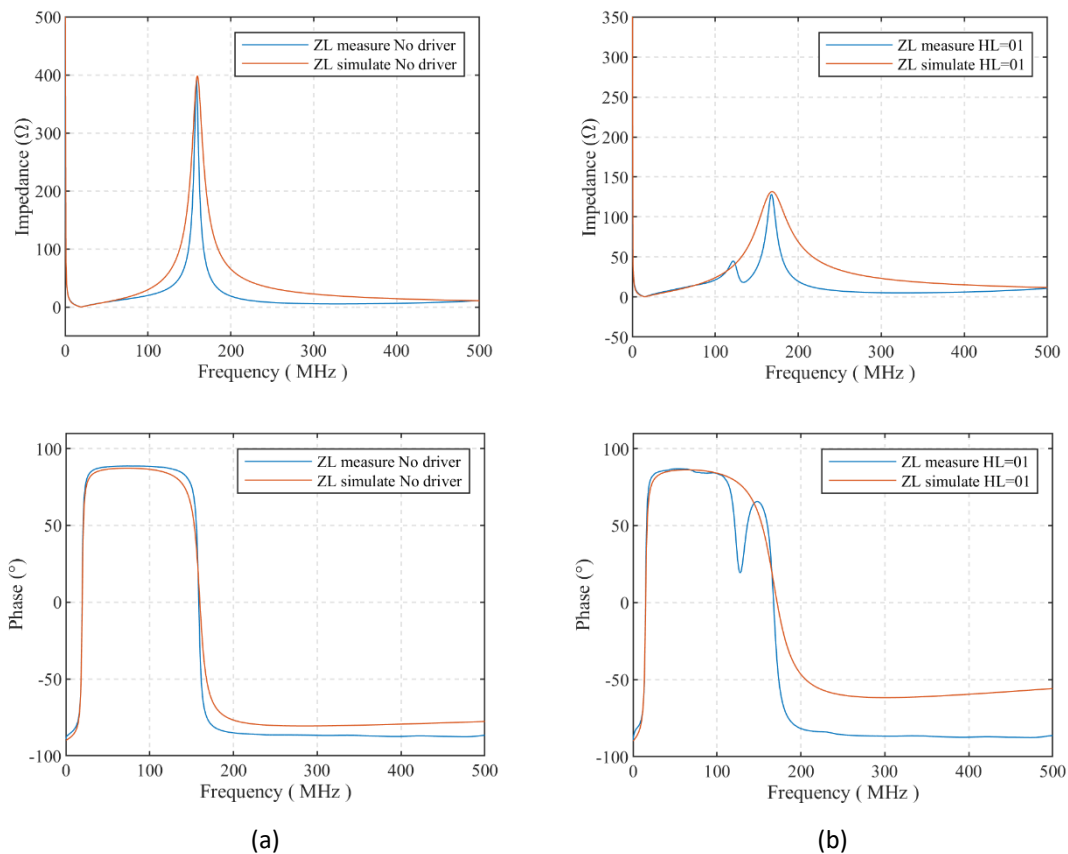


Fig. 4.12. Comparación de la impedancia y fase del dipolo de carga Z_L entre la medida y la simulación: (con frecuencia de barrido 100 kHz y 500 MHz): (a) Sin la tarjeta PCB driver conectada, (b) con la tarjeta PCB driver conectada en estado HL=01.

Cuando la tarjeta de driver no está conectada (Fig. 4.12(a)) se observa un buen ajuste entre la impedancia simulada y la medida, tanto en resonancia como en el valor de pico

de la antiresonancia. Respecto a la fase se observa que a partir de 100 MHz la fase simulada tiene mayor componente real (resistiva) que la fase medida. Presenta un 7.14% de error en la fase a 300 MHz entre la medida y la simulación.

Con la tarjeta de driver conectada y el driver en estado HL=01 (Fig. 4.12(b)) la impedancia medida y la impedancia simulada presentan un ajuste aceptable aun a pesar de no haber considerado el cambio de fase por el acoplamiento interno del driver. En cambio, la fase muestra un gran error a partir de los 100 MHz alcanzando un error del 29.61 % en la fase (300 MHz). Este error se debe a que la componente real de la impedancia simulada es mucho mayor que la medida.

Además, en ambas simulaciones, la transición de fase entre $\pi/2$ y $-\pi/2$ durante la antiresonancia, ocurre en un intervalo de frecuencia mayor (ancho de banda de la antiresonancia) que en el caso medido. Esto se debe, como se muestra a continuación, a que el error en la fase que se ha observado en las simulaciones (Fig. 4.12) viene provocado por un incremento en el valor calculado de R_2 .

R_2 se obtiene del valor de la impedancia $|Z_L(\omega_{p1})|$ según (3.35). Si $|Z_L(\omega_{p1})|$ se incrementa, R_2 disminuye y se reduce el ancho de banda de la antiresonancia. La causa del error tiene dos orígenes. El primero viene dado por el error que presenta el método de medida (*shunt-thru*) a la hora de determinar valores de impedancia del orden de cientos-miles de ohmios. El segundo error viene dado por la posición de la tarjeta de driver. Cuando se realiza la medida sin la tarjeta de driver conectada, el error en la fase alcanza el 7.14 % frente al 29.61% que aparece al conectar la tarjeta PCB driver. Este error se debe a la atenuación que se produce en la medida de $|Z_L(\omega_{p1})|$ debido al posible apantallamiento de los planos de cobre del driver y de la PCB de interconexión con respecto al conector SMA y los cables coaxiales que conectan con el VNA.

Para compensar el error en la fase, se ha realizado un ajuste por mínimos cuadrados no lineales de la fase de la impedancia de la carga $\varphi(Z_L)$ con R_2 como coeficiente de ajuste y R_1 , L_1 , C_1 y C_2 los valores de la Tabla 4.5. Así, los mínimos cuadrados resuelven la ecuación

$$\min \left(\sum_i \|\varphi(Z_L(R_2)) - \varphi_{VNA}(Z_L)\|^2 \right) \quad (4.17)$$

donde $\varphi_{VNA}(Z_L)$ es la fase de la medida.

En la Fig. 4.13 se muestra una comparación entre la medida y la simulación de la impedancia y de la fase con R_2 ajustado por mínimos cuadrados. Cuando no hay tarjeta de driver conectada el error de la fase a 300 MHz se ha reducido a 1.38 % y R_2 ha descendido hasta 0.377 Ω . Cuando el driver está conectado en estado HL=01, el error en la fase (300 MHz) se ha reducido hasta 1.56 % y R_2 se ha reducido hasta 0.794 Ω .

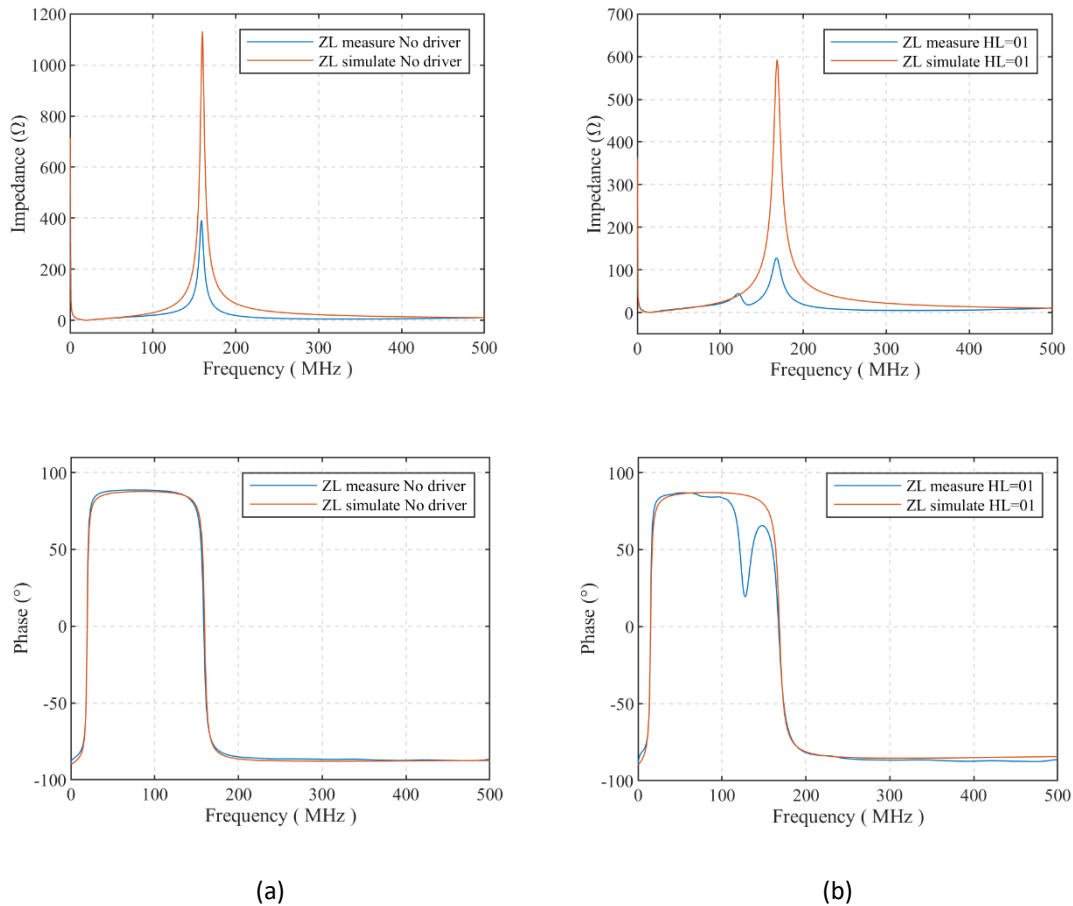


Fig. 4.13. Comparación entre la medida de la impedancia y fase del dipolo de carga Z_L y los valores obtenidos por simulación considerando la corrección de R_2 : (a) Sin la tarjeta PCB driver conectada, (b) con la tarjeta PCB driver conectada en estado HL=01.

4.3.5 Impedancias discretas del CCL

En el apartado anterior, se han obtenido las impedancias Z_{RLC} y Z_{RC} del circuito equivalente que emula el comportamiento del dipolo de carga Z_L . Para determinar L_{ccl_p} y R_{ccl_p} (Fig. 3.6) se evalúan con (4.13) y (4.14) para HL=00 y (4.15) y (4.16) para HL=01. En ambos casos es preciso conocer L_1 y R_1 para calcular L_{ccl_p} y R_{ccl_p} , dado que estos valores se obtienen a la frecuencia de resonancia serie f_{s1} en cada uno de los estados se puede despreciar Z_{RC} . Se ha escogido la frecuencia de resonancia serie f_{s1} porque es una condición conocida donde se conocen L_1 y R_1 . Los resultados obtenidos se resumen en la Tabla 4.6 .

Tabla 4.6. Valores obtenidos para las impedancias L_{CCL} y R_{CCL} .

	L_{ccl_p} (nH)	R_{ccl_p} (Ω)
HL00	15.21	0.4535
HL01	16.62	0.3591

En la Fig. 4.14 se muestra una comparación entre la simulación del semipuerto formado por sus elementos discretos (Fig. 3.6), sin Z_{RC} paralelo ,frente a la Z_L medida en los estados HL=00 y HL=01 hasta 50 MHz para validar cada una de las impedancias obtenidas.

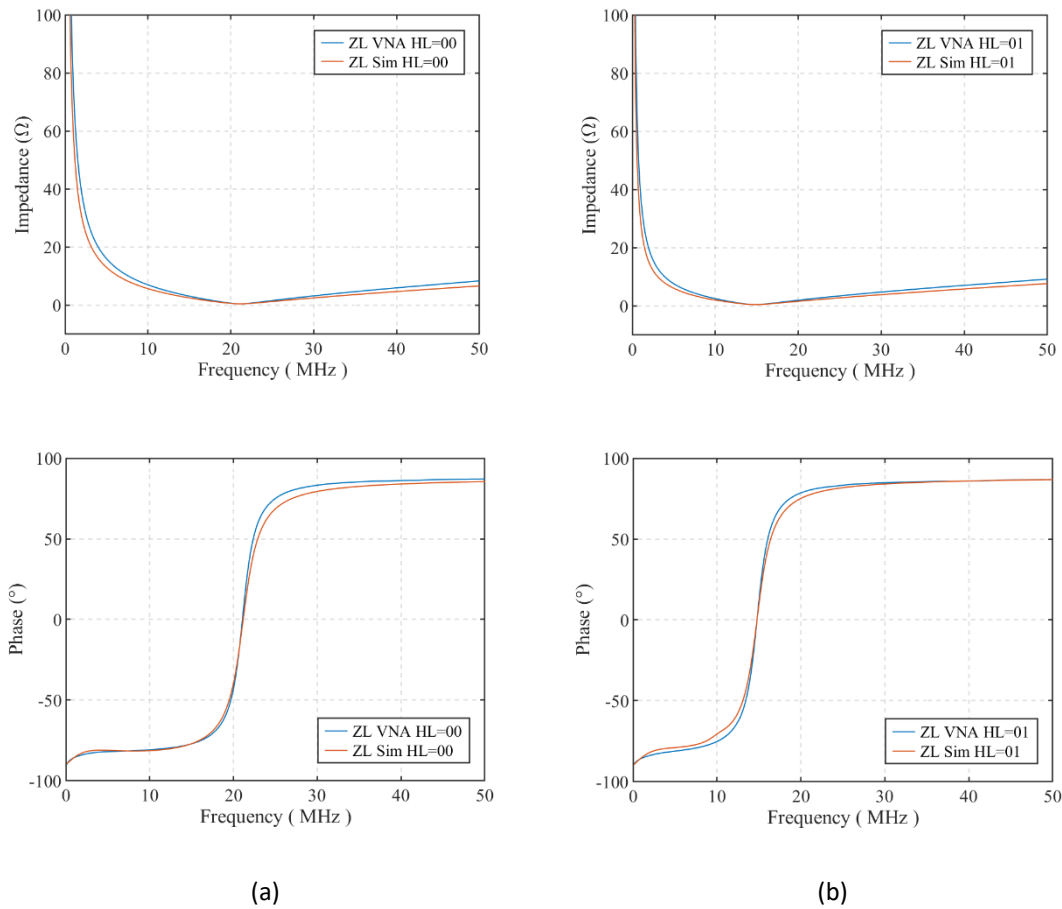


Fig. 4.14. Comparación de la impedancia y fase de Z_L con la impedancia simulada Z_{RLC} del semipunto con elementos discretos: (a) estado HL=00, (b) estado HL=01.

Se puede observar un buen ajuste, tanto en fase como en impedancia, entre la simulación y la medida con el VNA. El máximo error entre la medida y la simulación de la impedancia se produce a partir de 35 MHz. Para el estado HL=00 el error en la medida de la impedancia es 9.91 % y para el estado HL=01 es 9.26 %. Respecto a la fase el error máximo es 2.97 % en el estado HL=00 y 3.59 % en el estado HL=01. El origen de estos errores se debe a la ausencia de Z_{RC} en el modelo de simulación (entre 100 kHz y 50 MHz su impedancia es muy alta).

4.3.6 Cálculo de la impedancia CCL

La impedancia del bucle de corriente de conmutación $Z_{CCL}(\omega)$ (Fig. 3.10) se obtiene con la impedancia obtenida del condensador de bus (C_{bus} , ESR y ESL), la impedancia que presenta la sección del busbar de longitud ℓ_3 , la impedancia de los SiC MOSFET y la impedancia de las pista de interconexión (Z_L) mediante la expresión (4.1).

El cálculo de $Z_{CCL}(\omega)$ se ha realizado por simulación considerando dos modelos de busbar. Un modelo considera el tramo ℓ_3 una línea de transmisión (busbar TL). El otro modelo describe el busbar mediante una inductancia (busbar L). Para esta inductancia se ha escogido el valor de L' a 10 MHz. La impedancia del modelo con línea de transmisión se considera como referencia. En la Fig. 4.15 se muestra $Z_{CCL}(\omega)$ obtenida por simulación cuando el semipunto se encuentra en el estado HL=01 con los valores de las impedancias obtenidas mediante el VNA (tensión de busbar <1 V).

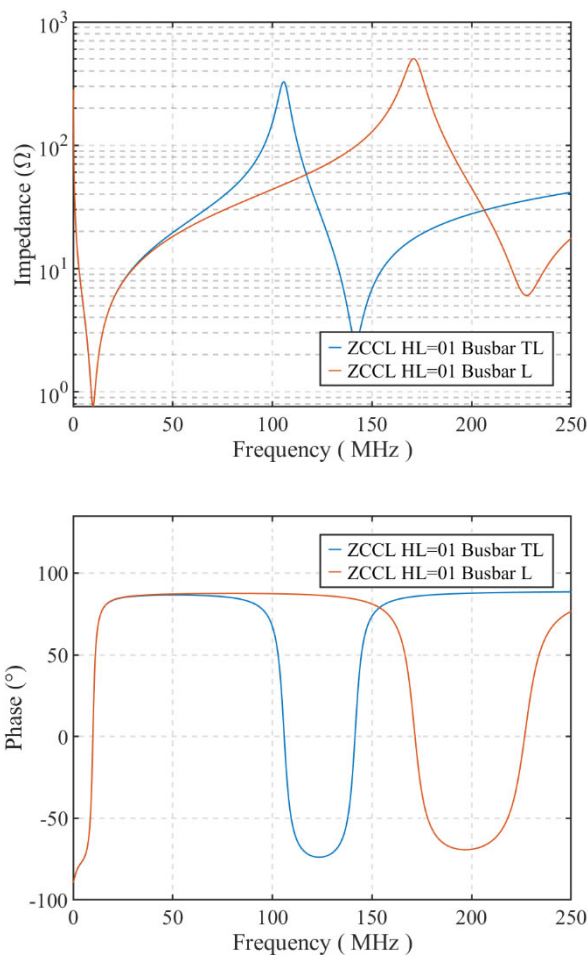


Fig. 4.15. Impedancia y fase simuladas de $Z_{CCL}(\omega)$ considerando una tensión de busbar <1 V para los modelos de busbar: el modelo de línea de transmisión (TL) y el modelo basado en una inductancia discreta(L).

La frecuencia de resonancia serie se produce en 9.86 MHz en el modelo busbar TL y en 9.88 MHz en el modelo busbar L. Para esta frecuencia (9.86 MHz), el efecto de la línea de transmisión es despreciable. Sin embargo, la respuesta en frecuencia de la

impedancia del modelo con inductancia discreta empieza a desviarse a partir de 25 MHz, incrementando el error con la frecuencia, hasta que deja de modelar la impedancia correctamente.

Sin embargo, el SiC MOSFET trabaja con tensiones de operación de cientos de voltios. Es interesante conocer como es la $Z_{CCL}(\omega)$ en esas condiciones de operación. En la hoja de características del SiC MOSFET se facilitan los valores de las capacidades parásitas para una tensión de bus de $V_{bus} = 520$ V. Estas capacidades parásitas son $C_{iss} = 3315$ pF, $C_{oss} = 267$ pF y $C_{rss} = 46$ pF. Donde la capacidad C_{iss} se conoce como la capacidad de entrada, C_{oss} es la capacidad de salida y C_{rss} es la capacidad de realimentación o de Miller. Su relación con las capacidades parásitas del SiC MOSFET es

$$C_{iss} = C_{gs} + C_{gd} \quad (4.18)$$

$$C_{oss} = C_{ds} + C_{gd} \quad (4.19)$$

$$C_{rss} = C_{gd} \quad (4.20)$$

La capacidad C_{oss} se considera la capacidad equivalente del SiC MOSFET siempre que $C_{gd} \ll C_{gs}$. Considerando que ni las inductancias ni las resistencias que forman Z_L varían con el cambio de tensión V_{bus} , la única impedancia que varía es la de las capacidades parásitas del SiC MOSFET (C_{gs} , C_{gd} y C_{ds}).

En la Fig. 4.16 se muestra la impedancia y fase simuladas de $Z_{CCL}(\omega)$ para los modelos busbar TL y busbar L, considerando los valores de las capacidades parásitas a la tensión de bus de 520 V y que el semipunto se encuentra en el estado HL=01.

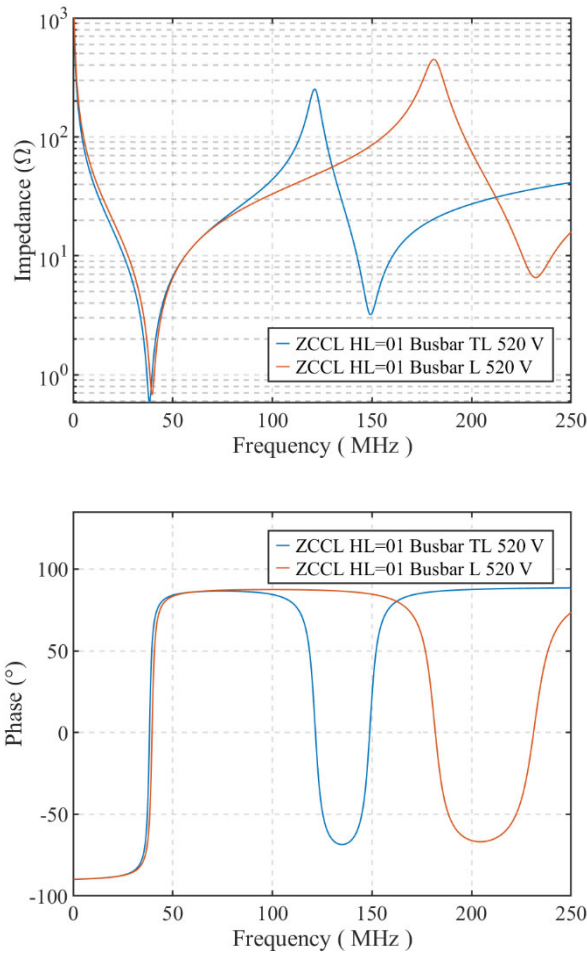


Fig. 4.16. Impedancia y fase simuladas de $Z_{CCL}(\omega)$ considerando los valores de las capacidades parásitas a la tensión de bus de 520 V en los modelos busbar TL y busbar L.

En este caso, la frecuencia de resonancia serie varía respecto al caso de la Fig. 4.15. Cuando la tensión de bus aplicada es de 520 V se produce la resonancia en 38.21 MHz en el modelo busbar TL y en 39.47 MHz en el modelo busbar L (error del 3.3% respecto al busbar TL). Además, se puede observar que existe diferencia en la impedancia (a partir de unos pocos MHz), así por ejemplo a 10 MHz, la impedancia en el modelo busbar TL es de 41.09 Ω y en el modelo busbar L 48.99 Ω (19.23% de error). Conforme aumenta la frecuencia, aumenta el error, y la impedancia Z_{CCL} simulada con el modelo busbar L deja de ser válida.

La diferencia en los resultados de Z_{CCL} considerando tensión de bus de 520 V y tensión bus <1V se produce a frecuencias bajas, lo cual es principalmente debido al cambio de la capacidad del SiC MOSFET como se ve a continuación. A frecuencias por debajo de la

resonancia serie, la impedancia con más peso es la capacidad equivalente del SiC MOSFET (dominada por la capacidad de salida C_{oss}). Para 520 V la capacidad $C_{oss} = 267\text{pF}$ mientras que con la tensión de medida $<1\text{ V}$ es de $C_{oss} = 4384\text{ pF}$ (C_1 en la Tabla 4.5). La impedancia del semipunte (Z_L) a 520 V es mayor a bajas frecuencias que la obtenida con tensión de medida $<1\text{ V}$.

Cuando aumenta Z_L la diferencia entre la impedancia del busbar (Z_0) y el semipunte (Z_L) crece, debido a la desadaptación entre ambas impedancias y, aparecen reflexiones en la tensión y corriente con mayor amplitud que introducen un error en la impedancia sino son tenidas en cuenta.

En la Fig. 4.17 se muestra la dirección de las tensiones incidentes V^+ y reflejadas V^- en la conexión entre la línea de transmisión que forma el busbar y el semipunte y la impedancia equivalente de entrada Z_{in} .

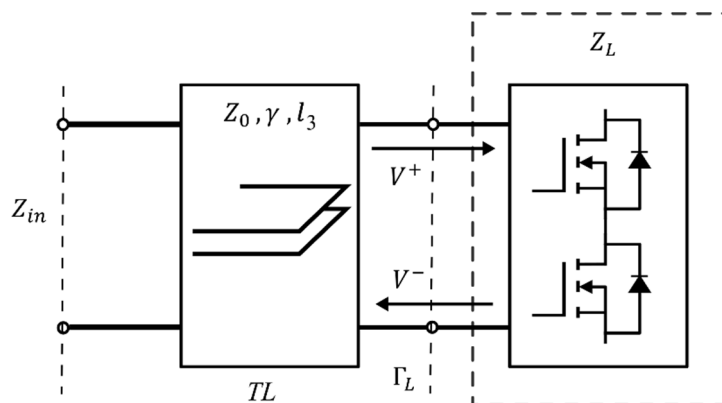


Fig. 4.17. Circuito equivalente entre el busbar TL y el semipunte con tensiones incidentes y reflejadas.

El coeficiente de reflexión en la carga Γ_L muestra la relación entre la onda de tensión reflejada V^- y la onda incidente V^+ , se expresa en función de la impedancia característica del busbar Z_0 y la impedancia del semipunte Z_L como

$$\Gamma_L(\omega) = \frac{V^-}{V^+} = \frac{Z_L(\omega) - Z_0(\omega)}{Z_L(\omega) + Z_0(\omega)} \quad (4.21)$$

En la Fig. 4.18 se muestra el módulo del coeficiente de reflexión $|\Gamma_L|$ calculado en la carga cuando el semipunte está en estado HL=01 con tensiones de medida $<1\text{ V}$ y 520 V. Para

analizar el impacto de las reflexiones en el modelo busbar L y busbar TL, se estudian las reflexiones hasta 25 MHz que es la frecuencia donde comienza a aparecer una desviación entre el modelo busbar L y busbar TL cuando la tensión es inferior a 1V en el SiC MOSFET (Fig. 4.15).

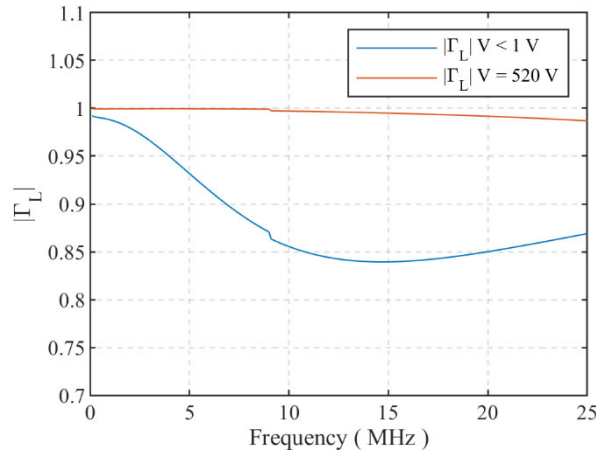


Fig. 4.18. Módulo del coeficiente de reflexión entre el busbar y el semipunto cuando la tensión $<1\text{ V}$ y 520 V en el estado HL=01.

Se observa que $|\Gamma_L|$ con tensión de medida $<1\text{ V}$ disminuye desde 0.992, a 100 kHz , hasta 0.868 a 25 MHz y, para 520 V $|\Gamma_L|$ se mantiene próximo a la unidad y disminuye lentamente con la frecuencia hasta 0.987 a 25 MHz . En este caso (a 520 V) se puede considerar que $V^- \approx V^+$ ($|\Gamma_L|$ es próximo a la unidad hasta 25 MHz). Con el modelo busbar LT la impedancia equivalente de entrada Z_{in} calculada con la expresión (3.18) se puede reescribir en función del coeficiente de reflexión Γ_L como

$$Z_{in}(\omega) = Z_0 \frac{1 + \Gamma_L \cdot e^{-2\gamma \ell}}{1 - \Gamma_L \cdot e^{-2\gamma \ell}} \quad (4.22)$$

Donde se aprecia claramente el efecto de Γ_L en la Z_{in} .

Sin embargo, estos efectos de la influencia de la desadaptación debido a la variación de la tensión de operación no son considerados en el modelo busbar L, lo que aumenta la imprecisión del mismo. Como se observa en la Fig. 4.15 cuando la tensión es $<1\text{ V}$ el error en la impedancia entre el modelo busbar L y busbar TL debido a la reflexión en

baja frecuencia se puede despreciar. Sin embargo, con 520 V (Fig. 4.16) aparece un pequeño error no despreciable baja frecuencia, debido a la reflexión total de la tensión incidente V^+ que produce la máxima desadaptación entre las impedancias Z_0 y Z_L .

En convertidores con tecnología SiC, las capacidades parásitas de los transistores son muy pequeñas (decenas-cientos de pF) en tensión de operación y, la impedancia equivalente a bajas frecuencias Z_L es muy elevada, ya que predominan estas capacidades parásitas. Asimismo, un busbar laminado diseñado para reducir las interferencias electromagnéticas tiene baja inductancia y alta capacidad parásita [68][69] y, por tanto, baja impedancia característica (Z_0). La desadaptación entre Z_0 y Z_L es muy elevada con tecnología SiC y provoca que a baja frecuencia las reflexiones sean máximas y el modelo busbar L sea inexacto. Además, en alta frecuencia el modelo busbar L no considera la propagación de la onda de tensión a lo largo del busbar introduciendo un error en el comportamiento de la impedancia del bucle de conmutación $Z_{CCL}(\omega)$. Estos errores en la descripción de $Z_{CCL}(\omega)$ se pueden evitar modelando el busbar mediante una línea de transmisión.

Capítulo 5.

Técnicas para la caracterización y mitigación de las oscilaciones

Este capítulo presenta dos técnicas para el estudio y la mitigación de las oscilaciones no deseadas durante la conmutación a corte. La primera, es una metodología de medida de impedancias que se aprovecha de la no linealidad de las capacidades parásitas del SiC MOSFET con la tensión. A través de un barrido de tensiones continuas, la frecuencia de resonancia serie de Z_{RLC} se desplaza y, permite calcular diferentes valores de resistencia e inductancia del bucle de corriente de conmutación en función de la frecuencia. Con esos parámetros se puede predecir la frecuencia de oscilación y la atenuación de las mismas. La segunda técnica, propone un apantallamiento magnético (capas metálicas) localizado sobre áreas descubiertas del bucle de corriente de conmutación. Estas áreas se deben al conexionado de las pistas y, a la normativa de aislamiento que marca una distancia mínima entre pistas con diferente tensión nominal. Sobre los planos de apantallamiento se inducen corrientes de Foucault que se oponen al campo magnético de la corriente de conmutación, disminuyendo el flujo magnético en el área, y por consiguiente reduciendo la inductancia de conmutación.

5.1. Oscilaciones durante la conmutación

Las oscilaciones de tensión y de corriente durante la conmutación a conducción o a corte en los transistores SiC MOSFET de un semipunte se deben a la excitación de las impedancias parásitas del bucle de corriente de conmutación. En la Fig. 5.1 se muestra un ejemplo de conmutación a corte en el SiC MOSFET de un semipunte, en la misma se pueden observar las oscilaciones y la sobretensión en la tensión entre drenaje y fuente (V_{DS}) y en la corriente que circula por el transistor (I_D).

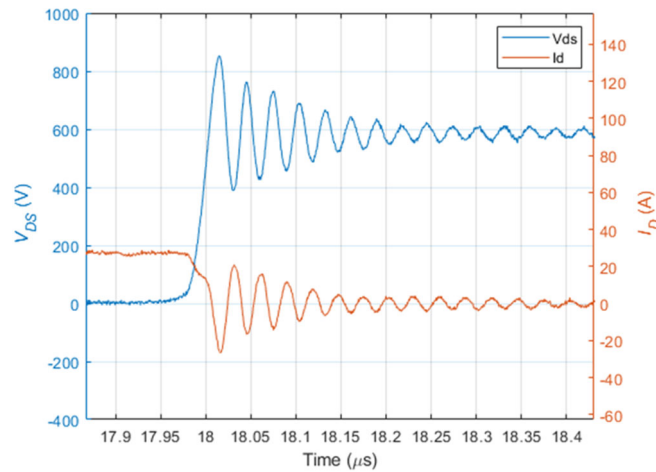


Fig. 5.1. Tensión drenaje-fuente (V_{DS}) y corriente de drenaje (I_D) durante una conmutación a corte en el SiC MOSFET de un semipunto.

Estas oscilaciones se pueden modelar con un circuito de segundo orden RLC serie simplificando la impedancia del bucle de corriente de conmutación (Z_{ccl}). Durante la conmutación se produce un cambio brusco de tensión en los SiC MOSFET, en el paso del estado de conducción al estado de bloqueo (corte) o en el inverso. Este comportamiento se aproxima por un escalón de tensión sobre un circuito RLC serie como se puede ver en la Fig. 5.2. Donde V_{bus} es la tensión de bus, L_{CCL} , R_{CCL} , C_{CCL} son la inductancia, resistencia y capacidad equivalentes del bucle de conmutación.

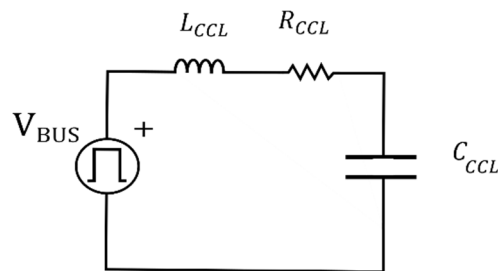


Fig. 5.2. Circuito equivalente durante una conmutación.

La ecuación de definición del circuito de la Fig. 5.2 se obtiene aplicando la segunda Ley de Kirchoff

$$L_{CCL} \cdot \frac{di(t)}{dt} + R_{CCL} \cdot i(t) + \frac{1}{C_{CCL}} \int_0^t i(t) dt = V_{bus} \quad (5.1)$$

donde t es el instante de tiempo evaluado. Derivando la ecuación respecto al tiempo para eliminar la integral y dividiendo por L_{CCL} se obtiene la siguiente ecuación diferencial

$$\frac{d^2 i(t)}{dt^2} + \frac{R_{CCL}}{L_{CCL}} \cdot \frac{di(t)}{dt} + \frac{1}{L_{CCL} \cdot C_{CCL}} \cdot i(t) = 0 \quad (5.2)$$

Usando la Transformada de Laplace se obtiene la ecuación característica

$$s^2 + \frac{R_{CCL}}{L_{CCL}} \cdot s + \frac{1}{L_{CCL} \cdot C_{CCL}} = 0 \quad (5.3)$$

cuyas raíces son

$$s = \frac{-R_{CCL} \pm \sqrt{R_{CCL}^2 - \frac{4L_{CCL}}{C_{CCL}}}}{2L_{CCL}} = -\alpha \pm \sqrt{\alpha^2 - \omega_0^2} \quad (5.4)$$

Donde α es el conocido factor de atenuación y ω_0 la frecuencia de resonancia y vienen dados por

$$\alpha = \frac{R_{CCL}}{2 \cdot L_{CCL}} \quad (5.5)$$

$$\omega_0 = \frac{1}{\sqrt{C_{CCL} \cdot L_{CCL}}} \quad (5.6)$$

Experimentalmente (Fig. 5.1) se observa que la respuesta es un seno decreciente (subamortiguada), lo que corresponde al caso $\alpha^2 - \omega_0^2 < 0$. Por tanto, la solución de la tensión en el condensador C_{CCL} en una conmutación a corte se puede expresar como

$$v_c(t) = V_{SO} \cdot e^{-\alpha t} \cdot \sin(\omega_0 t) + V_{bus} \quad (5.7)$$

donde V_{SO} es el valor de pico de la sobretensión que se define por [91]

$$V_{SO} = L_{CCL} \frac{di}{dt} \quad (5.8)$$

La sobretensión V_{SO} en la tensión del condensador se calcula resolviendo la malla del circuito RLC (Fig. 5.2) y es igual a la tensión inducida (con signo contrario) en la inductancia L_{CCL} que depende de di/dt durante la conmutación. El valor de di/dt depende del circuito de disparo de puerta y de características internas del propio SiC MOSFET, lo cual no forma parte de este estudio.

La respuesta subamortiguada de la tensión en el condensador del circuito RLC (Fig. 5.2) se puede ver en la Fig. 5.3. La atenuación α muestra como de rápido se va a extinguir la oscilación y la frecuencia ω_0 define la frecuencia de las oscilaciones.

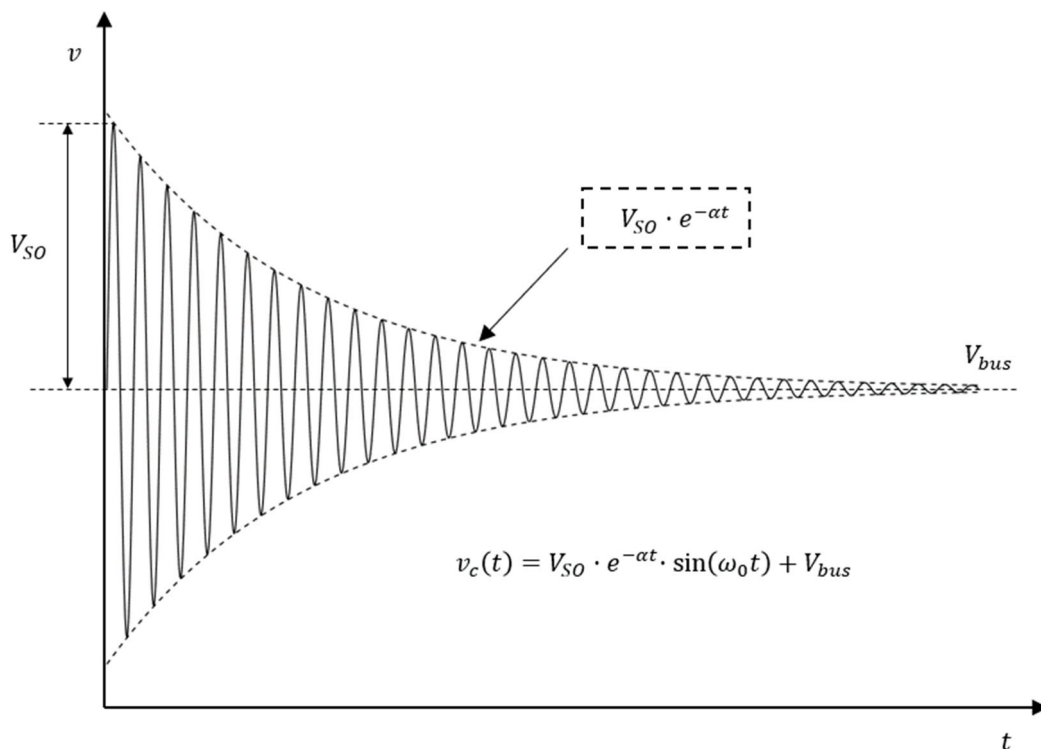


Fig. 5.3. Respuesta de un escalón de tensión en el condensador del circuito RLC equivalente.

5.2. Capacidades no lineales del SiC MOSFET

Las capacidades parásitas entre las uniones semiconductoras que forman la estructura de un SiC MOSFET tienen un comportamiento no lineal respecto a la tensión entre drenaje y fuente (V_{DS}). La capacidad C_{GS} se considera constante ya que su no linealidad respecto a V_{DS} es despreciable [92]. En cambio, C_{ds} y C_{gd} son fuertemente no lineales y disminuyen cuando V_{DS} aumenta [93]. En la Fig. 5.4 se muestran las capacidades equivalentes de entrada (C_{iss}), de realimentación (C_{rss}) y de salida (C_{oss}) proporcionadas por el fabricante del SiC MOSFET SCTW100N65G2AG [86] utilizado en este trabajo.

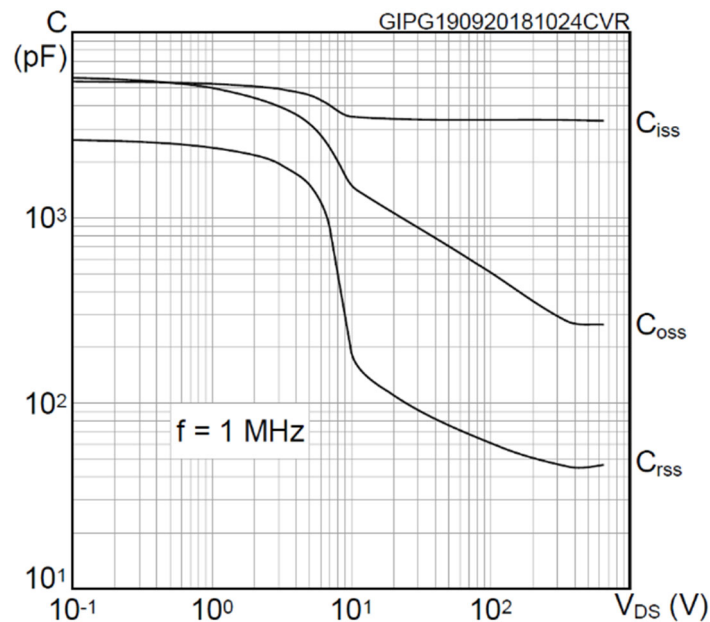


Fig. 5.4. Capacidades parásitas del SiC MOSFET SCTW100N65G2AG [86].

La tensión del equipo de medida de impedancias (VNA) es de baja señal ($< 1V$), a esta tensión ($< 1V$) las capacidades C_{iss} , C_{rss} y C_{oss} del SiC MOSFET se encuentran en el rango de 2500 pF y 5500 pF. Las capacidades C_{rss} y C_{oss} son fuertemente no lineales y disminuyen drásticamente con la tensión hasta aproximadamente 10 V, luego el descenso es menos pronunciado. Según la hoja de características del SiC MOSFET, $C_{oss}=267$ pF y $C_{rss}=46$ pF cuando la tensión drenaje-fuente (V_{DS}) es 520 V. Por tanto, existe una gran diferencia entre las capacidades parásitas del SiC MOSFET en condiciones de medida y de operación. La capacidad equivalente del SiC MOSFET C_{oss}

para 520 V es aproximadamente 20 veces menor que la tensión de medida ($< 1V$) por lo que la impedancia de C_{oss} es 20 veces mayor. Este cambio tan grande en el orden de magnitud de C_{oss} puede provocar que la corriente de conmutación circule a través de los conductores que conectan con los SiC MOSFET con una trayectoria ligeramente distinta cuando la tensión aplicada en el SiC MOSFET es la de medida ($< 1V$) o la de operación (520 V). Este cambio en la trayectoria de la corriente provoca una variación leve de la inductancia que dependerá del valor de C_{oss} que a su vez depende de la tensión aplicada en el SiC MOSFET.

5.3. Técnica para la caracterización de las oscilaciones

A continuación, se describe la técnica para caracterizar las oscilaciones a partir de la medida de la impedancia en frecuencia y se compara con un ensayo de doble pulso, que permite visualizar las formas de onda de las oscilaciones producidas durante las conmutaciones.

5.3.1 Ensayo de doble pulso

EL ensayo de doble pulso (DPT) es un método convencional que permite caracterizar las conmutaciones de un SiC MOSFET en un semipunto en condiciones de conmutación con una carga inductiva, donde en cada ensayo se especifica la tensión V_{bus} y la corriente del ensayo I_{DPT} . El circuito utilizado para el ensayo se describe en la Fig. 5.5.

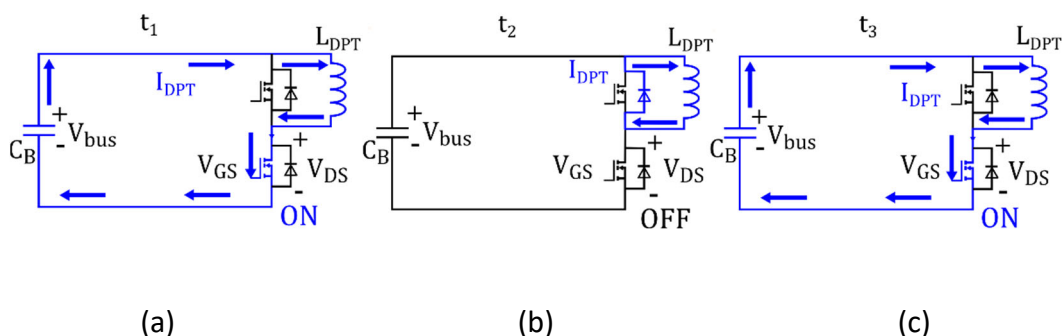


Fig. 5.5. Circuito equivalente del ensayo de doble pulso: (a) intervalo de tiempo t_1 , (b) intervalo de tiempo t_2 , (c) intervalo de tiempo t_3 .

El ensayo se realiza sobre el SiC MOSFET inferior de la rama (DUT, del inglés device under test). Asimismo, se dispone de un banco de condensadores C_B cargados a la tensión V_{bus} y encargados de suministrar la energía durante el ensayo a la carga inductiva L_{DPT} .

El ensayo está dividido en tres intervalos de tiempo t_1 , t_2 y t_3 y las formas de onda de las tensiones y corrientes medidas se pueden ver en la Fig. 5.6. El primer pulso ocurre durante t_1 donde el DUT se pone en conducción y la corriente circula a través de la bobina (Fig. 5.5.a) hasta el valor I_{DPT} fijado por el ensayo. Durante el periodo t_2 el DUT se mantiene en corte y la corriente circula por el diodo parásito (Fig. 5.5b) del SiC MOSFET superior de la rama. En la transición entre el intervalo t_1 y t_2 se produce la conmutación a corte (turn-off) de la corriente por el DUT y se miden las oscilaciones amortiguadas en V_{DS} . Durante el intervalo t_3 el DUT se pone en conducción (Fig. 5.5c) y en la transición entre t_2 y t_3 el DUT se puede estudiar la conmutación a conducción (turn on) de la corriente I_{DPT} .

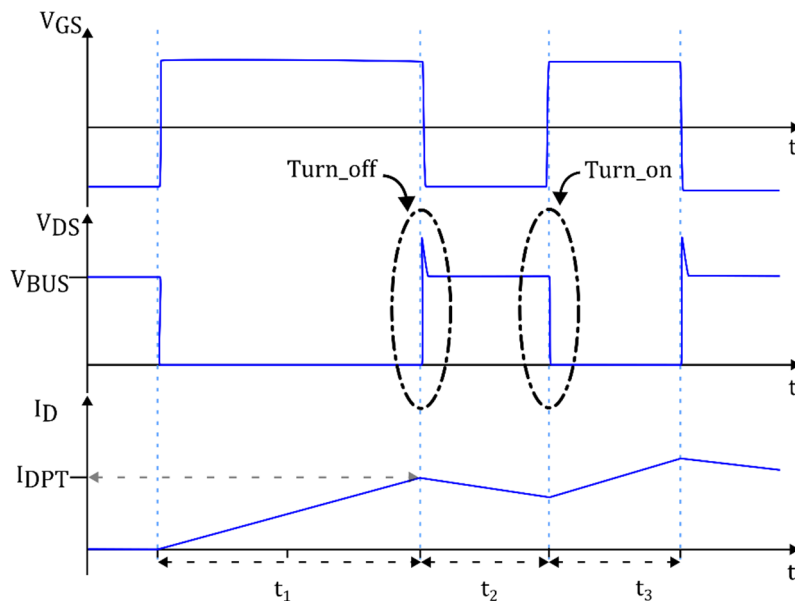


Fig. 5.6. Formas de onda temporales de la tensión en puerta V_{gs} , la tensión entre drenaje-fuente V_{ds} y la corriente por drenaje durante un ensayo de doble pulso.

La duración del primer pulso t_1 se puede aproximar despreciando la resistencia serie de los elementos del circuito de la Fig. 5.5a como

$$t_1 = L_{DPT} \frac{I_{DPT}}{V_{bus}} \quad (5.9)$$

La duración de t_2 y t_3 se escogen pequeñas y de modo que se asegure la extinción de las oscilaciones en los procesos de conmutación. La capacidad del banco de condensadores C_B se diseña para asegurar la corriente de ensayo durante el primer pulso con una variación en V_{bus} mínima. Se puede calcular como[94]

$$C_B \geq \frac{L_{DPT} \cdot I_{DPT}^2}{2 \cdot k_v \cdot V_{bus}^2} \quad (5.10)$$

Donde k_v es el coeficiente de rizado de la tensión V_{bus} y se ha escogido inferior al 1%.

En la Fig. 5.7 se muestra el montaje de ensayo utilizado para caracterizar las conmutaciones con los transistores SiC MOSFET. La inductancia L_{DPT} es de 130 μH y está formada por dos inductancias en serie de 65 μH de núcleo toroidal de Fe-Si. La capacidad del banco de condensadores C_B es de 17.6 mF, suficiente para suministrar la energía necesaria durante los ensayos con una variación de tensión inferior al 0.1%.

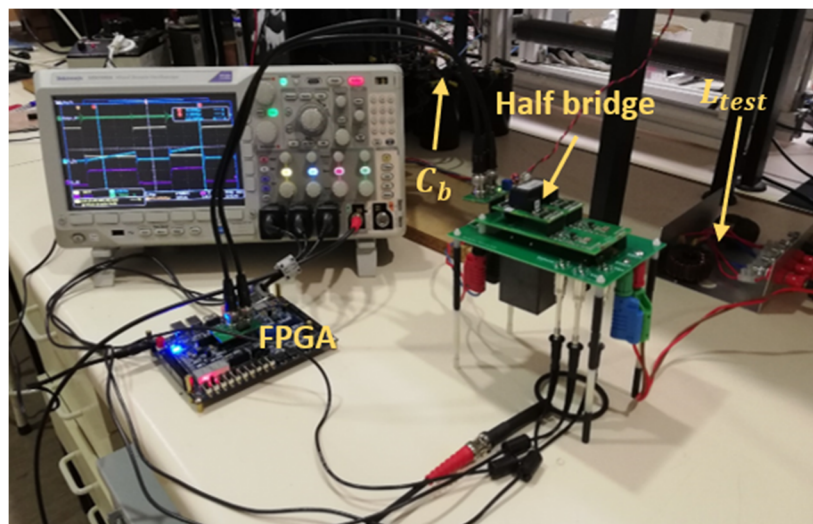


Fig. 5.7. Montaje para el ensayo de doble pulso.

Para medir las oscilaciones de la tensión entre drenaje-fuente del SiC MOSFET, se puede utilizar una sonda pasiva por su gran ancho de banda. Esta sonda normalmente se

conecta a los terminales del SiC MOSFET con un gancho y con un cable de tierra terminado en un cocodrilo. No obstante, esta conexión introduce una inductancia y una resistencia parásitas que pueden introducir oscilaciones debidas a la resonancia que se produce con las capacidades de la sonda y modificar levemente la tensión medida en alta frecuencia. Para solucionar este efecto adverso se han utilizado adaptadores sonda-BNC que permiten sustituir la conexión física del gancho y del cable de tierra de la sonda por una conexión directa coaxial BNC. Estos adaptadores se deben conectar a un conector BNC dedicado para la medida en la PCB del semipunto que se introduce en la fase de diseño de la PCB muy cerca de los SiC MOSFET, si se utilizan en un diseño previo de semipunto se deben colocar de forma que se minimice su impacto en el diseño original. Para la medida de la tensión V_{DS} se han utilizado sondas pasivas TP0250 de Tektronk con un ancho de banda de 250 MHz y se ha utilizado un osciloscopio MDO3024 con ancho de banda de 200 MHz.

5.3.2 Ajuste de la atenuación a partir de la medida del test de doble pulso

A través de la medida de la atenuación α y de la frecuencia de resonancia ω_0 de las oscilaciones en la forma de onda de V_{DS} obtenida durante la conmutación a corte, se puede despejar $R_{CCL,DPT}$ y $L_{CCL,DPT}$ mediante (5.5) y (5.6).

Para analizar las oscilaciones en la tensión drenaje-fuente (V_{DS}) del DUT, se elige una ventana de tiempo que abarque toda la oscilación subamortiguada. En esta ventana de tiempo, se localizan los máximos locales en el tiempo (t_{max}) y su amplitud $v_{max,DPT}(t_{max})$. Asimismo, la envolvente exponencial que forman $v_{max,DPT}(t_{max})$ se puede expresar como

$$v_{max,DPT}(t_{max}) = V_{SO,DPT}(t_{max}) \cdot (e^{-\alpha_{DPT} \cdot t_{max}}) + V_{bus,DPT} \quad (5.11)$$

Para determinar los coeficientes $V_{SO,DPT}$ y α_{DPT} se utiliza el método de mínimos cuadrados no lineales que resuelve la siguiente ecuación

$$\min \left(\sum_j \left\| v_{fit,DPT}(t_{max}) - v_{DPT}(t_{max}) \right\|^2 \right) \quad (5.12)$$

En la Fig. 5.8 se muestra el resultado de una conmutación a corte efectuada con el ensayo de doble pulso a 150 V. También se puede observar los máximos de tensión locales con los que se ha realizado el ajuste por mínimos cuadrados no lineales descrito en (5.12) así como la curva ajustada resultante, donde se puede observar que el ajuste es correcto. De la curva ajustada y de la frecuencia de oscilación de la forma de onda se extraen $L_{CCL,DPT}$ y $R_{CCL,DPT}$ según (5.5) y (5.6).

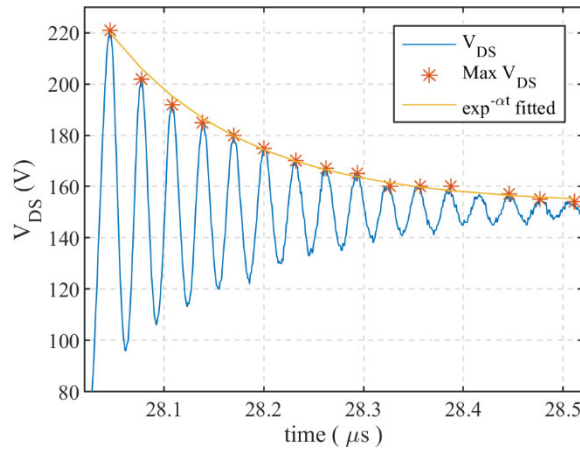


Fig. 5.8. Medida de tensión V_{DS} en conmutación a corte y curva de ajuste obtenida.

La frecuencia de oscilación medida es 32.33 MHz y la inductancia $L_{CCL,DPT}$ calculada según (5.5) es 60.58 nH. Se ha considerado en el cálculo que $C_{CCL,DPT} = 400$ pF, valor de la capacidad equivalente de salida C_{OSS} del SiC MOSFET a 150 V según la hoja de características [86]. De la curva ajustada por mínimos cuadrados se obtiene que $V_{SO,DPT}$ es 66.29 V y que α_{DPT} son $6.75 \cdot 10^6$ rad/s despejando en (5.6) se obtiene que $R_{CCL,DPT}$ son 0.8179 Ω .

5.3.3 Método de medida de impedancias por barrido de tensión

En la Fig. 5.9 se muestra el esquema de medida del semipunto (sin el condensador de bus) donde se ha conectado la fuente de tensión continua interna ($V_{DC,VNA}$) del analizador vectorial de redes (VNA). Esta fuente de tensión continua de precisión permite un rango de tensiones entre 0 V y ± 40 V y está calibrada.

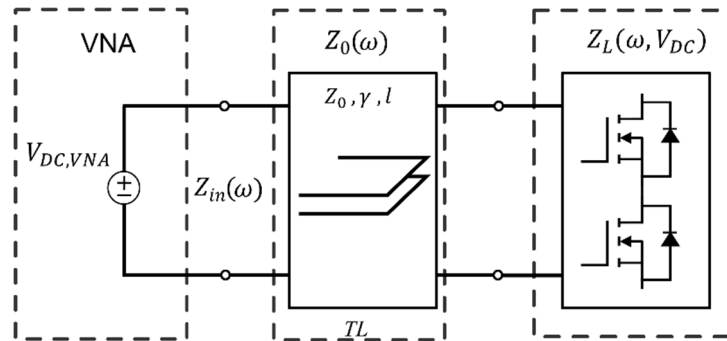


Fig. 5.9. Esquema del montaje de medida la fuente de tensión del VNA.

La carga Z_L , formada por los SiC MOSFET y las pistas que conectan con el busbar, depende de la frecuencia ω y de la tensión aplicada sobre los SiC MOSFET ($V_{DC,VNA}$). La impedancia de carga Z_L se ha descrito en el capítulo 3 como una impedancia RLC serie (Z_{RLC}) en paralelo con una impedancia RC serie (Z_{RC}). El estudio de la impedancia se realiza en frecuencias cercanas a la frecuencia de resonancia serie ω_s , así la impedancia en paralelo Z_{RC} es mucho mayor que Z_{RLC} y se puede despreciar. La impedancia Z_L se extrae de la impedancia medida con el VNA (Z_{in}) como se ha explicado en el capítulo 3.

Sobre los SiC MOSFET, para variar sus capacidades parásitas, se aplica un barrido de tensión continua, desde 0 V hasta 40 V. Estas capacidades (C_{GS} , C_{GD} , C_{DS}) disminuyen conforme se incrementa la tensión aplicada sobre los SiC MOSFET como se ha visto en la Fig. 5.4, de modo que la frecuencia de resonancia serie ω_s del circuito RLC serie (Z_{RLC}) se va desplazando hacia frecuencias más altas. Así, se obtienen diferentes frecuencias de resonancia serie ω_s para diferentes tensiones de ensayo ($V_{DC,VNA}$). Asimismo, se obtienen los valores de R_1 , L_1 , y C_1 de la impedancia Z_{RLC} para cada frecuencia $\omega_s(V_{DC,VNA})$. Donde L_1 y R_1 se calculan según (3.24) y (3.25) a la frecuencia de resonancia (ω_s). El valor de la capacidad C_1 se obtiene del valor de la parte compleja

de Z_L a baja frecuencia (100 kHz -1MHz) ya que a esas frecuencia predomina C_1 y la reactancia es $X_L \approx (\omega C_1)^{-1}$.Y, por tanto, con el barrido de tensiones se consiguen diferentes valores de $R_1(\omega_s)$ y $L_1(\omega_s)$ a las diferentes frecuencias de resonancia.

La medida se realiza con la PCB driver conectada con un SiC MOSFET en corte y el otro SiC MOSFET en conducción, lo que simula la condición de conmutación a corte en un semipunto. Así, la capacidad C_1 es la capacidad equivalente de un SiC MOSFET y su valor se obtiene a partir de la medida de la impedancia Z_L a baja frecuencia.

Con los elementos de Z_{RLC} calculados se obtiene la impedancia del bucle de corriente conmutación Z_{CCL} mediante simulación, como se ha descrito en la sección 4.3.6, incluyendo el tramo del busbar (ℓ_3) que conecta con el condensador de bus y el modelo parásito medido del condensador de bus como se ha visto en el capítulo 4.

A partir de Z_{CCL} , con las impedancias medidas con el VNA, se obtienen los elementos del circuito equivalente de una conmutación (Fig. 5.2) que caracterizan la oscilación de conmutación a corte en un semipunto. El valor de $R_{CCL,VNA}$ se obtiene de Z_{CCL} simulada a la frecuencia de resonancia de forma análoga a la obtención de R_1 con la expresión (3.25) para Z_{RLC} . La frecuencia de resonancia serie simulada de Z_{CCL} corresponde con la frecuencia de la oscilación ω_0 . Mediante el valor de la reactancia de Z_{CCL} a baja frecuencia (1 MHz cuando $V_{DC}= 0V$ y 4 MHz para $V_{DC}=40V$) se obtiene $C_{CCL,VNA}$ ya que predomina a esa frecuencia ($X_{CCL} \approx (\omega C_{CCL,VNA})^{-1}$). Con la frecuencia de resonancia serie ω_0 se despeja $L_{CCL,VNA}$ según (5.6). Asimismo, conocidas $R_{CCL,VNA}$ y $L_{CCL,VNA}$ se determina el coeficiente de atenuación de las oscilaciones α mediante (5.5).

Medidas experimentales

La impedancia Z_L se ha caracterizado entre 1 MHz y 50 MHz a distintas tensiones V_{DC} para localizar las frecuencias de resonancia serie $\omega_s(V_{DC,VNA})$. El barrido de tensiones se ha realizado desde 0 V hasta 40 V en pasos de 5 V. En la Fig. 5.10 se muestra la impedancia y fase de Z_L obtenidas de la medida Z_{in} tal y como se ha descrito en el capítulo 4 desde 10 MHz hasta 50 MHz, en la misma se pueden observar la variación de las frecuencias de resonancias a las V_{DC} aplicadas.

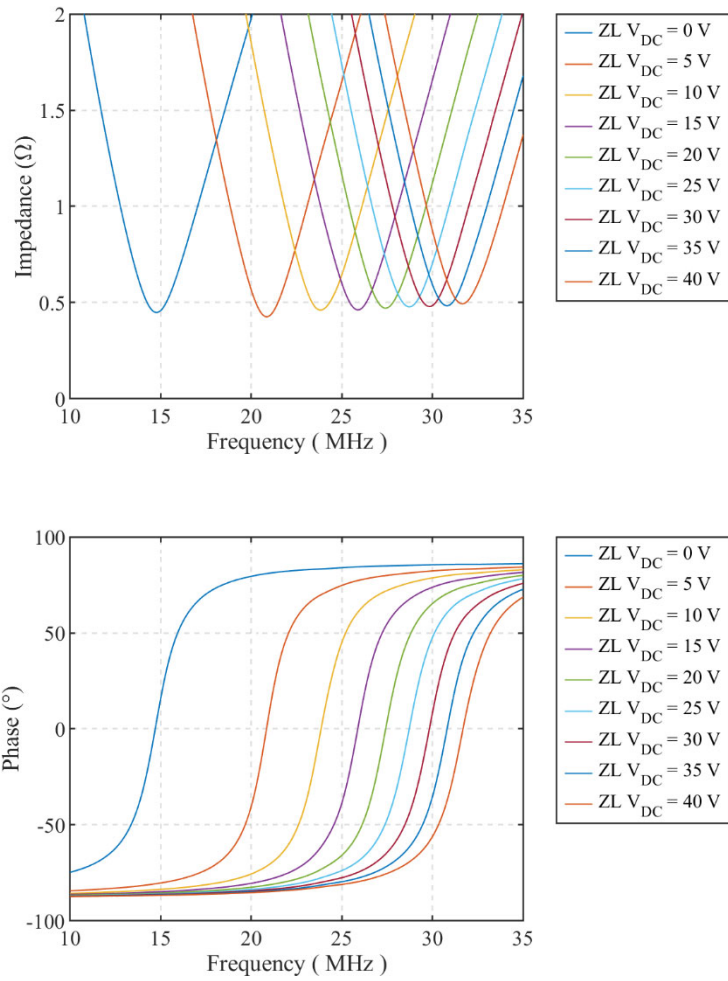


Fig. 5.10. Impedancia y fase de Z_L obtenida con un barrido de tensiones continuas entre 0V y 40 V.

A cada frecuencia de resonancia $\omega_s(V_{DC,VNA})$ se obtiene la resistencia R_1 según(3.25), que corresponde al valor de $|Z_L|$ (Fig. 5.10 superior) cuando la fase se hace igual a 0° (Fig. 5.10 inferior).En la Fig. 5.11 se muestran los valores de R_1 calculados para cada $\omega_s(V_{DC,VNA})$.

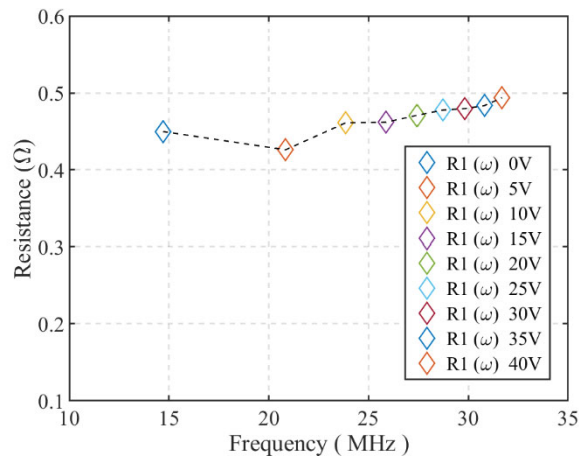


Fig. 5.11. Valor de R_1 obtenido en las diferentes frecuencias de resonancia.

El valor exacto de las capacidades parásitas en el rango de las tensiones de medida (0V a 40 V) es difícil de obtener a partir de la hoja de características del SiC MOSFET (Fig. 5.4). Así que, $C_1(V_{DC,VNA})$ se ha calculado para cada $V_{DC,VNA}$ con el valor de la parte compleja (X_L) de Z_L a baja frecuencia (1 MHz), ya que a esa frecuencia predomina en el comportamiento de Z_L cumpliéndose que $X_L(1 \text{ MHz}) \approx (\omega C_1)^{-1}$. Finalmente, el valor de L_1 (Fig. 5.12) se ha calculado en cada frecuencia de resonancia $\omega_s(V_{DC,VNA})$ con el valor de $C_1(V_{DC,VNA})$ según (3.24).

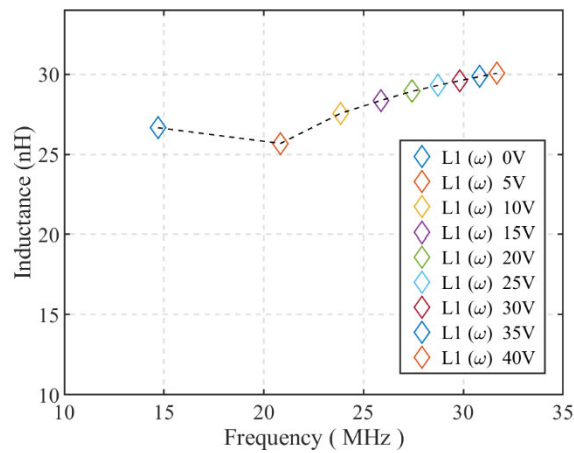


Fig. 5.12. Valor de L_1 obtenido en las diferentes frecuencias de resonancia.

Se observa que tanto L_1 como R_1 varían ligeramente con la frecuencia en tendencia ascendente. Así, L_1 crece un 12.9 % desde 26.62 nH a 14.69 MHz hasta 30.05 nH para

31.683 MHz. Respecto a R_1 crece un 12.05% desde 0.44Ω a 14.69 MHz hasta 0.493Ω para 31.683 MHz.

5.3.4 Comparación de metodologías

A continuación se comparan los resultados obtenidos de R_{CCL} y L_{CCL} entre las medidas de las oscilaciones obtenidas a partir del ajuste de la atenuación en el test de doble pulso ($R_{CCL,DPT}$ y $L_{CCL,DPT}$) y las conseguidas a partir de la medida de impedancias por barrido de tensión con el VNA ($R_{CCL,VNA}$ y $L_{CCL,VNA}$). Esta comparación se extiende hasta los 34.15 MHz que es la máxima frecuencia obtenida en el ensayo de doble pulso para 200 V.

En la Fig. 5.13 y Fig. 5.14 se muestran los resultados experimentales obtenidos con cada técnica. En la Fig. 5.13 se ha añadido una curva interpolada para L_{CCL} (L_{CCL} TL spline) y, en la Fig. 5.14 una curva interpolada para R_{CCL} (R_{CCL} TL spline). Para ello se ha aplicado el algoritmo de interpolación 'spline' de Matlab sobre las medidas de R_1 y L_1 . Estas curvas interpoladas (TL spline) permiten disponer de valores intermedios de $R_{CCL,VNA}$ y $L_{CCL,VNA}$, lo que facilita la comparación entre ambos métodos.

De la Fig. 5.13 se observa una buena coincidencia entre los valores de $L_{CCL,VNA}$ simulados y $L_{CCL,DPT}$. El error máximo es del 8.04 % respecto a $L_{CCL,DPT}$ (ensayo a 22.25 MHz y 20V). Asimismo, se observa que el error disminuye hasta el 2.5 % en frecuencias más altas, a partir de 26 MHz (ensayo a 50 V). El error viene dado en buena parte por la diferencia en las precisiones de los instrumentos de medida utilizados. Asimismo, en los ensayos a tensiones bajas (por debajo de 50 V) cualquier imprecisión en la medida de la tensión en el SiC MOSFET se traduce en una variación notable en las capacidades parásitas, como se deduce de la Fig. 5.4.

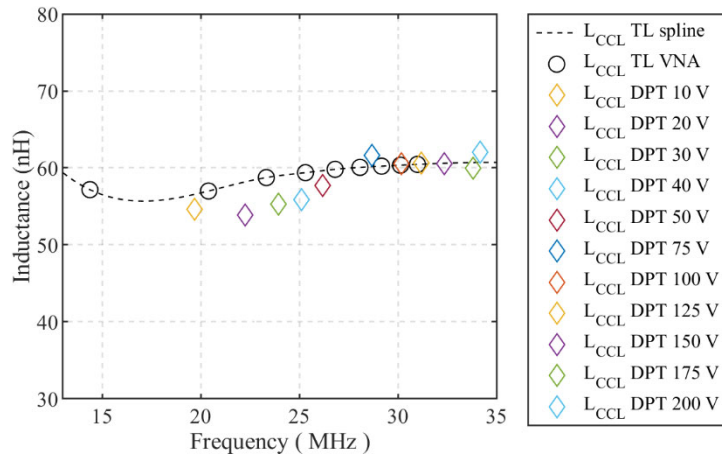


Fig. 5.13. Comparación de L_{CCL} obtenida por el ensayo de doble pulso y por el método de medida de impedancias por barrido de tensión.

En la comparación entre $R_{CCL,VNA}$ y $R_{CCL,DPT}$ (Fig. 5.14), se observa una importante dispersión en los valores obtenidos de $R_{CCL,DPT}$. La curva interpolada (R_{CCL} TL spline) muestra un buen ajuste con los valores de $R_{CCL,VNA}$ hasta 32 MHz a partir de los cuales se desvía del comportamiento de $R_{CCL,VNA}$ y marca el límite del estudio de R_{CCL} en este trabajo. Con los valores interpolados con esta curva se ha calculado el error entre $R_{CCL,VNA}$ y $R_{CCL,DPT}$, encontrando que el error máximo alcanza el 20.54 % a 30 MHz (ensayo a 100 V), el error mínimo es inferior al 1%.

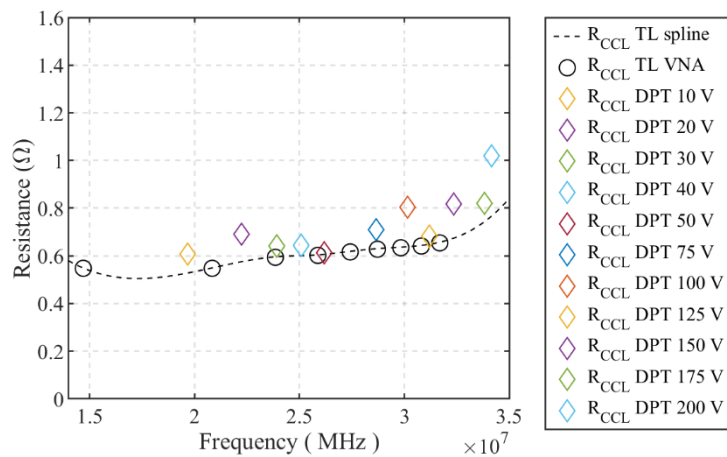


Fig. 5.14. Comparación de la R_{CCL} extraída por el ensayo de doble pulso y por el método de medida de impedancia por barrido de tensión.

A continuación, en la Fig. 5.15, se compara la atenuación α_{VNA} extraída de la medida de impedancia con la obtenida de la medida con el ensayo de doble pulso α_{DPT} . Se puede observar que α_{DPT} muestra mucha dispersión en sus valores debido a la dispersión de $R_{CCL,DPT}$. Con el fin de comparar las metodologías de medida se estima el error entre ambas con dos líneas de tendencia obtenidas mediante regresión lineal para α_{DPT} y α_{VNA} . El error entre las líneas de tendencia $\alpha_{DPT\ fit}$ y $\alpha_{VNA\ fit}$ es del 20.8 %. Este error es elevado y se debe a los errores inherentes a los diferentes equipos e instrumentos de medida, montaje de ensayo y a los errores debidos al procesado de las señales obtenidas con el osciloscopio.

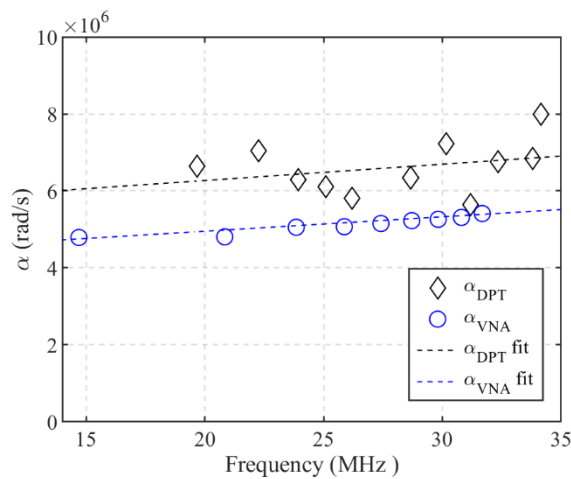


Fig. 5.15. Comparación del factor de atenuación α extraído con el ensayo de doble pulso y con el método de medida de impedancia por barrido de tensión.

Respecto a la medida de las oscilaciones en el test de doble pulso, el error de medida introducido por el montaje de ensayo se debe principalmente a las impedancias de las pistas de cobre y del adaptador BNC que permiten la conexión de la sonda con los terminales drenaje-fuente del SiC MOSFET. Asimismo, la conexión de la sonda pasiva de tensión con el conector coaxial de medida se realiza por encaje mecánico a presión donde se producen diferencias entre series de medidas. Estos errores debidos al montaje de ensayo y conexiones no se pueden compensar con el osciloscopio ya que solo compensa la sonda. En cambio, en la medida con VNA, el montaje de ensayo y los conectores son calibrados para compensar posibles errores en el montaje y conexiones.

Los errores de la instrumentación se deben a los límites de trabajo en frecuencia de los equipos. El VNA utilizado tiene 1.5 GHz de ancho de banda y el error en la medida está entre el 2% y el 7.1 % en función de la impedancia y la frecuencia medidas. Respecto a la medida con sonda pasiva TPP0250, aunque su ancho de banda es de 250 MHz, presenta una impedancia equivalente variable en la frecuencia (Fig. 5.16) como se muestra en su hoja característica.

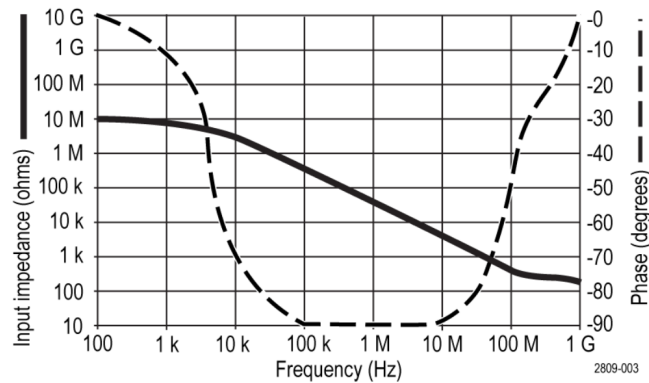


Fig. 5.16. Impedancia equivalente de la sonda pasiva TPP0250.

Según la Fig. 5.16 en el rango de las frecuencias de medida (15 -40 MHz), la impedancia de la sonda no es 10 MΩ, sino 3-4 kΩ. Por tanto, a esas frecuencias, las impedancias parásitas del montaje que están en serie con la sonda ya no son despreciables y pueden afectar al valor de la tensión del armónico de frecuencia de la oscilación, reduciendo la tensión que mide el osciloscopio. Este efecto es más pronunciado conforme se incrementa la frecuencia ya que la impedancia de la sonda disminuye. Asimismo, la sonda pasiva presenta tolerancias en su atenuación (10:1) de $\pm 2.2\%$ que afectan al valor medido por el osciloscopio que considera una atenuación fija (10:1).

Cuando se procesa la tensión V_{DS} medida, cada muestra tiene un error que incluye la resolución del equipo y el ruido de fondo en el equipo. Este ruido de fondo puede ser de $\pm 3V$ cuando la escala de tensión en el osciloscopio está en 50 V/div como en ensayo a 200 V. Cuando se calculan los valores de los picos máximos locales se produce un error que se traslada directamente al ajuste como una dispersión en los valores de α_{DPT} . Asimismo, si se aplica un filtrado digital a la medida, la forma de onda se suaviza y atenúa, como consecuencia aumenta la atenuación α_{DPT} , falseando los resultados.

En conclusión, las oscilaciones que aparecen en los SiC MOSFET durante una *conmutación dura* en un semipunto se pueden predecir en frecuencia y duración mediante R_{CCL} y L_{CCL} . (conocida la capacidad equivalente del SiC MOSFET). Para ello, se han comparado R_{CCL} y L_{CCL} obtenidas con el ajuste de la atenuación de los resultados del test de doble pulso ($R_{CCL,DPT}$ y $L_{CCL,DPT}$), con las obtenidas a partir de la medida de impedancias por barrido de tensión con el VNA ($R_{CCL,VNA}$ y $L_{CCL,VNA}$). Se observa una buena coincidencia entre ambos métodos para obtener la inductancia de conmutación L_{CCL} con un error del 2.5 %. Sin embargo, la resistencia $R_{CCL,DPT}$ muestra dispersión en sus valores debido principalmente a las impedancias de la instrumentación y al procesado de las formas de onda en el tiempo que hacen difícil comparar con $R_{CCL,VNA}$. Para estimar un error entre $R_{CCL,DPT}$ y $R_{CCL,VNA}$ se han utilizado líneas de tendencia que muestran un 20.8 % de error. Las medidas de $R_{CCL,VNA}$ apenas presentan dispersión y cuando se repiten estas medidas se encuentra repetitividad, por todo ello se considera el valor de $R_{CCL,VNA}$ obtenido es más correcto que $R_{CCL,DPT}$. Además, se han obtenido R_{CCL} y L_{CCL} en el rango de las frecuencias de oscilación del semipunto. Finalmente, hay que destacar que, con el método de medida de impedancias por barrido de tensión con el VNA, solo es necesario un conector SMA, que no altera el diseño, en la entrada del busbar, frente al montaje de ensayo específico que requiere el test de doble pulso.

5.4. Metodología de apantallamiento del bucle de corriente de conmutación

5.4.1 Apantallamiento magnético del bucle de conmutación

La corriente de conmutación es la causante de las interferencias electromagnéticas en un semipunto con SiC MOSFET. Durante la conmutación las capacidades parásitas de los SiC MOSFET cambian de tensión en un intervalo de tiempo de decenas de ns y se produce un transitorio de corriente (impulso) en su carga y descarga. Esto implica altas variaciones de corriente (di/dt) que circula desde el condensador de bus, a través de las impedancias del circuito, hacia las capacidades parásitas de los SiC MOSFET. La trayectoria de la corriente del bucle de conmutación i_{ccl} se puede ver en la Fig. 5.17.

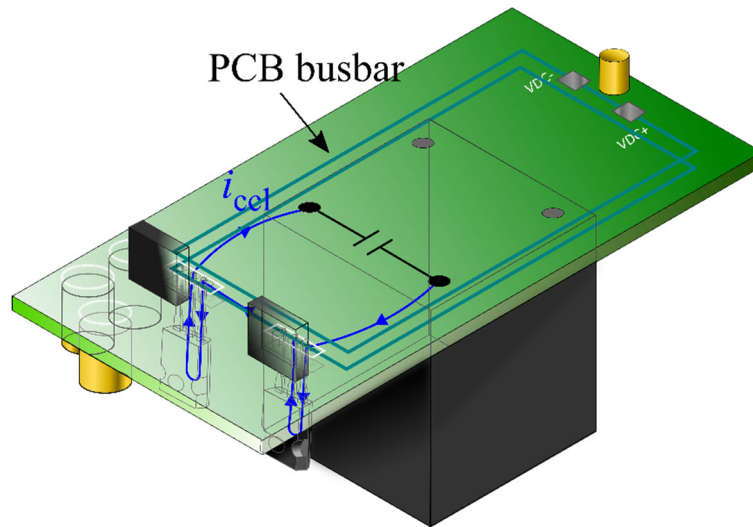


Fig. 5.17. Trayectoria de la corriente de conmutación en el semipunto desarrollado.

Semipunto desarrollado y trayectoria de la corriente de conmutación

Se observa que la corriente i_{ccl} circula principalmente sobre el plano de la PCB a excepción del tramo correspondiente a los SiC MOSFET. En la Fig. 5.18 se puede ver una vista (desde arriba) de las pistas y del PCB busbar del semipunto, donde HS y LS son los SiC MOSFET superior e inferior respectivamente. La tira de pines H1 y H2 sirve para conectar la tarjeta PCB driver a los transistores SiC MOSFET. Además, se muestra la trayectoria de i_{ccl} considerando solo la corriente en el plano visualizado de la PCB.

En la Fig. 5.18 las pistas y planos de cobre de la cara superior se muestran en color rojo y las de la cara inferior en color azul de la PCB del semipunto. En color negro se muestra el dieléctrico aislante que hace de base de la PCB (sustrato FR4). Para cumplir con las normas de aislamiento en un convertidor de potencia conectado a la red eléctrica [95][96], se ha diseñado el semipunto con una distancia de separación de 3 mm entre pistas sobre la misma cara cuya diferencia de tensión sea la máxima tensión nominal de trabajo $V_{bus} = 800 \text{ V}$, tensión frecuente en inversores trifásicos. Esta distancia soporta un impulso de tensión de hasta 4 kV según [96]. En la Fig. 5.18 se puede observar que entre el plano de cobre del busbar (rojo) de la izquierda, que está conectado a tierra, y las pistas que conectan con el semipunto (en rojo a la derecha) hay 3 mm de separación. La conexión del SiC MOSFET superior (HS) con V_{bus} se hace en el plano

inferior, mientras que la conexión del SiC MOSFET inferior (LS) a tierra (plano superior) se hace a través de un grupo de agujeros chapados en paralelo o vías (GND vías). Además, para medir la corriente se ha dispuesto una resistencia shunt (R_{shunt}) de 50 m Ω formada por 6 resistencias de montaje superficial de 300 m Ω en paralelo.

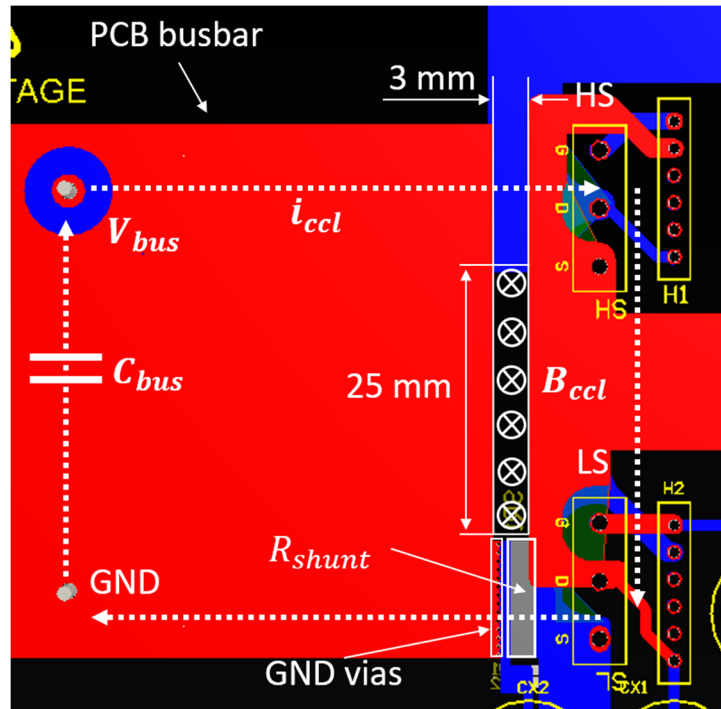


Fig. 5.18. Trayectoria de la corriente de conmutación en el semipunto desarrollado, vista superior de la PCB.

Apantallamiento propuesto del campo magnético B_{ccl}

Para respetar las distancias de aislamiento se ha formado un hueco de 3 mm de ancho por 25 mm de largo. En ese hueco, generado por la corriente i_{ccl} , aparece un campo magnético B_{ccl} asociado a la L_{CCL} . Para minimizar este campo B_{ccl} , basándose en el principio de funcionamiento del apantallamiento magnético, se propone apantallar con dos planos paralelos de cobre el área de 3x25 mm. En los planos de apantallamiento se inducirán corrientes de Foucault que originan un campo inducido opuesto al campo B_{ccl} , reduciéndose el flujo magnético en el área y L_{CCL} , de forma análoga al apantallamiento de la sonda flexible (Fig. 2.5).

Para ello se emplea una PCB de 4 capas, de las cuales se han utilizado dos planos para el apantallamiento magnético local. El diseño de la PCB es idéntico al anterior, la cara superior e inferior no se han modificado. Sin embargo, se han incluido dos planos paralelos de 9x31 mm de 35 μm de espesor en dos capas interiores. En la Fig. 5.19 se muestra la dimensión del apantallamiento propuesto y su posición sobre el diseño original.

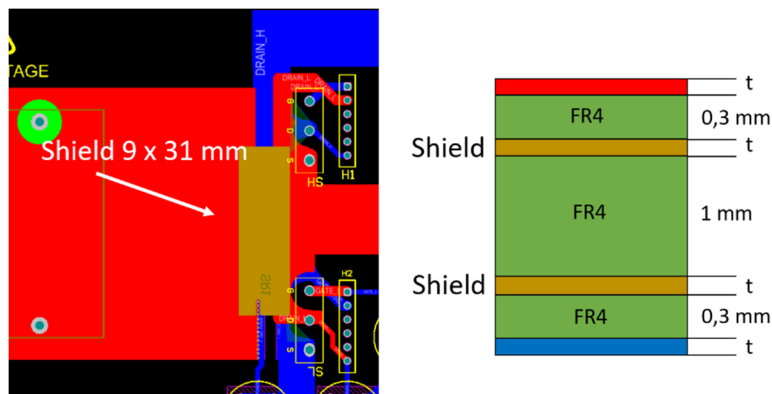


Fig. 5.19. Posición del apantallamiento magnético sobre la PCB del semipunte, vista superior (izquierda) y corte transversal (derecha).

Las líneas de campo magnético B_{ccl} en el hueco no son únicamente perpendiculares al plano de la PCB, sino que tienen componentes en otras direcciones debido a la trayectoria de la corriente de conmutación i_{ccl} (Fig. 5.17). Con el fin de aumentar el área efectiva del apantallamiento y mitigar al máximo el campo magnético, se ha ampliado 3 mm el apantallamiento en todas las direcciones posibles en el plano de la PCB. Asimismo, el apantallamiento se ha dispuesto lo más cerca posible de los planos y pistas que conducen la corriente i_{ccl} para apantallar el mayor número de líneas de campo (B_{ccl}) posible, de modo que se sitúa un plano cerca de la cara superior (a 0.3 mm) y otro cerca de la cara inferior (a 0.3mm). La capacidad parásita que forman las placas del apantallamiento entre sí es aproximadamente de 11 pF ($\epsilon_{r,FR4}=4.8$). En la Fig. 5.20 se compara la impedancia y la fase medida (Z_{in}) y la impedancia y fase de la carga (Z_L), medidas según se describe en la sección 3.4 (sin el condensador de bus), en el semipunte con apantallamiento y sin apantallamiento, en ambos casos no está conectado el driver.

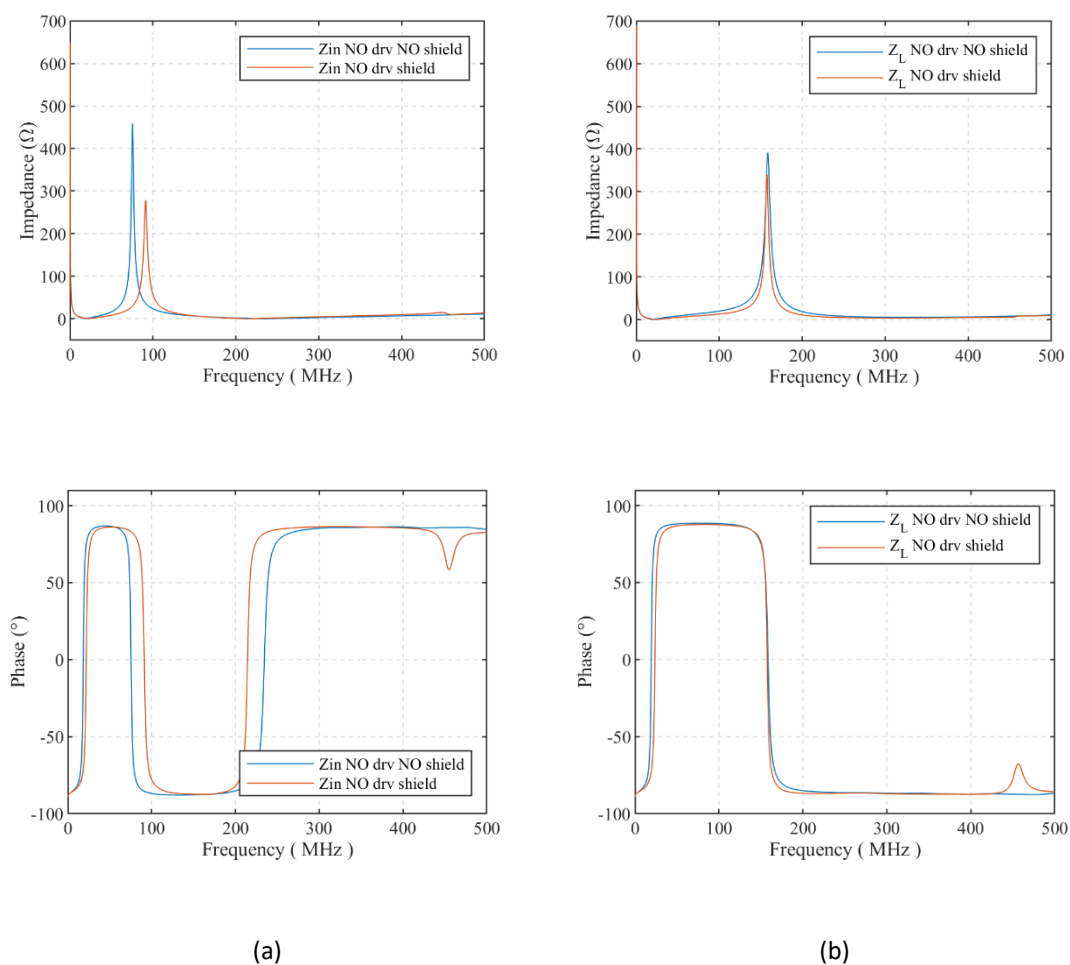


Fig. 5.20. Comparación de la impedancia y fase medidas sin driver, en un semipunte con apantallamiento (naranja) y sin apantallamiento (azul): (a) impedancia de entrada (Z_{in}), (b) impedancia de carga (Z_L).

En la Fig. 5.20a se observa la comparación entre la medida de Z_{in} , de la impedancia y de la fase en el semipunte apantallado y sin apantallar. Ambas muestran un comportamiento similar, sin embargo, se observa que las frecuencias de resonancia y antiresonancia se han desplazado levemente debido a un cambio en la impedancia Z_L , ya que el busbar no ha sido modificado. Asimismo, existe un cambio en el comportamiento en la impedancia y en la fase en torno a 450 MHz que se debe a una impedancia parásita formada por elementos de muy bajo valor que no son objeto de este trabajo.

En la Fig. 5.20b se muestra la comparación entre la impedancia y la fase calculadas para la impedancia de carga (Z_L) con y sin apantallamiento. El comportamiento de la impedancia y de la fase de Z_L con apantallamiento y sin apantallamiento coinciden en gran parte del espectro y se pueden describir ambas con un circuito RLC serie (Z_{RLC}) en paralelo con un circuito RC (Z_{RC}). El principal cambio se observa en la frecuencia de resonancia serie ω_s , que se desplaza desde 19.24 MHz (sin apantallamiento) hasta 23.60 MHz (con apantallamiento) y, como la capacidad del SiC MOSFET (en el orden de nF) predomina a esa frecuencia frente a la capacidad del apantallamiento (11 pF) el aumento en la frecuencia de resonancia se debe únicamente a la reducción efectiva de la inductancia L_{CCL} .

En la Fig. 5.21 se muestra la comparación de la tensión drenaje-fuente (V_{DS}) en el momento de la conmutación a corte de 27 A obtenida al realizar un ensayo de doble pulso con tensión de alimentación 200 V sobre el transistor inferior de la rama del semipunto sin apantallamiento y con apantallamiento.

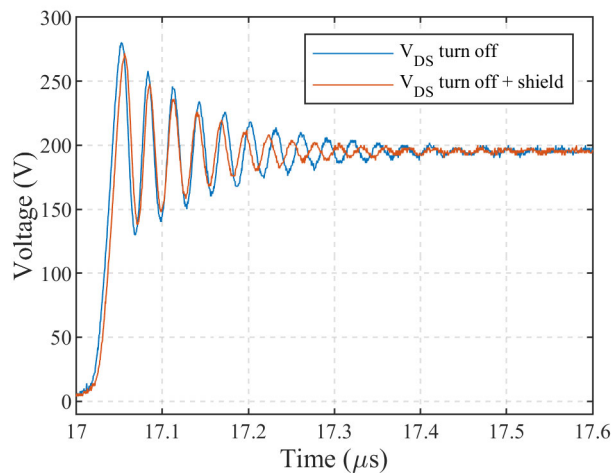


Fig. 5.21. Efecto del apantallamiento en la tensión drenaje-fuente.

Los resultados muestran que la frecuencia de resonancia obtenida cuando el semipunto está sin apantallar es 33.49 MHz y cuando esta apantallado es 36.25 MHz. Esta diferencia en frecuencia muestra una reducción en la inductancia. La inductancia extraída de la oscilación según (5.6) cuando el semipunto no está apantallado es de 67.38 nH. En el caso apantallado la inductancia se reduce hasta 56.69 nH. Esto representa una reducción

de 10.69 nH. Teniendo en cuenta que parte de esa inductancia pertenece a ESL del condensador de bus (que es 31.17 nH) podemos afirmar que el apantallamiento ha reducido significativamente la L_{ccl} . Restando el efecto de la inductancia ESL del condensador, la inductancia sin apantallamiento queda en 36.21 nH, valor que se reduce hasta 25.52 nH por el apantallamiento aplicado, eso representa una reducción del 29.52%. Además, no se observan variaciones en la dV/dt en V_{DS} durante el transitorio de conmutación a causa de la capacidad parásita del apantallamiento magnético local. La reducción en la inductancia también se observa en el descenso de la sobretensión transitoria superpuesta a la tensión de bus (200 V) en la conmutación a corte que se reduce de 80 V a 69 V.

Por último, en la Fig. 5.22 se muestra el efecto del apantallamiento sobre la conmutación de la corriente durante el encendido (turn-on) del transistor inferior del semipunto.

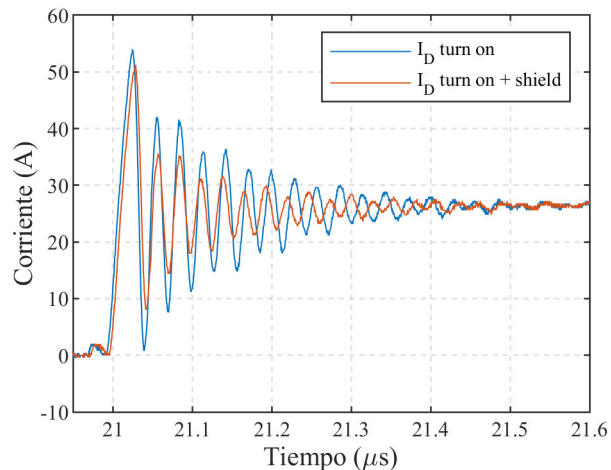


Fig. 5.22. Efecto del apantallamiento en la corriente de drenaje-durante un turn-on.

En resumen, la efectividad del apantallamiento se cuantifica en una reducción del 29.52% en L_{ccl} . Debido a esta reducción de L_{ccl} se produce un aumento en la frecuencia de resonancia en la corriente (idéntica que en tensión) (de 33.49 MHz a 36.25 MHz). Asimismo, se observa que la atenuación de la corriente en el semipunto apantallado es mayor y, por tanto, las oscilaciones en corriente se extinguen antes. En convertidores de potencia una menor duración en las oscilaciones, permite reducir el tiempo entre conmutaciones, ampliando el rango del ciclo de trabajo de los transistores y,

permitiendo trabajar a frecuencias de conmutación mayores. Asimismo, la mitigación de las oscilaciones en tensión y corriente llevan a una reducción en las emisiones electromagnéticas a la frecuencia de la oscilación y reduce el riesgo de falsos disparos en la rama del semipunto.

Capítulo 6.

Conclusiones y líneas futuras

6.1. Conclusiones

Para poder alcanzar la frontera en potencia y en frecuencia en el desarrollo de convertidores basados en tecnología SiC (sin considerar la paralelización) un requisito fundamental es la minimización de las impedancias parásitas en el bucle de conmutación. Ello permite reducir las pérdidas y el estrés en los dispositivos debido a sobretensiones y oscilaciones.

Con este objetivo, en esta tesis se han desarrollado técnicas de caracterización de las impedancias parásitas y propuesto soluciones para su mitigación. Por simplicidad y economía, el estudio se ha centrado en un semipunto con PCB busbar basado en tecnología de carburo de silicio (SiC). Para caracterizar la impedancia del bucle de corriente de conmutación (Z_{ccl}) se han desarrollado técnicas de medida basadas en la medida de la impedancia con analizador vectorial de redes (VNA).

Para medir las impedancias entre distintos puntos eléctricos separados varios cm son necesarios montajes específicos para cada medida y su calibración. Para poder realizar la medida de la impedancia en diferentes puntos sin necesidad de múltiples montajes específicos de ensayo, se ha diseñado una sonda de medida apantallada con conexión flexible. El principio de funcionamiento de la sonda se basa en el apantallamiento magnético (plano de cobre perpendicular al plano de medida) del retorno por el cable de tierra. Esto permite caracterizar la impedancia de pistas en la PCB hasta 350 MHz y hasta 150 MHz cuando existen grandes planos de cobre cerca debido a una capacidad parasita no compensable. Destacar que las sondas comerciales alcanzan 13 MHz.

Conforme la frecuencia y la longitud del busbar aumentan, la propagación deja de poder considerarse instantánea y los efectos que se derivan deben ser considerados. Mediante el enfoque de parámetros distribuidos, se ha desarrollado un procedimiento para caracterizar la impedancia del bucle de corriente de conmutación responsable de las oscilaciones en las conmutaciones. En el mismo se realiza el análisis del PCB busbar

laminado (que son dos planos paralelos) para caracterizar, con la teoría de líneas de transmisión, la impedancia Z_L que presentan los SiC MOSFET y las conexiones con el busbar.

Esta impedancia Z_L , se modela como una impedancia RLC serie (Z_{RLC}) en paralelo con una impedancia RC serie (Z_{RC}). Los valores de sus elementos se obtienen analizando las frecuencias de resonancia y antiresonancia de Z_L .

Con la medida de la impedancia del condensador de bus, de las impedancias parásitas del SiC MOSFET (mostradas en la Tabla 4.1) y de las parásitas del circuito de disparo de puerta (mostradas en la Tabla 4.3) se obtiene por simulación la impedancia Z_{ccl} (la impedancia del bucle de corriente de conmutación) considerando el tramo de la PCB busbar entre el condensador y los SiC MOSFET como una línea de transmisión.

La caracterización anterior de la impedancia Z_{ccl} se realiza con la tensión del equipo de medida (inferior a 1 V). Sin embargo, las capacidades parásitas de los SiC MOSFET son fuertemente no lineales con la tensión. Para tener en cuenta esa dependencia de la capacidad con la tensión, se aplica un barrido en tensiones continuas hasta 40 V, con ello se produce el desplazamiento de la frecuencia de resonancia serie de Z_{RLC} y se obtiene la inductancia y la resistencia del bucle de corriente de conmutación en el rango de las frecuencias de oscilación del semipunto. Con esos dos parámetros se puede predecir (conocida la capacidad equivalente del SiC MOSFET) la frecuencia de oscilación y la atenuación de la oscilación, y por tanto el tiempo que duran esas oscilaciones. Estos resultados se han contrastado con los que se obtienen con el método convencional del test de doble pulso, observando una muy buena coincidencia en la inductancia del bucle de conmutación, aunque existe dispersión entre ambos métodos en la medida de la resistencia equivalente del bucle de conmutación. La principal ventaja del método propuesto es el ahorrar en el montaje de ensayo específico que requiere el test de doble pulso para convertidores SiC MOSFET.

Por otra parte, dado que, en el diseño de las pistas en un convertidor, aparecen huecos/ranuras entre el PCB busbar y los SiC MOSFET del semipunto. La circulación de la corriente por el bucle de corriente de conmutación en el plano de la PCB tiene

asociado un campo magnético que es responsable de la inductancia parásita del bucle. Introduciendo en capas interiores de la PCB un apantallamiento formado por dos planos de cobre que cubran la superficie del hueco se reduce el flujo magnético por las corrientes inducidas en el apantallamiento. Esto resulta en una reducción del flujo magnético que da lugar a una reducción en la inductancia total del bucle de corriente de conmutación que lleva a reducir la amplitud de las oscilaciones y la emisión electromagnética.

6.2. Contribuciones originales

Las principales contribuciones originales de esta tesis doctoral son cinco:

- Desarrollo de una sonda apantallada y flexible para la medida de la impedancia en pistas de placas de circuito impreso hasta 350 MHz sin la necesidad de un montaje de ensayo ad hoc.
- Análisis de las impedancias parásitas de un semipunte formado por un PCB busbar laminado con SiC MOSFET, mediante el enfoque de parámetros distribuidos se ha desarrollado un procedimiento para caracterizar la impedancia del bucle de corriente de conmutación responsable de las oscilaciones en las conmutaciones.
- Desarrollo de una técnica de caracterización de la impedancia parásita del bucle de corriente de conmutación que aprovecha la no linealidad de las capacidades parásitas del SiC MOSFET con un barrido de tensión continua. Esto permite predecir la frecuencia de las oscilaciones y su atenuación mediante la medida de impedancias frente a la metodología de ensayo de doble pulso.
- Desarrollo de un apantallamiento magnético local que reduce la inductancia parásita del bucle de corriente de conmutación en un semipunte con un PCB busbar. Como consecuencia, se reducen la duración de las oscilaciones en la tensión de los SiC MOSFET y las emisiones electromagnéticas.
- Descubrimiento de una ligera influencia en la tensión de ruptura en avalancha con la variación de la tensión de puerta y la temperatura en un SiC MOSFET de

tecnología de puerta plana. La influencia de la tensión de puerta es independiente de la temperatura, por lo que se puede modelar mediante dos funciones independientes entre sí.

En el periodo de desarrollo de esta tesis se han generado las siguientes publicaciones en revistas y congresos

- A. Llamazares, M. García-Gracia and S. Martín-Arroyo, "Characterization of Parasitic Impedance in PCB Using a Flexible Test Probe Based on a Curve-Fitting Method," in *IEEE Access*, vol. 9, pp. 40695-40705, 2021, doi: 10.1109/ACCESS.2021.3064190.
- A. Llamazares, M. García-Gracia, S. Martín-Arroyo and J. A. Cebollero, "SiC MOSFET Avalanche Breakdown Voltage Model for Temperature and Gate Voltage Dependence," *2021 4th International Symposium on Advanced Electrical and Communication Technologies (ISAECT)*, 2021, pp. 1-4, doi: 10.1109/ISAECT53699.2021.9668386.
- Martín-Arroyo, Susana; Cebollero, José A.; García-Gracia, Miguel; Llamazares, Álvaro. 2021. "Stand-Alone Hybrid Power Plant Based on SiC Solar PV and Wind Inverters with Smart Spinning Reserve Management" *Electronics* 10, no. 7: 796. <https://doi.org/10.3390/electronics10070796>.
- S. Martín-Arroyo, M. García-Gracia, Á. Llamazares, D. C. López and J. H. Ciudad, "Educational synthesis for LCL Filter Design and Performance Analysis for a 20-kW, 25-kHz SiC inverter," *2022 Congreso de Tecnología, Aprendizaje y Enseñanza de la Electrónica (XV Technologies Applied to Electronics Teaching Conference)*, 2022, pp. 1-6, doi: 10.1109/TAAE54169.2022.9840623.
- Martín-Arroyo, S., Cañete, D., Ciudad, J.H., Llamazares, A., García-Gracia, M., "Core losses analysis of the LCL filter inductor for SiC-based inverter", *Renewable Energy and Power Quality Journal*, 2022, 20, pp. 263–267, doi: 10.24084/repqj20.281.
- Cañete, D., Martín-Arroyo, S., García-Gracia, M., Llamazares, A., Sáez, I., "An Anti-islanding protection based on RoCoF compliant with ENTSO-E and IEC 62116",

Renewable Energy and Power Quality Journal, 2022, 20, pp. 348–352, doi: 10.24084/repqj20.307.

6.3. Líneas de trabajo futuras

A continuación, se describen las posibles líneas futuras de este trabajo:

- Estudio mediante la teoría de líneas de transmisión de topologías más complejas como es un inversor trifásico.
- Estudio de las impedancias parásitas del semipunto como una red de dos puertos, con el fin de modelar su impedancia para aplicaciones de compatibilidad electromagnética.
- Estudio de la posibilidad de reflexiones entre el busbar y los SiC MOSFET en convertidores de gran potencia y dimensiones considerables.
- Estudio y caracterización de posibles apantallamientos magnéticos para otras topologías y encapsulados de los SiC MOSFET.

Anexo I. Impedancia compleja de la impedancia de carga Z_L

Este anexo muestra el cálculo del paralelo de dos impedancias complejas Z_1 y Z_2 , así como la aproximación para la obtención del cálculo de la frecuencia de antiresonancia para la impedancia de carga Z_L descrita en la Fig. 3.9.

I.A. Impedancia del paralelo de dos impedancias complejas

Sean dos impedancias complejas Z_1 y Z_2 definidas como

$$Z_1 = R_1 + jX_1 \quad (I.1)$$

$$Z_2 = R_2 + jX_2 \quad (I.2)$$

donde R_1 y R_2 son la resistencia y, X_1 y X_2 la reactancia de las impedancias Z_1 y Z_2 respectivamente.

La impedancia equivalente Z_p del paralelo de Z_1 y Z_2 es

$$Z_p = R_p + jX_p \quad (I.3)$$

donde R_p y X_p son la resistencia y reactancia equivalentes de la impedancia Z_p que se obtiene como

$$Z_p = \frac{Z_1 Z_2}{Z_1 + Z_2} \quad (I.4)$$

Se resuelve la división compleja de Z_p multiplicando el numerador y el denominador por el complejo conjugado del denominador de Z_p

$$Z_p = \frac{(Z_1 Z_2)(\overline{Z_1 + Z_2})}{(Z_1 + Z_2)(\overline{Z_1 + Z_2})} = \frac{Z_3}{Z_4} \quad (I.5)$$

Donde Z_3 y Z_4 son el numerador y denominador de la división compleja de Z_p . Los factores de (I.5) expresados en función de R_1 , R_2 , X_1 y X_2 son

$$Z_1 Z_2 = (R_1 R_2 - X_1 X_2) + j(R_1 X_2 + R_2 X_1) \quad (I.6)$$

$$(Z_1 + Z_2) = (R_1 + R_2) + j(X_1 + X_2) \quad (1.7)$$

$$\overline{(Z_1 + Z_2)} = (R_1 + R_2) - j(X_1 + X_2) \quad (1.8)$$

La parte real del numerador (Z_3) de (1.5) es

$$\begin{aligned} \operatorname{Re} Z_3 &= (R_1 R_2 - X_1 X_2)(R_1 + R_2) + (R_1 X_2 + R_2 X_1)(X_1 + X_2) = \\ &= R_1^2 R_2 - X_1 X_2 R_1 + R_2^2 R_1 - X_1 X_2 R_2 + X_1 X_2 R_1 + X_1^2 R_2 + X_2^2 R_1 + X_1 X_2 R_2 = \\ &= R_1^2 R_2 + R_2^2 R_1 + X_1^2 R_2 + X_2^2 R_1 \end{aligned}$$

Agrupando términos se obtiene que la parte real de Z_3 es

$$\operatorname{Re} Z_3 = (R_1^2 + X_1^2)R_2 + (R_2^2 + X_2^2)R_1 \quad (1.9)$$

La parte compleja del numerador (Z_3) de (1.5) es

$$\begin{aligned} \operatorname{Im} Z_3 &= (R_1 X_2 + R_2 X_1)(R_1 + R_2) - (R_1 R_2 - X_1 X_2)(X_1 + X_2) = \\ &= X_1^2 X_2 - R_1 R_2 X_1 + X_2^2 X_1 - R_1 R_2 X_2 + R_1^2 X_2 + R_2 R_1 X_1 + R_1 R_2 X_2 + R_2^2 X_1 = \\ &= X_1^2 X_2 + X_2^2 X_1 + R_1^2 X_2 + R_2^2 X_1 \end{aligned}$$

Agrupando términos se obtiene que la parte compleja de Z_3 es

$$\operatorname{Im} Z_3 = (R_1^2 + X_1^2)X_2 + (R_2^2 + X_2^2)X_1 \quad (1.10)$$

El denominador (Z_4) de (1.5) es el producto entre (1.7) y (1.8) y, su resultado es real y positivo ya que $Z\bar{Z} = |Z|^2$ donde Z es un número complejo y \bar{Z} su complejo conjugado. Entonces Z_4 se calcula como

$$Z_4 = (R_1 + R_2)^2 + (X_1 + X_2)^2 \quad (1.11)$$

La resistencia equivalente R_p se obtiene del cociente entre (1.9) y (1.11) según (1.5) y se expresa como

$$R_p = \frac{(R_1^2 + X_1^2)R_2 + (R_2^2 + X_2^2)R_1}{(R_1 + R_2)^2 + (X_1 + X_2)^2} \quad (I.12)$$

La reactancia equivalente X_p se obtiene del cociente entre (I.10) y (I.11) según (I.5) y se expresa como

$$X_p = \frac{(R_1^2 + X_1^2)X_2 + (R_2^2 + X_2^2)X_1}{(R_1 + R_2)^2 + (X_1 + X_2)^2} \quad (I.13)$$

Por tanto, la impedancia equivalente Z_p en función de R_1 , R_2 , X_1 y X_2 es

$$Z_p = \frac{(R_1^2 + X_1^2)R_2 + (R_2^2 + X_2^2)R_1}{(R_1 + R_2)^2 + (X_1 + X_2)^2} + j \frac{(R_1^2 + X_1^2)X_2 + (R_2^2 + X_2^2)X_1}{(R_1 + R_2)^2 + (X_1 + X_2)^2} \quad (I.14)$$

I.B. Cálculo de la frecuencia de antiresonancia en Z_L

La impedancia de carga Z_L (Fig. 3.9) es el paralelo entre un circuito RLC serie (Z_{RLC}) formado por R_1 , L_1 y C_1 y un circuito RC serie (Z_{RC}) formada por R_2 y C_2 . La antiresonancia entre ambos circuitos se produce cuando la parte compleja de la impedancia equivalente del paralelo (I.14) es cero.

Se resuelve la siguiente ecuación

$$(R_1^2 + X_1^2)X_2 + (R_2^2 + X_2^2)X_1 = 0$$

R_1 y R_2 son de bajo valor y se cumple que $R_1^2 + X_1^2 = X_1^2$ y $R_2^2 + X_2^2 = X_2^2$ a la frecuencia de antiresonancia

$$(X_1^2)X_2 + (X_2^2)X_1 = 0$$

Se divide por X_1 ya que $X_1 \neq 0$ y $X_2 \neq 0$ porque tienen elementos reactivos L_1 y C_1 , y C_2 respectivamente.

$$(X_1)X_2 + (X_2^2) = 0$$

Existen dos soluciones:

$$X_1 = X_2 = 0$$

$$X_1 = -X_2$$

La solución $X_1 = X_2 = 0$ es imposible ya que $X_1 \neq 0$ y $X_2 \neq 0$.

La solución $X_1 = -X_2$ es la condición de antiresonancia.

Se resuelve $X_1 = -X_2$ para despejar la frecuencia de antiresonancia ω_p .

Las reactancias X_1 y X_2 a la frecuencia de antiresonancia ω_p en función de C_1 , L_1 y C_2 son

$$X_1 = \omega_p L_1 - \frac{1}{\omega_p C_1} = \frac{\omega_p^2 L_1 C_1 - 1}{\omega_p C_1}$$

$$X_2 = \frac{-1}{\omega_p C_2}$$

ω_p se despeja de la condición de antiresonancia $X_1 = -X_2$

$$\frac{\omega_p^2 L_1 C_1 - 1}{\omega_p C_1} = \frac{1}{\omega_p C_2}$$

$$\omega_p^2 L_1 C_1 = 1 + \frac{C_1}{C_2}$$

$$\omega_p^2 = \frac{1}{L_1} \frac{(C_1 + C_2)}{C_1 C_2} \quad (I.15)$$

Anexo II. Dependencia de la tensión de avalancha con la tensión de puerta

En este Anexo se propone un modelo que describe la tensión por ruptura en avalancha (BV_{DS}). El modelo tiene en cuenta la dependencia de la tensión puerta-fuente (V_{GS}) y la dependencia de la temperatura (T). Ambas dependencias se deben a fenómenos diferentes, por eso se ha considerado para caracterizar BV_{DS} el producto de dos funciones cuadráticas de variables independientes (V_{GS} and T). Los coeficientes de estas funciones se identifican mediante el método de los mínimos cuadrados no lineales. Con la técnica propuesta se caracteriza un SiC MOSFET de 650 V. EL modelo con funciones cuadráticas fue presentando en. Posteriormente, se ha optimizado el modelo mediante funciones exponenciales reduciendo el número de coeficientes a determinar. En todos los casos los resultados obtenidos muestran una buena concordancia entre los valores experimentales y los esperados.

II.A. Introducción

Las sobretensiones durante la operación de apagado (turn-off) pueden ser significativas trabajando con una alta velocidad de conmutación. Este problema puede aumentar drásticamente la corriente de drenaje, y como consecuencia los transistores pierden la capacidad de bloquear la tensión entre drenaje y fuente. El dispositivo se puede dañar si no es capaz de soportar el régimen de avalancha. Para lograr un diseño óptimo en los inversores basados en SiC MOSFET se requiere de modelos precisos en condiciones de funcionamiento extremas [97] [98] que tienen que ser capaces de simular los efectos electrotérmicos. Sin embargo, tan solo unos pocos artículos tratan sobre tensiones de bloqueo en régimen de avalancha. Estos artículos se centran en la energía que el SiC MOSFET puede disipar en régimen de avalancha con tensión de puerta negativa. Estas investigaciones han sido realizadas tanto para transistores con tecnología de puerta plana [99] como para tecnología de puerta trinchera (simétrica y asimétrica) [100].

Este capítulo investiga y modela la dependencia de la tensión de ruptura de avalancha con la tensión entre puerta y fuente (V_{GS}) y la temperatura para un MOSFET plano de

SiC. El comportamiento del voltaje de ruptura de avalancha (BV_{DS}) se puede modelar como el producto de dos funciones de estas dos variables independientes (V_{GS} and T). Ambas funciones vienen dadas por un polinomio de segundo grado cuyos parámetros se ajustan por el método de mínimos cuadrados. Además, se ha desarrollado una función de orden reducido basada en exponenciales que reduce el número de variables a dos. El error entre los valores estimados y medidos es suficientemente bueno para validar el modelo propuesto.

II.B. Montaje experimental

Cuando se alcanza la tensión BV_{DS} entre el drenaje y la fuente del SiC MOSFET, la corriente aumenta rápidamente debido al impacto de ionización. El campo eléctrico aplicado al semiconductor genera electrones libres o huecos adicionales. Estos portadores adicionales pueden dar lugar a una cadena de eventos de ionización, lo que conduce a la multiplicación por avalancha, si el campo es lo suficientemente fuerte. Entonces, el SiC MOSFET pierde la capacidad de bloquear la tensión y se produce una avalancha de corriente. Según el datasheet [86], el régimen de avalancha del SiC MOSFET (650 V, 100 A) utilizado comienza cuando la corriente supera un corriente umbral I_{av0} de 1mA. La Fig.II.1 muestra un esquema del montaje experimental utilizado para caracterizar la dependencia del BV_{DS} con V_{GS} y T .

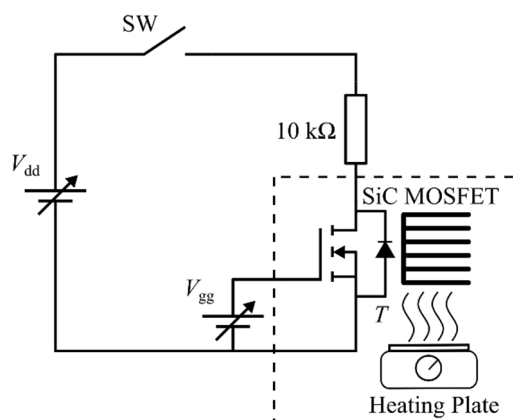


Fig.II.1. Esquema del montaje experimental.

Para la caracterización experimental, se aplican pulsos de tensión simples de corta duración y espaciados en el tiempo entre el drenaje y la fuente del SiC MOSFET como

los mostrados en la Fig.II.2. La amplitud de la tensión se incrementa hasta que la corriente alcanza I_{av0} . Como consecuencia de la corriente I_{av0} (durante el régimen de avalancha), se produce un calentamiento a causa de la potencia disipada. Además, cuando la temperatura aumenta, la corriente de avalancha disminuye. Si los pulsos fueran de larga duración, el calentamiento del semiconductor podría provocar una desviación en la medición de BV_{DS} con respecto a la temperatura. Por lo tanto, gracias a la corta duración de los pulsos, el error de tensión debido a la deriva térmica puede considerarse insignificante.

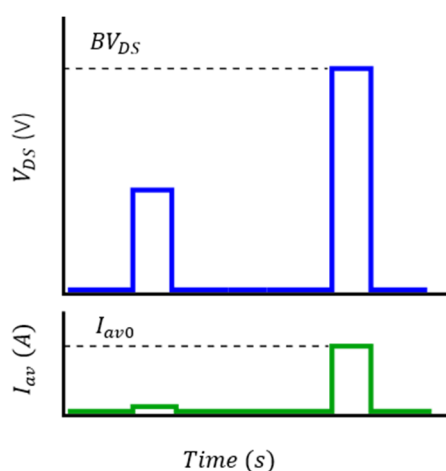


Fig.II.2. Pulsos únicos de tensión hasta alcanzar la corriente I_{av0} .

La amplitud de los pulsos de tensión se controla mediante una fuente de tensión continua variable V_{dd} . Una resistencia de $10\text{ k}\Omega$ actúa como limitador de corriente para evitar la destrucción accidental del MOSFET de SiC durante la prueba.

Esta resistencia en serie también permite medir la corriente. Las sobretensiones, debidas al efecto inductivo de las inductancias parásitas del circuito, son despreciables debido al bajo valor de la corriente. Por último, la tensión entre el terminal de puerta y el terminal de fuente del transistor está controlada por una fuente de tensión continua V_{gg} .

La caracterización térmica del SiC MOSFET se ha realizado con una placa calefactora en la que el SiC MOSFET está montado sobre un disipador de calor. El disipador de calor de aluminio anodizado de color negro está colocado sobre la placa calefactora.

El calentamiento interno debido al impulso de tensión se considera despreciable. Asimismo, se espera que la temperatura en la lámina delgada de cobre (Fig.II.3) sobre la que se fija el semiconductor(leadframe) del MOSFET de SiC sea aproximadamente igual a la temperatura del semiconductor en estado estacionario, lo que se debe principalmente a la baja resistencia térmica del leadframe de cobre.

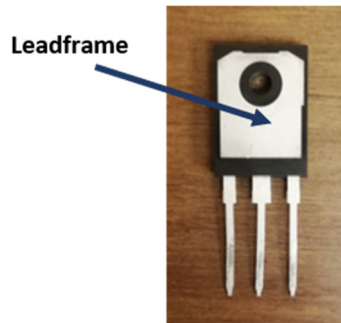


Fig.II.3. Pulsos únicos de tensión hasta alcanzar la corriente I_{av0} .

La temperatura se mide en un punto cercano al leadframe en el disipador de calor (de color negro), como se muestra en la Fig.II.4 con una cámara de imágenes térmicas (FLUKE Ti480 PRO).

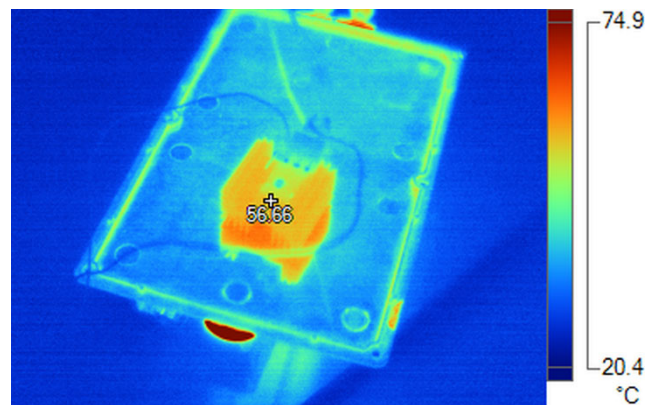


Fig.II.4. Imagen térmica de la placa calefactora y el SiC MOSFET ensayado.

Estas mediciones se han comparado con las temperaturas medidas directamente en el marco de copperlead utilizando un termopar de tipo k. La comparación muestra un error máximo de 1°C.

II.C. Procedimiento de ajuste y resultados

II.C.1. Procedimiento de ajuste funciones cuadráticas

El efecto de la ionización por impacto puede ser modelado por el factor de avalancha M [98] que viene dado por

$$M = 1 + a_{II} \cdot \tan \left[f_I(I_D) \cdot \frac{\pi}{2} \cdot \left(\frac{V_{DS}}{BV_{DS}(T)} \right)^{b_{II}} \right] \quad (II.1)$$

donde a_{II} y b_{II} son coeficientes de ajuste y $f_I(I_D)$ es un término adimensional que representa la dependencia de M con la corriente de drenaje. Es interesante observar que M se utiliza para modelar la multiplicación de la avalancha. Esta expresión depende directamente de BV_{DS} , y se considera que BV_{DS} depende solo de T [102] [103].

Sin embargo, según los resultados experimentales, BV_{DS} depende tanto de V_{GS} como de T . Por lo tanto, se propone modelar BV_{DS} a través de dos funciones independientes como se muestra a continuación

$$BV_{DS}(V_{GS}, T) = BV_{DS,0} \cdot BVI_{pu}(T) \cdot BVII_{pu}(V_{GS}) \quad (II.2)$$

donde $BV_{DS,0}$ es el valor de la tensión de ruptura de avalancha para $V_{GS} = 0$ V y $T = 25$ °C. $BVI_{pu}(T)$ y $BVII_{pu}(V_{GS})$ se expresan en por unidad (pu) y describen el comportamiento de BV_{DS} frente a T y V_{GS} . Cabe destacar que ambas dependencias se deben a fenómenos diferentes en la estructura del MOSFET de SiC.

Según la teoría de la avalancha [104], las tasas de impacto de la ionización son menores a mayor temperatura (porque el camino libre medio entre colisiones disminuye), por lo que el campo eléctrico crítico necesario para iniciar el efecto avalancha aumenta y BV_{DS} también aumenta con T .

La polarización de tensión en puerta negativa ($V_{gs} < 0$) afecta a la distribución de la corriente de avalancha en el interior del SiC MOSFET, de tal manera que la capacidad de soportar la avalancha mejora ligeramente en un MOSFET de SiC, con tecnología de

puerta plana, con valores más altos. Esto se debe a que con tensión de puerta negativa es más fácil mantener el canal de conducción del SiC MOSFET cerrado, lo que ayuda a retrasar el inicio de la corriente de avalancha a través del canal [99].

Ambas funciones pueden describirse mediante un polinomio de segundo grado cuyos parámetros se han ajustado por el método de los mínimos cuadrados, siguiendo el procedimiento descrito en la Fig.II.5. La tensión de ruptura por avalancha BV_{DS} se mide con tensión de puerta $V_{GS} = 0 V$ a diferentes temperaturas (por debajo de la temperatura máxima de unión) utilizando el montaje experimental mostrado en la Fig.II.1.

Para caracterizar el comportamiento experimental observado, la dependencia de BVI_{pu} con T se aproxima mediante un polinomio de segundo grado de este modo

$$BVI_{pu}(T_j) = a_2 \cdot T_j^2 + a_1 \cdot T_j + a_0 \quad (II.3)$$

donde a_2 , a_1 y a_0 son coeficientes de ajuste obtenidos por el método de ajuste por mínimos cuadrado no lineales [56]. Los mínimos cuadrados no lineales resuelven la ecuación

$$\min \left(\sum_j \|BVI_{pu}(T_j) - BV_{DS}(T_j)\|^2 \right) \quad (II.4)$$

donde $BV_{DS}(T_j)$ son los valores obtenidos experimentalmente.

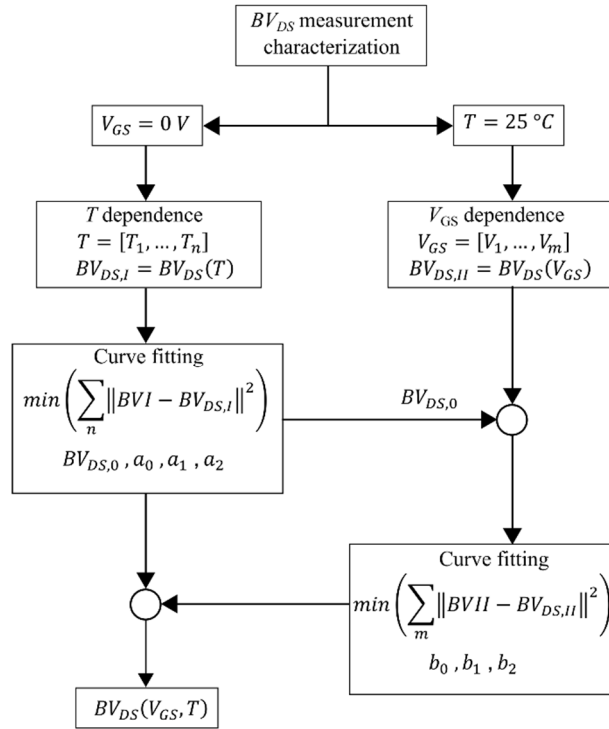


Fig.II.5. Procedimiento propuesto.

Los valores de (a_2, a_1, a_0) se iteran hasta alcanzar un resultado satisfactorio con un coeficiente de determinación R^2 superior a 0.99. $BV_{DS,0}$ se mide a 25°C o, si no es posible, se obtiene mediante el procedimiento de ajuste. Después, $BVII_{pu}(V_{GS})$ se ajusta igualmente por el método de mínimos cuadrados [56]. Para ello, se mide BV_{DS} para diferentes V_{GS} a temperatura ambiente y para expresar la dependencia de la función $BVII_{pu}$ con V_{GS} se emplea el polinomio

$$BVII_{pu}(V_{GS_j}) = b_2 \cdot V_{GS_j}^2 + b_1 \cdot V_{GS_j} + b_0 \quad (II.5)$$

donde b_2, b_1 y b_0 son los coeficientes de ajuste. El método de mínimos cuadrados no lineales resuelve la ecuación

$$\min \left(\sum_j \left\| BVII_{pu}(V_{GS_j}) - BV_{DS}(V_{GS_j}) \right\|^2 \right) \quad (II.6)$$

donde $BV_{DS}(V_{GSj})$ son los valores medidos. El proceso iterativo utilizado para obtener (b_2, b_1, b_0) se detiene cuando el coeficiente R^2 es mayor que 0.99.

II.C.2. Función de ajuste por exponenciales

Alternativamente, la dependencia de la tensión de ruptura por avalancha BV_{DS} se puede aproximar por una exponencial como sigue

$$BVI_{pu}(T_j) = e^{c_t \cdot (T - T_0)} \quad (II.7)$$

donde c_t es un coeficiente de ajuste para la temperatura, y T_0 son 25 °C de temperatura.

Asimismo, se propone una aproximación exponencial para expresar la dependencia con la tensión de puerta según

$$BVII_{pu}(V_{GS}) = e^{c_g \cdot (V_{GS} - V_0)} \quad (II.8)$$

donde c_g es un coeficiente de ajuste para la tensión de puerta y V_0 es $V_{GS} = 0V$.

El coeficiente c_t se obtiene ajustando por mínimos cuadrados las expresiones para BVI (II.4)-(II.7) y c_g se obtiene ajustando $BVII$ (II.6)-(II.8). El procedimiento de ajuste es el mismo que el empleado en las funciones cuadráticas (Fig.II.5), aunque esta alternativa se describe una función que reduce el número de coeficientes a determinar para modelar el comportamiento de la tensión de ruptura por avalancha BV_{DS} .

II.C.3. Resultados experimentales

Los resultados del ajuste de las expresiones (II.3)-(II.4) y (II.5)-(II.6) para las funciones cuadráticas y (II.4)-(II.7) y (II.6)-(II.8) para las funciones exponenciales se muestran en la Tabla II.1.

Tabla II.1. Parámetros estimados por el método de ajuste de mínimos cuadrados.

Símbolo	Descripción	Valor
$BV_{DS,0}$	VDS de ruptura a 1 mA	842.84 V
a_0	Coeficiente de temperatura	0.9271
a_1	Coeficiente de temperatura	0.1763 mK ⁻¹
a_2	Coeficiente de temperatura	0.2287 μK ⁻²
b_0	Coeficiente de tensión de puerta	1
b_1	Coeficiente de tensión de puerta	-0.9171 mV ⁻¹
b_2	Coeficiente de tensión de puerta	-13.16 μV ⁻²
c_t	Coeficiente de temperatura	0.3276 mK ⁻¹
c_g	Coeficiente de tensión de puerta	-0.8068 mV ⁻¹

La Fig.II.6 compara la tensión $BV_{DS}(T_j)$ medida con las curvas ajustadas para la función cuadrática utilizando (II.3) y (II.5) y, así como con las curvas ajustadas con la exponencial utilizando (II.4) y (II.7). Ambas curvas muestran una excelente correspondencia con los datos experimentales $BV_{DS}(T_j)$.

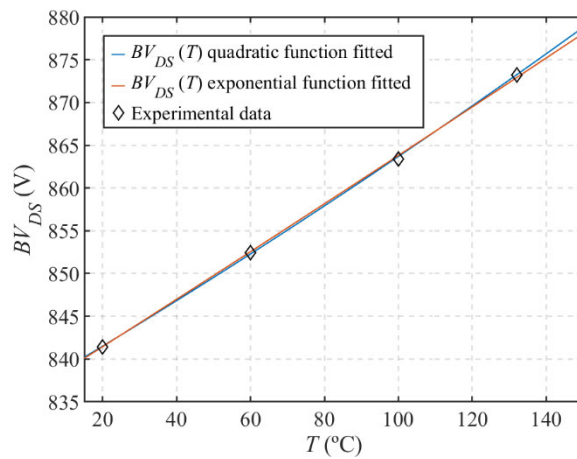


Fig.II.6. Comparación entre valores experimentales de $BV_{DS}(T_j)$ y las curva ajustadas para una función cuadrática y una función exponencial.

La dependencia de BV_{DS} con V_{GS} se da en la Fig.II.7 donde puede notarse que ambas curvas (cuadrática y exponencial) se ajustan muy bien a los datos. Asimismo, se puede observar como BV_{DS} aumenta ligeramente con la tensión de polarización negativa en puerta V_{GS} .

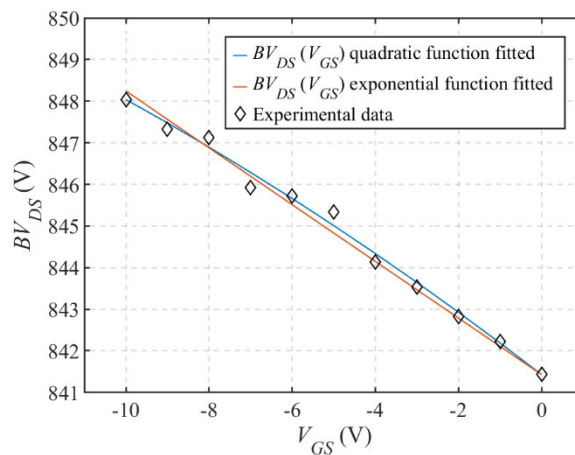


Fig.II.7. Comparación entre valores experimentales de $BV_{DS}(V_{GS})$ y las curva ajustadas para una función cuadrática y una función exponencial.

Finalmente, el modelo de la tensión de ruptura por avalancha en función de la temperatura y la tensión de puerta $BV_{DS}(V_{GS}, T)$ propuesto con funciones cuadráticas se expresa de esta forma

$$BV_{DS}(V_{GS}, T) = BV_{DS,0} \cdot (a_2 \cdot T_j^2 + a_1 \cdot T_j + a_0) \cdot (b_2 \cdot V_{GS}^2 + b_1 \cdot V_{GS} + b_0) \quad (II.9)$$

Mientras que para el modelo propuesto con las funciones exponenciales se tiene

$$BV_{DS}(V_{GS}, T) = BV_{DS,0} \cdot e^{\frac{c_t \cdot (T - T_0)}{c_g \cdot (V_{GS})}} \quad (II.10)$$

Los resultados se muestran y comparan con los datos experimentales que se encuentran en Fig.II.8. Para ello, se realizan mediciones experimentales variando V_{GS} de 0 V a -10 V a temperaturas de 20 °C, 60 °C y 100 °C. A partir de la comparación (Fig.II.8) se observa una buena correspondencia entre los valores experimentales y los calculados. Se constata que el error máximo es inferior al 0,22%.

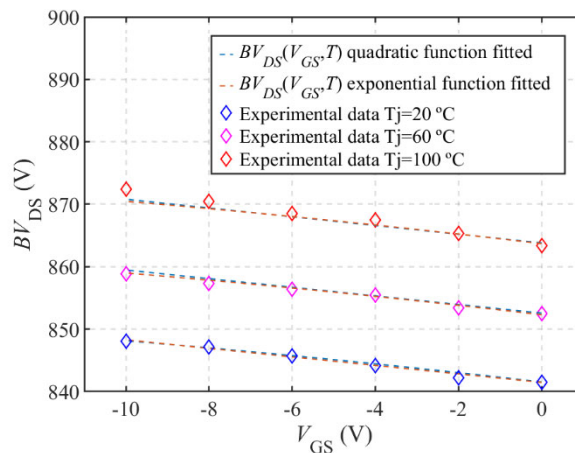


Fig.II.8. Comparación entre los valores experimentales de $BV_{DS}(V_{GS}, T)$ y las curvas ajustadas para las funciones cuadráticas y exponenciales.

II.D. Conclusiones

Se ha propuesto un procedimiento experimental para obtener el modelo de comportamiento de la tensión de ruptura por avalancha (BV_{DS}) para un SiC MOSFET con tecnología de puerta plana. Se ha encontrado que el comportamiento de la tensión de avalancha puede modelarse como el producto de dos funciones independientes $BVI_{pu}(T)$ y $BVII_{pu}(V_{GS})$. El primero expresa la dependencia de la temperatura (T) y el segundo la dependencia de la tensión de polarización de puerta (V_{GS}). Se han propuesto dos funciones matemáticas para modelar $BVI_{pu}(T)$ y $BVII_{pu}(V_{GS})$. La primera función aproxima el comportamiento tanto de $BVI_{pu}(T)$ como de $BVII_{pu}(V_{GS})$ mediante un polinomio de segundo grado cuyos coeficientes se identifican mediante mínimos cuadrados no lineales, en este caso se estiman seis coeficientes. La segunda función, aproxima el comportamiento tanto de $BVI_{pu}(T)$ como de $BVII_{pu}(V_{GS})$ mediante funciones exponenciales, en este caso se estiman solo dos coeficientes. El error máximo entre los valores estimados y los medidos en ambas funciones es inferior al 0,22%, lo que valida el modelo propuesto.

Anexo III. Precisión de la medida de impedancias con E5061B.

En este anexo se muestran las expresiones que describen la precisión de la medida de impedancias del analizador vectorial de redes E5061B de Keysight utilizado en este trabajo.

III.A. Cálculo de la precisión

La impedancia medida Z_m , se obtiene con el VNA en la forma de módulo $|Z_m|$ y fase θ_m . La precisión de la medida del módulo $|Z_m|$ es Z_{acc} y la precisión de la medida de la fase θ_m es θ_{acc} y se calculan como [48]

$$Z_{acc}(\%) = A + \left(\frac{B}{10^3 \cdot |Z_m|} + \frac{C \cdot |Z_m|}{10^6} \right) \cdot 100 \quad (III.1)$$

$$\theta_z(rad) = \sin^{-1} \left(\frac{Z_{acc}}{100} \right) \quad (III.2)$$

donde A es la precisión básica y se calcula en %, B es la compensación de cortocircuito y se calcula en $m\Omega$ y C es la compensación de circuito abierto y se calcula en μS . Los términos A, B y C dependen de la frecuencia, del método de la medida y del puerto de medida utilizado.

III.B. Precisión métodos de medida con puertos Gain-Phase

En la Fig.III.1 se muestran los valores de A, B y C y la precisión para la medida de la impedancia con el método de medida *series-thru* y en la Fig.III.2 para el método de medida *shunt-thru*.

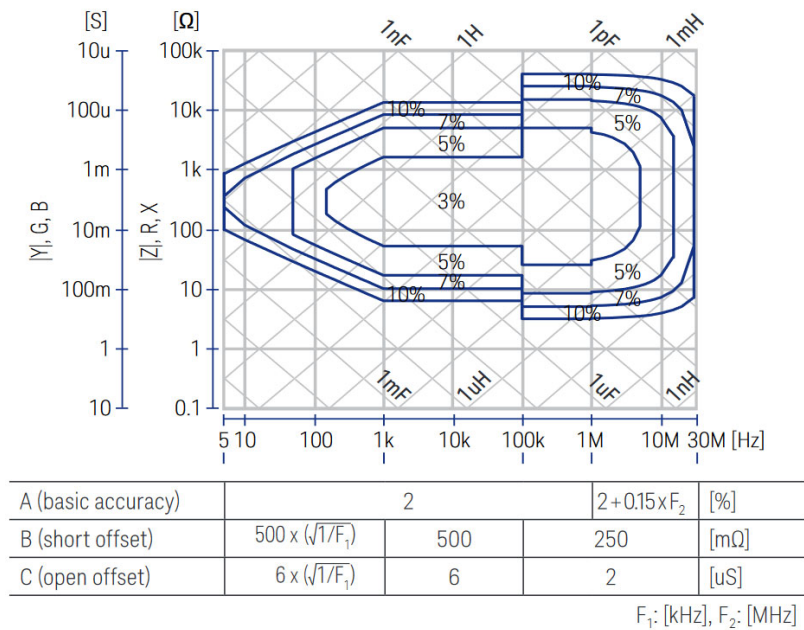


Fig.III.1. Precisión en la medida de la impedancia, puertos Gain-Phase y método *series-thru*.

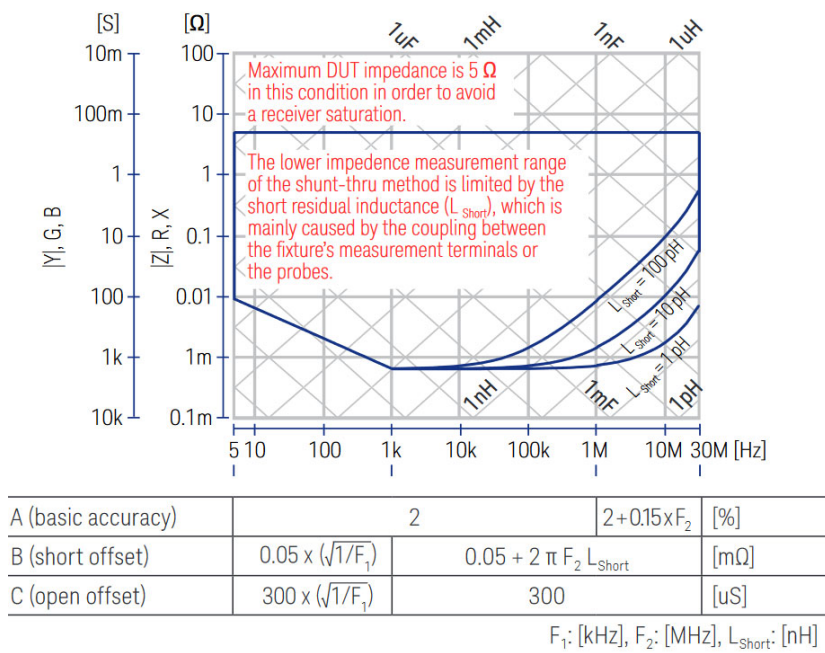


Fig.III.2. Precisión en la medida de la impedancia, puertos Gain-Phase y método *shunt-thru*.

La precisión en el método *shunt-thru* depende de la inductancia residual L_{Short} . La inductancia residual L_{Short} es la inductancia debida a la diferencia que existe entre las

pistas y conectores utilizados en el montaje de ensayo (test fixture) de calibración y la medida. Aunque ambas pistas y conectores son idénticos por diseño, existen tolerancias de fabricación, diferencias en las soldaduras y efectos de acoplamiento inductivo entre los terminales del montaje de ensayo (test fixture) y la impedancia de medida. Esta impedancia residual es muy pequeña, en este trabajo se ha supuesto que es 10 pH, ya que aplicando las tolerancias del fabricante de PCB entre dos pistas del test fixture la diferencia en su inductancia es de algún pH. Asimismo, destacar que L_{short} no es la inductancia del estándar de calibración de cortocircuito (S), ya que esa inductancia se calibra previamente con el VNA.

III.C. Precisión métodos de medida con puertos parámetros-S

En la Fig.III.3 se muestran los valores de A, B y C y la precisión para la medida de la impedancia con el método de medida de reflexión.

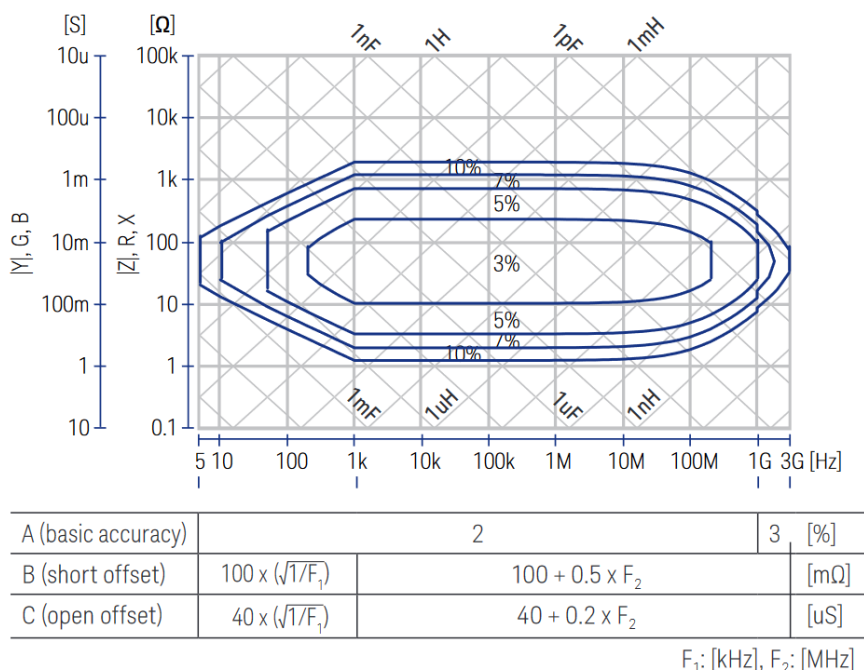


Fig.III.3. Precisión en la medida de la impedancia, puertos parámetros-S y método reflexión.

En las Fig.III.4 y Fig.III.5 se muestran los valores de A, B y C y la precisión para la medida de la impedancia con el método de *series-thru* y *shunt-thru* respectivamente.

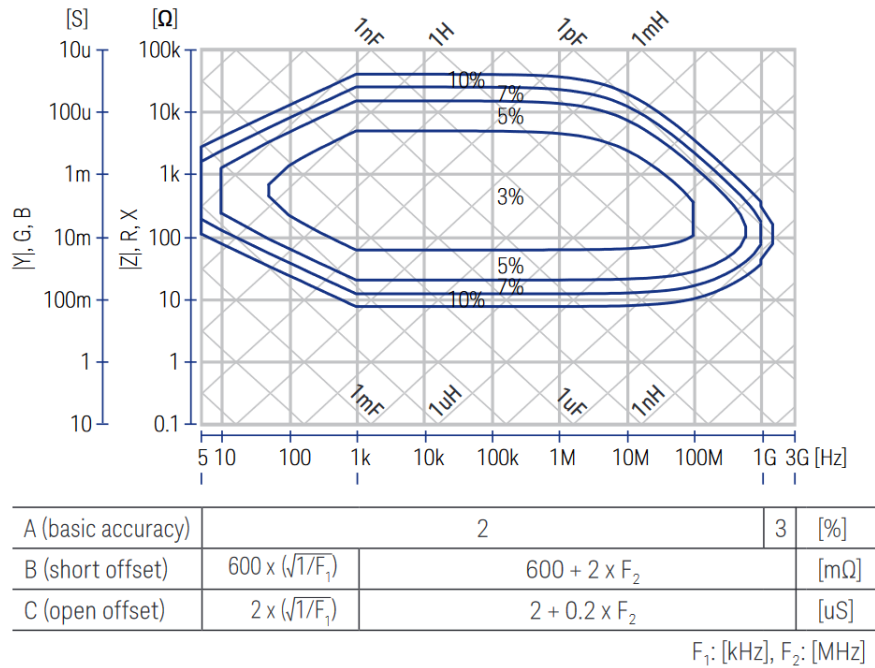


Fig.III.4. Precisión en la medida de la impedancia, puertos parámetros-S y método *series-thru*.

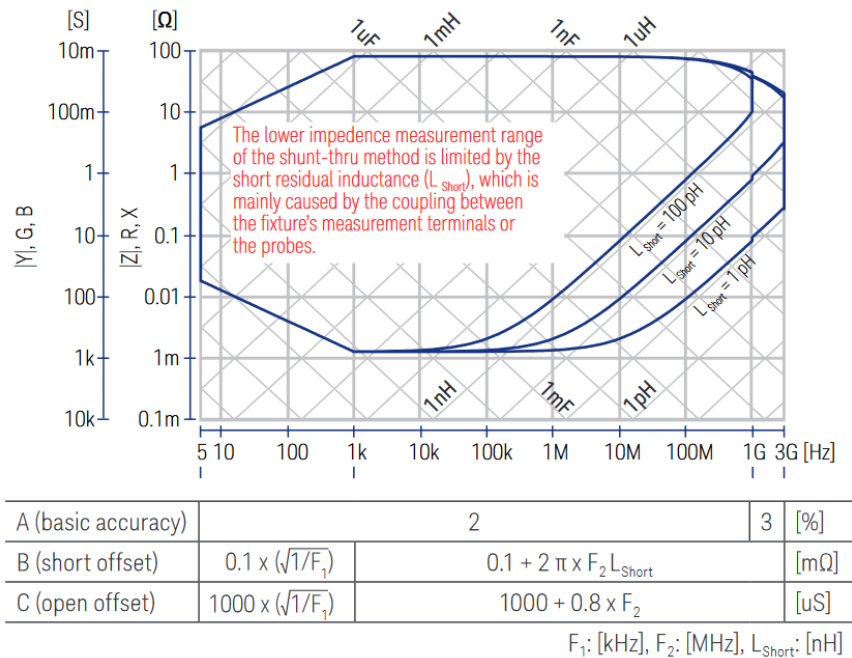


Fig.III.5. Precisión en la medida de la impedancia, puertos parámetros-S y método *shunt-thru*.

Anexo IV. Modelos de simulación para el cálculo de impedancias.

En este anexo se muestran los modelos de simulación para el cálculo de impedancias que se han utilizado en este trabajo.

IV.A. Modelos de simulación

En el capítulo 3 se ha descrito un modelo para el cálculo de impedancias con MATLAB-Simulink® mediante la librería RF Blockset™. A continuación, se muestran otros modelos de simulación utilizados en este trabajo.

Modelos para la comparación de modelos eléctricos del busbar

Los modelos utilizados para la comparación de la medida Z_{in} con diferentes modelos eléctricos del busbar (Fig. 3.4 y Fig. 3.5) se muestran a continuación. En la Fig.IV.1 se muestra el modelo de busbar L.

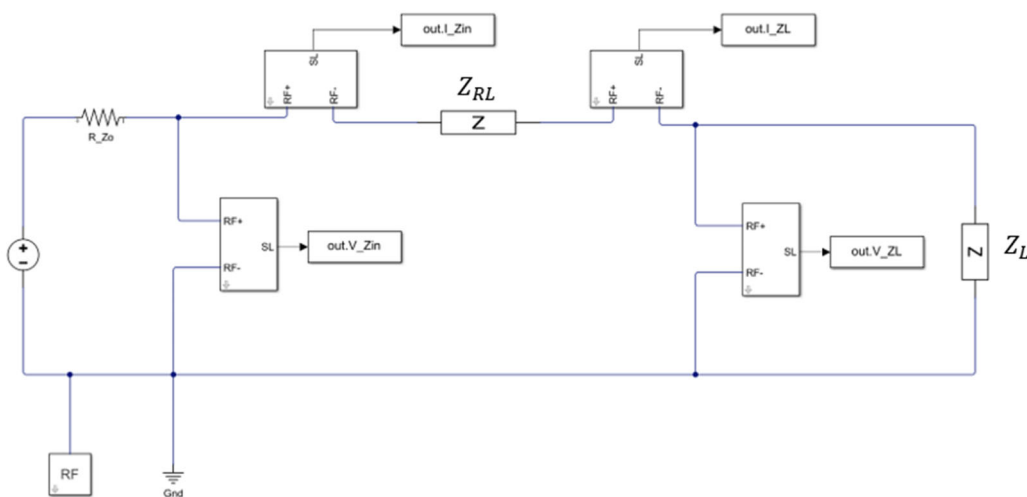


Fig.IV.1. Modelo de simulación para calcular Z_{in} con busbar L.

La impedancia del busbar es una inductancia serie (Z_{RL}) cuyo valor se calcula previamente con un script de Matlab tanto en el caso que considera la dependencia frecuencial en sus parámetros (L' y R') como en el caso que considera valores fijos de inductancia y resistencia. La impedancia de carga medida es Z_L . Las impedancias

complejas Z_{RL} y Z_L se describen con el modelo *Impedance* en Circuit Envelope de RF Blockset.

En la Fig.IV.2 se muestra el modelo busbar π .

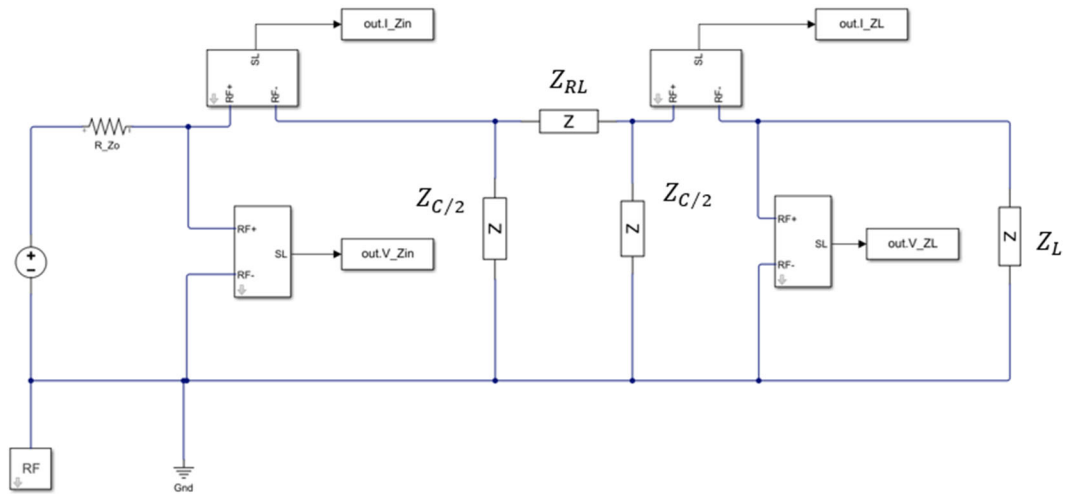


Fig.IV.2. Modelo de simulación para calcular Z_{in} con busbar π .

Donde Z_{RL} es la inductancia-resistencia serie descrita anteriormente y $Z_{C/2}$ modela la impedancia de la capacidad $C/2$ del circuito equivalente en π del busbar y, su valor se calcula previamente con un script de Matlab según el parámetro C' .

En Fig.IV.3 se muestra el modelo busbar TL.

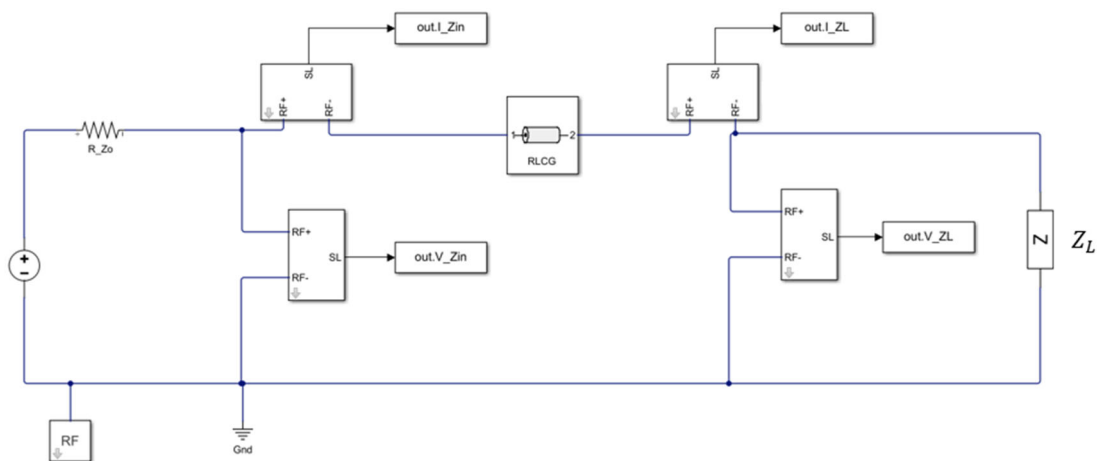


Fig.IV.3. Modelo de simulación para calcular Z_{in} con busbar TL.

La línea de transmisión está modelada con el modelo *Transmission Line* en Circuit Envelope de RF Blockset y los parámetros que la definen (R' , L' , C' y G'). se calculan previamente en un script de Matlab.

Modelo para el cálculo de Z_L descrita por Z_{RLC} y Z_{RC}

En la Fig.IV.4 se muestra el modelo de simulación utilizado para calcular la impedancia del dipolo de carga Z_L para las comparaciones de las Fig. 4.12 y Fig. 4.13.

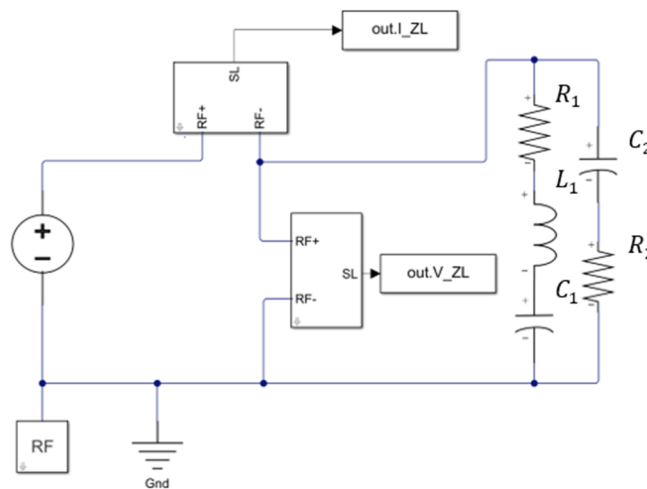


Fig.IV.4. Modelo de simulación para calcular Z_L con Z_{RLC} y Z_{RC} .

Modelo de la impedancia del SiC MOSFET

En la Fig.IV.5 se muestra el modelo SiC MOSFET en estado ON y en estado OFF.

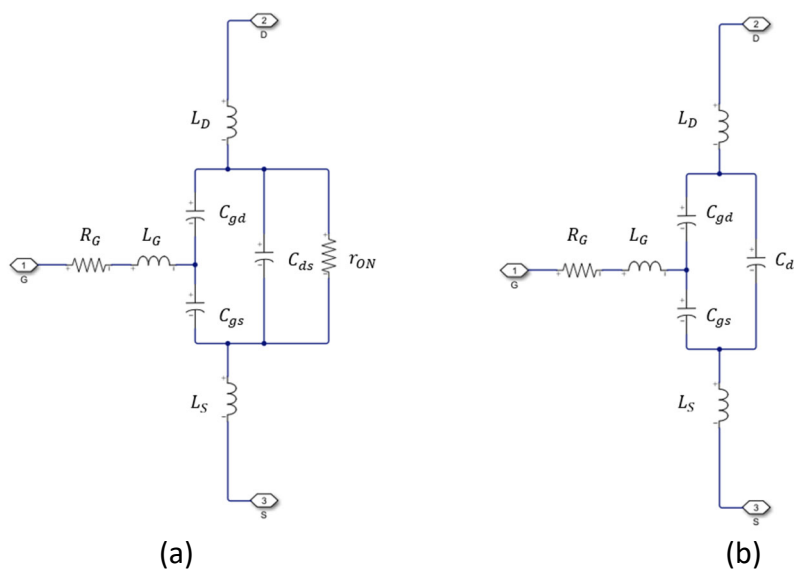


Fig.IV.5. Modelo del SiC MOSFET: (a) estado ON, (b) estado OFF.

La resistencia en drenaje y de fuente se han despreciado por su bajo valor frente al resto de impedancias.

Modelo para el cálculo de Z_L con elementos discretos

En la Fig.IV.6 se muestra el modelo de simulación utilizado para calcular la impedancia de carga Z_L con elementos discretos (Fig. 4.14).

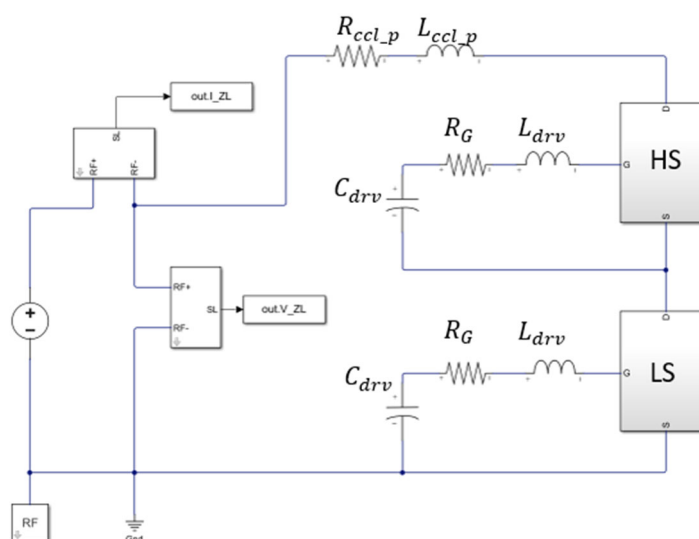


Fig.IV.6. Modelo de simulación para calcular Z_L con elementos discretos.

El estado del transistor superior (HS) o inferior (LS) se modela con el circuito equivalente del SiC MOSFET descrito en la Fig.IV.5.

Modelo para el cálculo de Z_{CCL}

La Fig.IV.7 y Fig.IV.8 muestran los modelos de simulación utilizados para calcular la impedancia del bucle de corriente de conmutación ($Z_{CCL} = V_{CCL}/I_{CCL}$) cuyos resultados se pueden ver en la Fig. 4.15 y Fig. 4.16. El modelo del condensador de bus (recuadro azul) incluye ESR como una impedancia variable en la frecuencia, calculada previamente con un script de Matlab.

En la Fig.IV.7 se muestra el modelo de simulación para el cálculo de Z_{CCL} con un busbar modelado como una línea de transmisión (busbar TL).

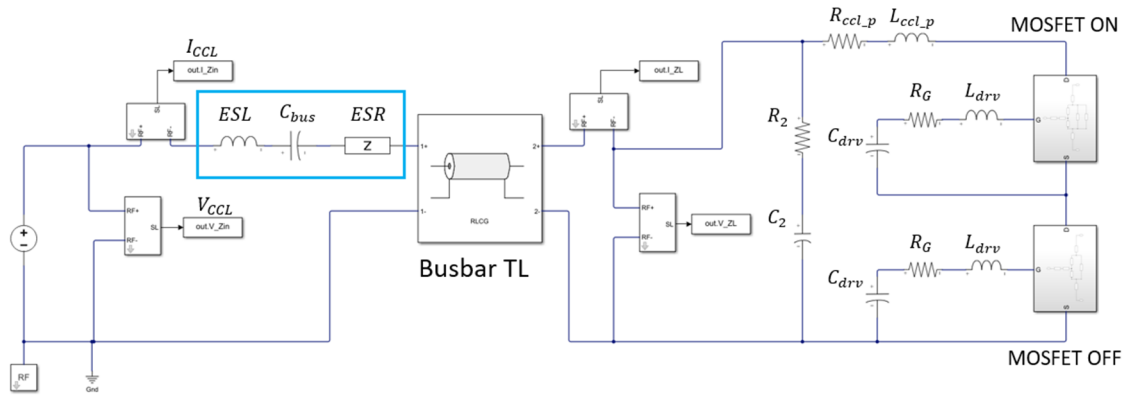


Fig.IV.7. Modelo de simulación para calcular Z_{CCL} con busbar TL.

En la Fig.IV.8 se muestra el modelo de simulación para el cálculo de Z_{CCL} con un busbar modelado como una inductancia (busbar L).

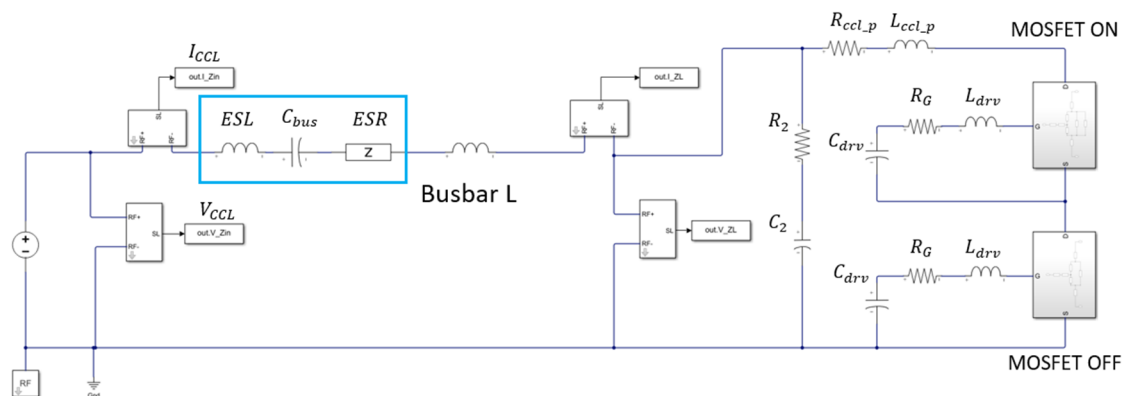


Fig.IV.8. Modelo de simulación para calcular Z_{CCL} con busbar L.

Referencias

- [1] J. Biela, M. Schweizer, S. Waffler and J. W. Kolar, "SiC versus Si—Evaluation of Potentials for Performance Improvement of Inverter and DC–DC Converter Systems by SiC Power Semiconductors," in *IEEE Transactions on Industrial Electronics*, vol. 58, no. 7, pp. 2872–2882, July 2011, doi: 10.1109/TIE.2010.2072896.
- [2] S. Jahdi, O. Alatise, C. Fisher, L. Ran and P. Mawby, "An Evaluation of Silicon Carbide Unipolar Technologies for Electric Vehicle Drive-Trains," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 2, no. 3, pp. 517–528, Sept. 2014, doi: 10.1109/JESTPE.2014.2307492.
- [3] X. She, A. Q. Huang, Ó. Lucía and B. Ozpineci, "Review of Silicon Carbide Power Devices and Their Applications," in *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8193–8205, Oct. 2017, doi: 10.1109/TIE.2017.2652401.
- [4] J. Millán, P. Godignon, X. Perpiñà, A. Pérez-Tomás and J. Rebollo, "A Survey of Wide Bandgap Power Semiconductor Devices," in *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2155–2163, May 2014, doi: 10.1109/TPEL.2013.2268900.
- [5] B. J. Baliga, *Fundamentals of Power Semiconductor devices*. New York, NY, USA: Springer, 2008.
- [6] B. Zhang and S. Wang, "A Survey of EMI Research in Power Electronics Systems with Wide-Bandgap Semiconductor Devices," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 1, pp. 626–643, March 2020, doi: 10.1109/JESTPE.2019.2953730.
- [7] V. Nguyen, L. Kerachev, P. Lefranc and J. Crebier, "Characterization and Analysis of an Innovative Gate Driver and Power Supplies Architecture for HF Power Devices with High dv/dt ," in *IEEE Transactions on Power Electronics*, vol. 32, no. 8, pp. 6079–6090, Aug. 2017, doi: 10.1109/TPEL.2016.2619859.
- [8] Cree Inc, "C3M0032120K Silicon Carbide Power MOSFET," 2019.
- [9] J. G. Kassakian and T. M. Jahns, "Evolving and Emerging Applications of Power Electronics in Systems," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 1, no. 2, pp. 47–58, June 2013, doi: 10.1109/JESTPE.2013.2271111.
- [10] I. Josifović, J. Popović-Gerber and J. A. Ferreira, "Improving SiC JFET Switching Behavior Under Influence of Circuit Parasitics," in *IEEE Transactions on Power Electronics*, vol. 27, no. 8, pp. 3843–3854, Aug. 2012, doi: 10.1109/TPEL.2012.2185951.
- [11] M. Ando and K. Wada, "Design of Acceptable Stray Inductance Based on Scaling Method for Power Electronics Circuits," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 5, no. 1, pp. 568–575, March 2017, doi: 10.1109/JESTPE.2016.2638019.
- [12] P. Nayak, M. V. Krishna, K. Vasudevkrishna and K. Hatua, "Study of the effects of parasitic inductances and device capacitances on 1200 V, 35 A SiC MOSFET based voltage source

inverter design," *2014 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, 2014, pp. 1-6, doi: 10.1109/PEDES.2014.7042035.

- [13] E. Platania *et al.*, "A Physics-Based Model for a SiC JFET Accounting for Electric-Field-Dependent Mobility," in *IEEE Transactions on Industry Applications*, vol. 47, no. 1, pp. 199-211, Jan.-Feb. 2011, doi: 10.1109/TIA.2010.2090843.
- [14] J. Noppakunkajorn, D. Han and B. Sarlioglu, "Analysis of High-Speed PCB With SiC Devices by Investigating Turn-Off Overvoltage and Interconnection Inductance Influence," in *IEEE Transactions on Transportation Electrification*, vol. 1, no. 2, pp. 118-125, Aug. 2015, doi: 10.1109/TTE.2015.2426503.
- [15] A. M. Abou-Alfotouh, A. V. Radun, H. Chang and C. Winterhalter, "A 1-MHz hard-switched silicon carbide DC–DC converter," in *IEEE Transactions on Power Electronics*, vol. 21, no. 4, pp. 880-889, July 2006, doi: 10.1109/TPEL.2006.876891.
- [16] A. Lemmon, M. Mazzola, J. Gafford and C. Parker, "Instability in Half-Bridge Circuits Switched with Wide Band-Gap Transistors," in *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2380–2392, May 2014, doi: 10.1109/TPEL.2013.2273275.
- [17] N. Oswald, P. Anthony, N. McNeill and B. H. Stark, "An Experimental Investigation of the Tradeoff between Switching Losses and EMI Generation with Hard-Switched All-Si, Si-SiC, and All-SiC Device Combinations," in *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2393–2407, May 2014, doi: 10.1109/TPEL.2013.2278919.
- [18] D. Han, S. Li, Y. Wu, W. Choi and B. Sarlioglu, "Comparative Analysis on Conducted CM EMI Emission of Motor Drives: WBG Versus Si Devices," in *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8353–8363, Oct. 2017, doi: 10.1109/TIE.2017.2681968.
- [19] A. N. Lemmon, A. D. Brovont, C. D. New, B. W. Nelson and B. T. DeBoi, "Modeling and Validation of Common-Mode Emissions in Wide Bandgap-Based Converter Structures," in *IEEE Transactions on Power Electronics*, vol. 35, no. 8, pp. 8034–8049, Aug. 2020, doi: 10.1109/TPEL.2019.2963883.
- [20] H. Gui *et al.*, "Methodology of Low Inductance Busbar Design for Three-Level Converters," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 9, no. 3, pp. 3468-3478, June 2021, doi: 10.1109/JESTPE.2020.2999403.
- [21] T. Liu, R. Ning, T. T. Y. Wong and Z. J. Shen, "Modeling and Analysis of SiC MOSFET Switching Oscillations," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 747–756, Sept. 2016, doi: 10.1109/JESTPE.2016.2587358.
- [22] S. Li, L. M. Tolbert, F. Wang and F. Z. Peng, "Stray Inductance Reduction of Commutation Loop in the P-cell and N-cell-Based IGBT Phase Leg Module," in *IEEE Transactions on Power Electronics*, vol. 29, no. 7, pp. 3616–3624, July 2014, doi: 10.1109/TPEL.2013.2279258.
- [23] M. Liang *et al.*, "Research on an improved DC-side snubber for suppressing the turn-off overvoltage and oscillation in high speed SiC MOSFET application," *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2017, pp. 1358-1365, doi: 10.1109/ECCE.2017.8095948.

- [24] P. Nayak and K. Hatua, "Parasitic Inductance and Capacitance-Assisted Active Gate Driving Technique to Minimize Switching Loss of SiC MOSFET," in *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8288-8298, Oct. 2017, doi: 10.1109/TIE.2017.2711512.
- [25] P. Sumithra and D. Thiripurasundari, "Review on Computational Electromagnetics", *AEM*, vol. 6, no. 1, pp. 42-55, Mar. 2017, doi: <https://doi.org/10.7716/aem.v6i1.407>.
- [26] A. Ruehli, C. Paul and J. Garrett, "Inductance calculations using partial inductances and macromodels," *Proceedings of International Symposium on Electromagnetic Compatibility*, Atlanta, GA, USA, 1995, pp. 23–28, doi: 10.1109/IZEMC.1995.523512.
- [27] A. Domurat-Linde and E. Hoene, "Investigation and PEEC based simulation of radiated emissions produced by power electronic converters," *2010 6th International Conference on Integrated Power Electronics Systems*, Nuremberg, 2010, pp. 1–6.
- [28] J. Z. Chen, L. Yang, D. Boroyevich and W. G. Odendaal, "Modeling and measurements of parasitic parameters for integrated power electronics modules," *Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC '04.*, Anaheim, CA, USA, 2004, pp. 522–525 Vol.1, doi: 10.1109/APEC.2004.1295857.
- [29] Z. Liu, X. Huang, F. C. Lee and Q. Li, "Package Parasitic Inductance Extraction and Simulation Model Development for the High-Voltage Cascode GaN HEMT," in *IEEE Transactions on Power Electronics*, vol. 29, no. 4, pp. 1977-1985, April 2014, doi: 10.1109/TPEL.2013.2264941.
- [30] B. Zhang and S. Wang, "Parasitic Inductance Modeling and Reduction for a Wire Bonded Half Bridge SiC MOSFET Multichip Power Module," *2019 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Anaheim, CA, USA, 2019, pp. 656-663, doi: 10.1109/APEC.2019.8721781.
- [31] Z. Yuan et al., "Design and Evaluation of Laminated Busbar for Three-Level T-Type NPC Power Electronics Building Block with Enhanced Dynamic Current Sharing," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 1, pp. 395–406, March 2020, doi: 10.1109/JESTPE.2019.2947488.
- [32] R. S. Krishna Moorthy et al., "Estimation, Minimization, and Validation of Commutation Loop Inductance for a 135-kW SiC EV Traction Inverter," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 1, pp. 286–297, March 2020, doi: 10.1109/JESTPE.2019.2952884.
- [33] Huibin Zhu, A. R. Hefner and J. -. Lai, "Characterization of power electronics system interconnect parasitics using time domain reflectometry," in *IEEE Transactions on Power Electronics*, vol. 14, no. 4, pp. 622–628, July 1999, doi: 10.1109/63.774198.
- [34] Forniés-Marquina, J.M., Letosa, J., García-Gracia, M., Artacho, J.M., "Error propagation for the transformation of time domain into frequency domain," in *IEEE Transactions on Magnetics*, vol. 33, Issue 2 part 2, pp. 1456–1459, March 1997, doi: 10.1109/20.582534.
- [35] L. Yang and W. G. H. Odendaal, "Measurement-Based Method to Characterize Parasitic Parameters of the Integrated Power Electronics Modules," in *IEEE Transactions on Power Electronics*, vol. 22, no. 1, pp. 54–62, Jan. 2007, doi: 10.1109/TPEL.2006.886615.

- [36] M. Liang, Y. Li and T. Q. Zheng, "Research on precise test method for switching performance of high speed SiC MOSFET," *2016 Asian Conference on Energy, Power and Transportation Electrification (ACEPT)*, Singapore, 2016, pp. 1–6, doi: 10.1109/ACEPT.2016.7811546.
- [37] M. Trivedi and K. Shenai, "Parasitic extraction methodology for insulated gate bipolar transistors," *APEC 2000. Fifteenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.00CH37058)*, New Orleans, LA, USA, 2000, pp. 1122–1128 vol.2, doi: 10.1109/APEC.2000.822828.
- [38] A. Letellier, M. R. Dubois, J. P. F. Trovão and H. Maher, "Calculation of Printed Circuit Board Power-Loop Stray Inductance in GaN or High di/dt Applications," in *IEEE Transactions on Power Electronics*, vol. 34, no. 1, pp. 612–623, Jan. 2019, doi: 10.1109/TPEL.2018.2826920.
- [39] S. K. Roy and K. Basu, "Measurement of Circuit Parasitics of SiC MOSFET in a Half-Bridge Configuration," in *IEEE Transactions on Power Electronics*, vol. 37, no. 10, pp. 11911–11926, Oct. 2022, doi: 10.1109/TPEL.2022.3176114.
- [40] "Impedance measurement handbook, a guide to measurement technology and techniques," Keysight Technol., Santa Rosa, CA, USA, Appl. Note 5950-3000, 2016.
- [41] Z. Wang, Y. Wu, M. Mahmud, Z. Yuan, Y. Zhao and H. A. Mantooth, "Busbar Design and Optimization for Voltage Overshoot Mitigation of a Silicon Carbide High-Power Three-Phase T-Type Inverter," in *IEEE Transactions on Power Electronics*, doi: 10.1109/TPEL.2020.2998465.
- [42] G. Park, J. Song, S. Jung, Y. Kim, H. Shim and J. Kim, "Analysis of power inverter parasitic inductances effect on switching characteristics for accurate electromagnetic interference (EMI) estimation" *2017 IEEE International Symposium on Electromagnetic Compatibility & Signal/Power Integrity (EMCSI)*, Washington, DC, 2017, pp. 277–282, doi: 10.1109/ISEMC.2017.8077880.
- [43] Y. Mukunoki *et al.*, "Modeling of a Silicon-Carbide MOSFET with Focus on Internal Stray Capacitances and Inductances, and Its Verification," in *IEEE Transactions on Industry Applications*, vol. 54, no. 3, pp. 2588–2597, May–June 2018, doi: 10.1109/TIA.2018.2796587.
- [44] E. Shelton, N. Hari, X. Zhang, T. Zhang, J. Zhang and P. Palmer, "Design and measurement considerations for WBG switching circuits," *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, Warsaw, 2017, pp. P.1–P.10, doi: 10.23919/EPE17ECCEurope.2017.8099377.
- [45] T. Liu, T. T. Y. Wong and Z. J. Shen, "A New Characterization Technique for Extracting Parasitic Inductances of SiC Power MOSFETs in Discrete and Module Packages Based on Two-Port S-Parameters Measurement," in *IEEE Transactions on Power Electronics*, vol. 33, no. 11, pp. 9819–9833, Nov. 2018, doi: 10.1109/TPEL.2017.2789240.
- [46] A. Lemmon, T. J. Freeborn and A. Shahabi, "Fixturing impacts on high-frequency low-resistance, low-inductance impedance measurements," in *Electronics Letters*, vol. 52, no. 21, pp. 1772–1774, 13 10 2016, doi: 10.1049/el.2016.2947.

- [47] A. Llamazares, M. García-Gracia and S. Martín-Arroyo, "Characterization of Parasitic Impedance in PCB Using a Flexible Test Probe Based on a Curve-Fitting Method," in *IEEE Access*, vol. 9, pp. 40695-40705, 2021, doi: 10.1109/ACCESS.2021.3064190.
- [48] Keysight Technologies, Appl. Note 5990-7033, LF-RF Network Analyzer with Option 005 Impedance Analysis Function, pp. 7–12, 2018.
- [49] I. J. Bahl and R. Garg, "Simple and accurate formulas for a microstrip with finite strip thickness," in *Proceedings of the IEEE*, vol. 65, no. 11, pp. 1611–1612, Nov. 1977, doi: 10.1109/PROC.1977.10783.
- [50] E. Hammerstad and O. Jensen, "Accurate Models for Microstrip Computer-Aided Design," *1980 IEEE MTT-S International Microwave Symposium Digest*, Washington, DC, USA, 1980, pp. 407–409, doi: 10.1109/MWSYM.1980.1124303.
- [51] H. A. Wheeler, "Transmission-Line Properties of Parallel Wide Strips by a Conformal-Mapping Approximation," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 12, no. 3, pp. 280-289, May 1964.
- [52] H. A. Wheeler, "Transmission-Line Properties of Parallel Strips Separated by a Dielectric Sheet," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 13, no. 2, pp. 172-185, March 1965.
- [53] K.C. Gupta, R. Garg and I. Bahl, *Microstrip Lines and Slot Lines*, 2nd ed Norwood, MA: Artech House, 1996, pp. 1–56.
- [54] *IPC A 600G-Acceptability of Printed Boards*, IPC-Association Connecting Electronics Industries, Bannockburn, IL, 2004.
- [55] D. M. Pozar, *Microwave Engineering*. Hoboken, NJ, USA: Wiley, 2012.
- [56] *Curve fitting Toolbox User's Guide*, The MathWorks, Inc., Natick, MA, USA, R2019b, 2019.
- [57] Ott. Henry W., *Electromagnetic Compatibility Engineering*, 1st ed. Hoboken, NJ, John Wiley & Sons, Inc., 2009, pp. 238–302.
- [58] *IPC 2141A-Design Guide for High-Speed Controlled Impedance Circuit Boards*, Errata Information. IPC-Association Connecting Electronics Industries, Bannockburn, IL, 2018.
- [59] M. Liang *et al.*, "Research on an improved DC-side snubber for suppressing the turn-off overvoltage and oscillation in high speed SiC MOSFET application," *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, Cincinnati, OH, USA, 2017, pp. 1358-1365, doi: 10.1109/ECCE.2017.8095948.
- [60] A. Lemmon, M. Mazzola, J. Gafford and C. Parker, "Stability Considerations for Silicon Carbide Field-Effect Transistors," in *IEEE Transactions on Power Electronics*, vol. 28, no. 10, pp. 4453-4459, Oct. 2013, doi: 10.1109/TPEL.2012.2226473.
- [61] P. Wang, L. Zhang, X. Lu, H. Sun, W. Wang and D. Xu, "An Improved Active Crosstalk Suppression Method for High-Speed SiC MOSFETs," in *IEEE Transactions on Industry Applications*, vol. 55, no. 6, pp. 7736-7744, Nov.-Dec. 2019, doi: 10.1109/TIA.2019.2916302.

- [62] R. Li, Q. Zhu and M. Xie, "A New Analytical Model for Predicting dv/dt -Induced Low-Side MOSFET False Turn-ON in Synchronous Buck Converters," in *IEEE Transactions on Power Electronics*, vol. 34, no. 6, pp. 5500-5512, June 2019, doi: 10.1109/TPEL.2018.2868711.
- [63] Y. Sugihara *et al.*, "Analytical investigation on design instruction to avoid oscillatory false triggering of fast switching SiC-MOSFETs," *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, Cincinnati, OH, USA, 2017, pp. 5113-5118, doi: 10.1109/ECCE.2017.8096861.
- [64] K. Mitsui and K. Wada, "Design of a Laminated Bus Bar Optimizing the Surge Voltage, Damped Oscillation, and Switching Loss," in *IEEE Transactions on Industry Applications*, vol. 57, no. 3, pp. 2737-2745, May-June 2021, doi: 10.1109/TIA.2021.3061029.
- [65] F. Zare, D. Kumar, M. Lungeanu and A. Andreas, "Electromagnetic interference issues of power, electronics systems with wide band gap, semiconductor devices," *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Montreal, QC, Canada, 2015, pp. 5946-5951, doi: 10.1109/ECCE.2015.7310494.
- [66] Z. Zhang, B. Guo and F. Wang, "Evaluation of Switching Loss Contributed by Parasitic Ringing for Fast Switching Wide Band-Gap Devices," in *IEEE Transactions on Power Electronics*, vol. 34, no. 9, pp. 9082-9094, Sept. 2019, doi: 10.1109/TPEL.2018.2883454.
- [67] C. Chen, X. Pei, Y. Chen and Y. Kang, "Investigation, Evaluation, and Optimization of Stray Inductance in Laminated Busbar," in *IEEE Transactions on Power Electronics*, vol. 29, no. 7, pp. 3679-3693, July 2014, doi: 10.1109/TPEL.2013.2282621.
- [68] A. D. Callegaro *et al.*, "Bus Bar Design for High-Power Inverters," in *IEEE Transactions on Power Electronics*, vol. 33, no. 3, pp. 2354-2367, March 2018, doi: 10.1109/TPEL.2017.2691668.
- [69] M. C. Caponet, F. Profumo, R. W. De Doncker and A. Tenconi, "Low stray inductance bus bar design and construction for good EMC performance in power electronic circuits," in *IEEE Transactions on Power Electronics*, vol. 17, no. 2, pp. 225-231, March 2002, doi: 10.1109/63.988833.
- [70] B. Zhang and S. Wang, "A Survey of EMI Research in Power Electronics Systems With Wide-Bandgap Semiconductor Devices," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 1, pp. 626-643, March 2020, doi: 10.1109/JESTPE.2019.2953730.
- [71] M. Zhang, N. Ren, Q. Guo, W. Yao and K. Sheng, "An investigation of Near-field Radiated Emission for Silicon Carbide Power Module in Buck Converter," *2020 17th China International Forum on Solid State Lighting & 2020 International Forum on Wide Bandgap Semiconductors China*, 2020, pp.85-89, doi: 10.1109/SSLChinaFWS51786.2020.930875.
- [72] Y. Zhang, S. Wang and Y. Chu, "Analysis and Comparison of the Radiated Electromagnetic Interference Generated by Power Converters With Si MOSFETs and GaN HEMTs," in *IEEE Transactions on Power Electronics*, vol. 35, no. 8, pp. 8050-8062, Aug. 2020, doi: 10.1109/TPEL.2020.2972342.
- [73] T. Edwards and M. Steer, "Fundamentals of Signal Transmission on Interconnects," in *Foundations for Microstrip Circuit Design*, 4th ed., John Wiley & Sons, 2016.

- [74] R. Schmitt, "Introduction and Survey of the Electromagnetic Spectrum," in *Electromagnetic Explained: A Handbook for Wireless/Rf, EMC and High-Speed Electronics*, 1st ed., Newnes, 2002, doi: 10.1016/B978-075067403-4/50002-1.
- [75] *RF Blockset™ User's Guide*, The MathWorks, Inc., Natick, MA, USA, R2021b, 2021.
- [76] M. K. Kazimierczuk, *High-frequency magnetic components*, 2nd ed., John Wiley & Sons, 2014, doi: 10.1002/9781118717806.
- [77] S. P. Hall and H. L. Heck, "Nonideal Conductor Models," in *Advanced Signal Integrity for High-Speed Digital Systems*, 1st ed., John Wiley & Sons; 2009, doi: 10.1002/9780470423899.
- [78] S. Ravyts *et al.*, "Experimental Analysis of Laminated Bus Bars for Building-Integrated Photovoltaic Applications," *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2021, pp. 9-14, doi: 10.1109/ECCE47101.2021.9595319.
- [79] A. R. Djordjevic, R. M. Biljic, V. D. Likar-Smiljanic and T. K. Sarkar, "Wideband frequency-domain characterization of FR-4 and time-domain causality," in *IEEE Transactions on Electromagnetic Compatibility*, vol. 43, no. 4, pp. 662-667, Nov. 2001, doi: 10.1109/15.974647
- [80] C. L. Holloway, E. F. Kuester, A. E. Ruehli and G. Antonini, "Partial and Internal Inductance: Two of Clayton R. Paul's Many Passions," in *IEEE Transactions on Electromagnetic Compatibility*, vol. 55, no. 4, pp. 600-613, Aug. 2013, doi: 10.1109/TEM.2013.2253470.
- [81] D. A. Frickey, "Conversions between S, Z, Y, H, ABCD, and T parameters which are valid for complex source and load impedances," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 42, no. 2, pp. 205-211, Feb. 1994, doi: 10.1109/22.275248.
- [82] R. B. Marks, D. F. Williams and D. A. Frickey, "Comments on "Conversions between S, Z, Y, h, ABCD, and T parameters which are valid for complex source and load impedances" [with reply]," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 43, no. 4, pp. 914-915, April 1995, doi: 10.1109/22.375247.
- [83] Keysight Technologies, Appl. Note 5965-7709E, Applying Error Correction to Vector Network Analyzer Measurements, 2018.
- [84] O.-M. Midtgard, "The impedance of Two Parallel Plates," in *Electromagnetics*, vol. 35, no. 2, pp. 75-90, Jan. 2015, doi: 10.1080/02726343.2014.987636.
- [85] Yuan D, Zhang Y, Wang X., "An Improved Analytical Model for Crosstalk of SiC MOSFET in a Bridge Arm Configuration,". In *Energies*. 2021; 14(3) : 683, doi: 10.3390/en14030683.
- [86] STMicroelectronics, "SCTW100N65G2AG Automotive-grade silicon carbide power MOSFET 650 V, 100A, 20 mΩ , in an HiP247 package," datasheet, Rev 3., 2020.
- [87] Power Integrations, "2SC0435T2F1-17 and 2SC435T2F1C-17. Preliminary Datasheet: Dual-Channel SCALE-2+ IGBT and MOSFET Driver Core," Datasheet, Rev 2.0, 2018
- [88] Power Integrations, "Application Note AN-1601 SCALE Family: Controlling SiC MOSFET Power Switches with SCALE-2 and SCALE-2+ Gate Drivers Cores and SCALE-iDriver Gate Driver ICs," application note, Jun. 2017.

- [89] Panasonic, "Plastic Film Capacitors: Metallized Polypropylene Film Capacitor EZPV series," datasheet, Dec. 2020. Available online: <https://industrial.panasonic.com/cdbs/ww-data/pdf/RDL0000/RDL0000C251.pdf>
- [90] Power Integrations, "Application Note AN-1601 SCALE Family: Controlling SiC MOSFET Power Switches with SCALE-2 and SCALE-2+ Gate Drivers Cores and SCALE-iDriver Gate Driver ICs," application note, Jun. 2017.
- [91] C. Yang, Y. Pei, L. Wang, L. Yu, F. Zhang and B. Ferreira, "Overvoltage and Oscillation Suppression Circuit With Switching Losses Optimization and Clamping Energy Feedback for SiC MOSFET," in *IEEE Transactions on Power Electronics*, vol. 36, no. 12, pp. 14207-14219, Dec. 2021, doi: 10.1109/TPEL.2021.3090031.
- [92] M. Mudholkar, S. Ahmed, M. N. Ericson, S. S. Frank, C. L. Britton and H. A. Mantooh, "Datasheet Driven Silicon Carbide Power MOSFET Model," in *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2220-2228, May 2014, doi: 10.1109/TPEL.2013.2295774.
- [93] K. Chen, Z. Zhao, L. Yuan, T. Lu and F. He, "The Impact of Nonlinear Junction Capacitance on Switching Transient and Its Modeling for SiC MOSFET," in *IEEE Transactions on Electron Devices*, vol. 62, no. 2, pp. 333-338, Feb. 2015, doi: 10.1109/TED.2014.2362657.
- [94] Z. Zhang, B. Guo, F. F. Wang, E. A. Jones, L. M. Tolbert and B. J. Blalock, "Methodology for Wide Band-Gap Device Dynamic Characterization," in *IEEE Transactions on Power Electronics*, vol. 32, no. 12, pp. 9307-9318, Dec. 2017, doi: 10.1109/TPEL.2017.2655491.
- [95] *Generic Standard on Printed Board Design*, Standard IPC 2221B, IPC-Association Connecting Electronics Industries, Bannockburn, IL, USA, 2003.
- [96] *Safety of power converters for use in photovoltaic power systems Part 1: General requirements*, Standard IEC 62109-1:2010, IEC-International Electrotechnical Commission, Geneva, Switzerland, 2010.
- [97] A. Tsibizov, I. Kovačević-Badstübner, B. Kakarla and U. Grossner, "Accurate Temperature Estimation of SiC Power mosfets Under Extreme Operating Conditions," in *IEEE Transactions on Power Electronics*, vol. 35, no. 2, pp. 1855-1865, Feb. 2020, doi: 10.1109/TPEL.2019.2917221.
- [98] M. Riccio, V. d'Alessandro, G. Romano, L. Maresca, G. Breglio and A. Irace, "A Temperature-Dependent SPICE Model of SiC Power MOSFETs for Within and Out-of-SOA Simulations," in *IEEE Transactions on Power Electronics*, vol. 33, no. 9, pp. 8020-8029, Sept. 2018, doi: 10.1109/TPEL.2017.2774764.
- [99] A. Fayyaz *et al.*, "Influence of gate bias on the avalanche ruggedness of SiC power MOSFETs," *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, 2017, pp. 391-394, doi: 10.23919/ISPSD.2017.7988986.
- [100] K. Yao, H. Yano and N. Iwamuro, "Investigations of UIS Failure Mechanism in 1.2 kV Trench SiC MOSFETs Using Electro-Thermal-Mechanical Stress Analysis," *2021 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2021, pp. 115-118, doi: 10.23919/ISPSD50666.2021.9452281.
- [101] SCTW100N65G2AG Datasheet, STMicroelectronics, Switzerland, Rev 4, Sept. 2021.

- [102] H. Niwa, J. Suda and T. Kimoto, "Impact Ionization Coefficients in 4H-SiC Toward Ultrahigh-Voltage Power Devices," in *IEEE Transactions on Electron Devices*, vol. 62, no. 10, pp. 3326-3333, Oct. 2015, doi: 10.1109/TED.2015.2466445.
- [103] Lou, Z., Wada, K., Saito, W. and Nishizawa, S. "Investigations on acceptable breakdown voltage variation of parallel-connected SiC MOSFETs applied to solid-state circuit breakers," in *Microelectronics Reliability*, Oct. 2021, doi:10.1016/j.microrel.2021.114270.
- [104] J. Lutz, H. Schlangenotto, U. Scheuermann and R. De Doncker, "pn-Junctions" in *Semiconductor Power Devices: Physics Characteristics Reliability*, 1st ed. Cham, Switzerland:Springer, pp. 77-121, 2011, doi: 10.1007/978-3-642-11125-9.