

TESIS DE LA UNIVERSIDAD
DE ZARAGOZA

2023

7

Eduardo García Martínez

Sistemas de pruebas de potencia para Smartgrid

Director/es

Sanz Osorio, José Francisco
Muñoz-Cruzado Alba, Jesús

<http://zaguan.unizar.es/collection/Tesis>

ISSN 2254-7606



Premsas de la Universidad
Universidad Zaragoza



Universidad
Zaragoza

Tesis Doctoral

**SISTEMAS DE PRUEBAS DE POTENCIA PARA
SMARTGRID**

Autor

Eduardo García Martínez

Director/es

Sanz Osorio, José Francisco
Muñoz-Cruzado Alba, Jesús

UNIVERSIDAD DE ZARAGOZA
Escuela de Doctorado

Programa de Doctorado en Energías Renovables y Eficiencia Energética

2022



UNIVERSIDAD DE ZARAGOZA

SISTEMAS DE PRUEBAS DE POTENCIA PARA SMARTGRID

Tesis doctoral presentada por Eduardo García Martínez
dentro del Programa de Doctorado en Energías Renovables y Eficiencia Energética

Dirigida por Dr. José Francisco Sanz
y Dr. Jesus Muñoz-Cruzado Alba



UNIVERSIDAD DE ZARAGOZA

SISTEMAS DE PRUEBAS DE POTENCIA PARA SMARTGRID

Tesis doctoral presentada por Eduardo García Martínez
dentro del Programa de Doctorado en Energías Renovables y Eficiencia Energética

Dirigida por Dr. José Francisco Sanz
y Dr. Jesus Muñoz-Cruzado Alba

El doctorando

El director

El director

Zaragoza, agosto 2022

Sistemas de pruebas de potencia para Smartgrid

Autor: Eduardo García Martínez

Director: Dr. José Francisco Sanz Osorio

Director: Dr. Jesús Muñoz-Cruzado Alba

La siguiente página web contiene la información actualizada sobre esta tesis y otros temas relacionados: <http://fcirce.es/>

Texto impreso en Zaragoza

Primera Edición, agosto 2022

Abstract

The problems associated with the use of fossil fuels are leading us to an energy transition towards renewable energy. To integrate this renewable energy, the present electric grid is evolving to an intelligent one, which is well-known as Smartgrid. But this transformation implies an increment in its complexity, especially in the electric distribution grid.

The Smartgrid will need a new kind of devices, with new functionalities, that interact and communicate with equipment from other manufacturers to guarantee the security of supply, constantly balancing generation and consumption. This disruptive leap forward conflicts with the great reliability that these devices must exhibit during their operation. For this reason, the development and improvement of test methods to validate these new systems is key to succeeding in its deployment.

This thesis has two main objectives. The first one is to enhance the current scientific knowledge related to the test methods for the Smartgrid, focusing on those that allow the verification and validation of power systems. The second objective is to launch a technological service that allows the improvement of the current technical capacities in the territory, needed for the deployment of the required devices in the development of the Smartgrid.

First of all, a review of the state of the art of the test methods for Smartgrid equipment has been carried out, classifying them according to their price, fidelity and coverage. This classification shows that the test technique that offers the best performance between coverage and fidelity for power systems is [Power Hardware-In-the-Loop \(PHIL\)](#). In

addition to that, the acquisition of a complete test-bench by laboratories also offers other interesting test methods such as simulation and the other “in-the-loop” techniques (MIL, SIL, PIL and HIL).

Second of all, a new guide to select the PHIL systems has been developed, compiling information from both commercial and prototype devices, and also the tests carried out in other laboratories. Furthermore, the information needed to reuse and reproduce the PHIL experiments performed in laboratories has been defined. This classification of the information has been used to create an online database, in which laboratories can consult the information on tests carried out on hardware of similar characteristics, and also include information from their new experiments.

Third of all, an analysis of the elements that are part of the closed control loop of a PHIL testbench has also been developed, proposing improvements to the components involved that manage to increase the maximum emulation frequency up to five times the current testbenches. For this purpose, the conceptual design of a new PHIL platform that allows the testing of devices at various connection points of the electric grid has been presented. Furthermore, an embedded simulator has also been developed in order to execute multiplatform models and their modelling in a graphical tool. These improvements finished with the proposal of a new high bandwidth current amplifier, which is based on a massively parallel converter topology.

However, for those tests of power systems with a very specific hardware operation and communications protocol (such as electric vehicle chargers), the use of power emulators may entail significant improvements in testbench development and execution time. These emulators also offer operational advantages in very limited or repetitive tests compared to the PHIL technique.

For this reason, the development of a V2G electric vehicle emulator for testing bidirectional chargers is presented. This emulator is verified

in the laboratory against a real bi-directional charger. For its development, the battery output voltage control, the output filter using the design space technique and the software implementation of the system control have been designed within this thesis. In addition to that, a reactive power control to compensate the charger power consumption during the test has been designed.

Finally, the Laboratory of Studies and Tests of Power Electronics ([LE³P](#)) is presented at the CIRCE's facilities, developed within the framework of this thesis. This laboratory offers a technological service to universities, technological research centers and companies for the deployment of new power equipment for the Smartgrid. A V-model is defined, adding the equipment available in its facilities and the different testing techniques. As proof of this launch, two different tests carried out in [LE³P](#) to prototypes developed in European projects have been described in the appendix.

Resumen

Los problemas asociados al uso de combustibles fósiles nos está llevando como sociedad a una transición energética hacia las energías renovables. Para su integración, la red eléctrica actual está evolucionando a una red eléctrica inteligente, o también denominada Smart-grid. Pero esta evolución supone un aumento en la complejidad de su funcionamiento, sobre todo en las redes de distribución.

En las redes eléctricas se van a necesitar nuevos equipos, con nuevas funcionalidades, que interactúen y comuniquen con sistemas de otros fabricantes para garantizar en todo momento la calidad y seguridad de suministro, equilibrando la balanza entre generación y consumo. Este salto disruptivo pone en riesgo la gran fiabilidad que estos nuevos equipos deben mostrar durante su operación. Por ello, el desarrollo y mejora de los métodos de prueba para la validación de estos sistemas es clave para el éxito de su despliegue.

El presente trabajo de investigación tiene dos objetivos principales. El primer objetivo es la identificación, análisis y mejora de los métodos de prueba actuales para la Smartgrid, centrándose en aquellos que permitan la verificación y validación de los sistemas de potencia. El segundo objetivo es el lanzamiento de un servicio tecnológico que permita mejorar las capacidades técnicas actuales en el territorio, necesarias para el despliegue del equipamiento requerido en el desarrollo de la Smart-grid.

Para ello, en primer lugar se ha realizado un revisión de los métodos de prueba para equipos de la Smartgrid, clasificándolos según su precio,

fideliad y cobertura. Esta clasificaci3n muestra que la t3cnica de pruebas que ofrece la mejor relaci3n entre cobertura y fidelidad para sistemas de potencia es [Power Hardware-In-the-Loop \(PHIL\)](#). Adem3s, la disposici3n de esta bancada por parte de los laboratorios tambi3n ofrece otras t3cnicas de prueba interesantes, tales como la simulaci3n y las restantes t3cnicas en bucle cerrado ([MIL](#), [SIL](#), [PIL](#) y [HIL](#)).

Dada las capacidades de esta t3cnica de pruebas, se ha desarrollado un nuevo procedimiento para el dimensionamiento de una bancada [PHIL](#), recopilando informaci3n tanto del equipamiento comercial, como de prototipos y diferentes pruebas desarrolladas en laboratorios. Adem3s, se ha definido y clasificado la informaci3n relevante a documentar de una prueba [PHIL](#) para poder reproducir el experimento y reutilizar las configuraciones utilizadas. Esta clasificaci3n de la informaci3n ha sido utilizada para la creaci3n de una base de datos en l3nea, permitiendo a los usuarios consultar la informaci3n de las pruebas realizadas por otros laboratorios a equipos de inter3s com3n, as3 como incluir la informaci3n de sus nuevos experimentos.

Tambi3n se ha realizado un an3lisis de los elementos que componen el lazo cerrado de control de una bancada [PHIL](#), proponiendo mejoras que consiguen aumentar la m3xima frecuencia de emulaci3n hasta cinco veces respecto las bancadas actuales. Para la ejecuci3n de estas mejoras, se ha realizado el dise1o conceptual de una nueva plataforma [PHIL](#), que posibilita la prueba de equipos en varios puntos de conexi3n de la red el3ctrica. A su vez, tambi3n se ha desarrollado un simulador embebido que permite la ejecuci3n de modelos multiplataforma y su modelado en herramienta gr3fica. Estas mejoras se cierran con la propuesta de un amplificador de corriente de gran ancho de banda, basado en la topolog3a de un convertidor masivamente paralelo.

En el an3lisis de los requerimientos de los sistemas de ensayo, se ha observado que para aquellas pruebas de sistemas de potencia con un protocolo de maniobra hardware y de comunicaciones muy espec3fico y repetitivo (como por ejemplo, los cargadores de veh3culo el3ctri-

co), la utilización de emuladores de potencia puede suponer un ahorro importante en el tiempo de desarrollo y ejecución de los ensayos. Estos emuladores además ofrecen también ventajas operativas en pruebas muy acotadas o repetitivas respecto el método [PHIL](#).

Por este motivo, se presenta el desarrollo de un emulador de vehículo eléctrico [V2G](#) para la comprobación de cargadores bidireccionales. El funcionamiento de este emulador ha sido verificado en laboratorio ante un equipo real. Para la realización de este prototipo, dentro de esta tesis se ha diseñado el control de tensión de salida de batería, el filtro de salida utilizando la técnica de espacio de diseño y la implementación del código de su tarjeta de control. También se ha diseñado el control de reactiva para compensar la potencia de los cargadores durante la prueba.

Para finalizar, se presenta el [Laboratorio de Estudios y Ensayos de Electrónica de Potencia \(LE³P\)](#) en las instalaciones de CIRCE, desarrollado en el marco de esta tesis. Este laboratorio ofrece un servicio tecnológico a las universidades, centros de investigación tecnológicos y empresas para el despliegue de nuevo equipamiento de potencia para la Smartgrid. En este servicio se define un modelo de desarrollo en V, complementándolo con el equipamiento utilizable dentro del mismo y las diferentes técnicas de prueba disponibles. Como muestra de este lanzamiento, en los anexos se describen dos pruebas realizadas dentro del [LE³P](#) a prototipos desarrollados en proyectos europeos.

Agradecimientos

Hay tantas cosas que agradecer a tanta gente para que esto haya podido ver la luz, que me resulta muy difícil plasmarlo en palabras en unas páginas. Así que voy a escribir aquí lo políticamente correcto, y lo incorrecto me lo guardo para expresarlo en persona.

GRACIAS con mayúscula a mis directores de tesis, que me han estado acompañando en todo momento. A modo individual, al Dr. José Francisco Sanz por darme su confianza y esta oportunidad increíble de adentrarme en este mundo de la electrónica de potencia, que me ha atrapado hasta el tuétano. Quién iba a pensar que acabaría viviendo esto, teniendo en cuenta que cuando entré en CIRCE para mi los 48 V era alta tensión. Y al Dr. Jesús Muñoz-Cruzado, que consiguió dar luz en uno de los momentos más oscuros de esta tesis, facilitando mucho el camino.

También quiero dar las gracias a Juan Manuel Perié, ¿cómo haces para tener siempre buenas respuestas para todo?. Eres el principal culpable de la temática de esta tesis, la cual empezó con una conversación muy parecida a esta:

- EGM: *¿Y sobre qué hago la tesis?*
- JMP: *Podrías hacerla sobre PHIL*
- EGM: *¿PHIL? ¿Qué es eso?*

Asimismo, quiero dar las gracias a todas las personas de CIRCE, y en especial al departamento de Sistemas Electrónicos, de los que he aprendido una barbaridad y compartido un montón de experiencias y “batallitas”. De estas personas hay algunas con las que sigo teniendo la suerte de compartir el día a día como Michel, Javi’s, David, María,

Andreas, Juan, Aitor, Gregorio, Hans, Samuel ... y hay otras con las que he tenido la suerte de haberlo compartido como Erika, Nacho, Tomás, Rubén, Marta, Carlos... También mención especial a Paula, Rubén y Alberto que me han echado una mano en la parte final leyéndose un cachito de esta tesis.

Fuera del ámbito laboral se encuentran aquellas personas que más han sufrido el tiempo que he tenido que dedicar a esta tesis. Quiero mandar desde aquí un abrazo a mis amigos Paco, Iñaki, Laura's, Gemelos, Blas ... con los que tantos buenos momentos he compartido y con los que tengo muchas ganas de celebrarlo. También quiero agradecer a los "Irregulars" toda la paciencia que han tenido y toda la armonía que me han dado. Por supuesto, agradecer a los "Huertachers" esos días de paella al aire libre y naturaleza que tantas pilas me han recargado.

Eternamente agradecido estoy a la increíble familia que me ha tocado. Gracias a mi padre, la transmisión de tu ética de trabajo de poco a poco como una hormiguita y extremadamente detallista me ha ayudado a acabar esta tesis. Gracias a mi madre, la transmisión de tu felicidad y ganas de vivir y explorar con ilusión perpetua es uno de los pilares fundamentales de mi vida. Gracias a mi hermana, tu amor incondicional ha hecho que me sintiera arropado durante todo este tiempo. También gracias a todos mis sobrinos/as, que me han hecho conectar de nuevo con el juego y la infancia, dándome unas alegrías tremendas.

Por último, quiero agradecer a las dos personas más importantes en mi vida, mi mujer Nuria y mi hija Naia. Naia, iluminas mi vida, nunca pensé que podría querer tanto a alguien. Nuria, te quiero, te admiro, aprendo de ti cada día, que suerte tengo de poder compartir mi vida contigo, gracias, gracias, gracias, gracias... ¿te he dado las gracias? gracias, gracias, gracias...

Soy solo si eres tú

A Nuria, Naia y lo que está por venir ...

Índice general

Índice de figuras	xix
Índice de tablas	xxxi
1 Introducción	1
1.1 Contexto	1
1.2 Motivación	3
1.3 Objetivos	7
1.4 Listado de publicaciones	8
1.4.1 Revistas científicas	8
1.4.2 Congresos	8
1.5 Estructura	9
2 Estado del arte de métodos de prueba para sistemas de la Smartgrid	13
2.1 Sistemas de la Smartgrid según su canal de interacción	14
2.1.1 Sistemas de computación	15
2.1.1.1 Interfaz de comunicación	16
2.1.1.2 Interfaz de medición-actuación	17
2.1.1.3 Interfaz de usuario	17
2.1.2 Sistemas de potencia eléctricos	18
2.1.3 Sistemas socio-político-económicos	19
2.2 Estado del arte de sistemas de prueba para Smartgrid	19
2.2.1 Simulación	20
2.2.1.1 Simulación de sistemas de potencia eléctricos	20

ÍNDICE GENERAL

2.2.1.2	Simulación de sistemas computacionales	22
2.2.1.2.1	Estudio y comprobación de la implementación del control y/o monitorización de un sistema físico	22
2.2.1.2.2	Estudio y comprobación de la comunicación entre los equipos	23
2.2.1.3	Simulación de sistemas socio-político-económicos	24
2.2.1.4	Simulación acoplada o co-simulación	25
2.2.2	Simulación en tiempo real	27
2.2.2.1	Hardware-In-the-Loop (HIL)	28
2.2.2.2	Power Hardware-In-the-Loop (PHIL)	29
2.2.3	Emuladores de potencia	30
2.2.4	Banco de pruebas	31
2.2.5	Pruebas en campo	32
2.2.6	Clasificación	33
2.3	Método de prueba para cada sistema	35
2.4	Conclusiones	38
3	Dimensionamiento bancada PHIL y método comparativo previo de PA	39
3.1	Análisis de los principales elementos PHIL	40
3.1.1	Simulador digital en tiempo real (DRTS)	40
3.1.1.1	Tipos	42
3.1.1.2	Estado del arte	44
3.1.1.3	Análisis de las características a maximizar	45
3.1.2	Amplificador de potencia (PA)	47
3.1.2.1	Clasificación - Tipos	47
3.1.2.2	Estado del arte	47
3.1.2.3	Análisis de las características a maximizar	51
3.2	Procedimiento de dimensionamiento de una bancada PHIL	55
3.3	Herramienta y base de datos de pruebas PHIL	61
3.3.1	Organización de la información	62
3.3.2	Gestión de usuarios	64
3.3.3	Interfaz gráfica	64

3.3.4	Ubicación	65
3.3.5	Resumen de la base de datos	66
3.4	Método comparativo previo de amplificadores de potencia	68
3.4.1	Diagrama de bloques y modelo base para pruebas PHIL	68
3.4.2	Amplificadores de potencia a comparar y pruebas a realizar	71
3.4.3	Caso dinámico en continua	73
3.4.4	Caso dinámico de red eléctrica	74
3.4.5	Caso transitorio de red eléctrica	76
3.4.6	Resultados obtenidos y conclusiones	77
4	Diseño de una plataforma PHIL integrada de baja latencia	81
4.1	Caracterización y análisis de la bancada de pruebas PHIL	82
4.2	Propuestas para la mejora de potencia y ancho de banda de los bancos de prueba PHIL	84
4.2.1	Sincronización de PA y DRTS	84
4.2.2	Fuerte acoplamiento entre PA y DRTS	86
4.2.3	Interfaz MRP	88
4.2.4	Tipo de amplificador y topología	91
4.2.5	Conclusión de las mejoras propuestas	94
4.3	Plataforma PHIL	95
4.3.1	Esquema general	95
4.3.2	Casos de uso	97
4.3.2.1	Conjunto de computación para simulación	97
4.3.2.2	Sistemas de varias salidas de potencia	98
4.3.2.3	Sistemas de varias salidas de potencia con modelos complejos de red	100
4.3.2.4	Amplificador compatible con simuladores comerciales	101
4.4	Sistema de simulación en tiempo real	102
4.4.1	Necesidades y objetivos	103
4.4.2	Compatibilidad de modelos: estándar FMI	103
4.4.3	Herramienta gráfica de modelado y de ejecución	105
4.4.4	Selección del hardware	107

ÍNDICE GENERAL

4.4.4.1	Valoración entre diferentes plataformas computacionales	107
4.4.4.2	Plataforma computacional elegida	109
4.4.5	Pruebas realizadas	112
4.4.5.1	Verificación de funcionamiento	112
4.4.5.2	Simulación con interacción externa	113
4.4.5.3	Cálculo de la capacidad de computación necesaria	115
4.5	Amplificador de potencia	118
4.5.1	Objetivo	118
4.5.2	Topología propuesta	119
4.5.3	Elección del modo de conducción	122
4.5.3.1	Análisis de la resonancia	124
4.5.4	Diseño	127
4.5.4.1	Frecuencia de conmutación	127
4.5.4.2	Número de ramas	129
4.5.4.3	Inductancia	131
4.5.4.4	Filtro snubber	136
4.5.4.5	Características finales	138
4.5.5	Simulación	141
4.6	Comparación de la solución propuesta	145
5	Diseño sistema de pruebas para cargadores V2G	149
5.1	Sistemas de prueba para cargadores de vehículo eléctrico	150
5.2	Esquema general y necesidades del emulador de vehículo eléctrico	151
5.3	Elementos y desarrollos del emulador de vehículo eléctrico	154
5.3.1	Elementos comerciales utilizados	155
5.3.1.1	Analizador de red	155
5.3.1.2	Transformador y filtro EMI	155
5.3.2	Prototipos utilizados	155
5.3.2.1	Convertidor AC/DC	155
5.3.2.2	Energy Box (Ebox)	156
5.3.3	Desarrollos realizados	157
5.4	Control de compensación de reactiva	157

5.4.1	Control en bucle abierto - Medida en el cargador	158
5.4.2	Control en bucle cerrado - Medida en el punto de acoplo común	159
5.4.3	Control en bucle cerrado con realimentación de la pertur- bación	161
5.4.4	Comparativa de las respuestas de control de reactiva . . .	162
5.5	Convertidor DC/DC	163
5.5.1	Evaluación de la topología	163
5.5.2	Diseño del filtro de salida	165
5.5.2.1	Rizado de corriente total	166
5.5.2.2	Rizado de tensión de salida	168
5.5.2.3	Transitorio en tensión ante escalón de corriente	169
5.5.2.4	Tiempo de respuesta	170
5.5.2.5	Máxima frecuencia de resonancia	172
5.5.2.6	Combo slew rate	172
5.5.2.7	Espacio de diseño	173
5.5.3	Diseño del control en tensión	174
5.5.3.1	Amortiguación del filtro de salida	176
5.5.3.2	Cálculo del regulador	180
5.5.3.3	Estudio a desviaciones paramétricas del filtro . .	184
5.6	Resultados experimentales	187
5.6.1	Bancada de pruebas	187
5.6.2	Comportamiento del sistema	188
6	Laboratorio de Estudios y Ensayos de Electrónica de Potencia (LE³P)	193
6.1	Metodología del servicio tecnológico	193
6.2	Equipamiento	196
6.3	Métodos de prueba disponibles en el laboratorio	199
6.3.1	Simulación	199
6.3.2	Banco de pruebas (Testbench)	199
6.3.3	HIL	200
6.3.4	PHIL	201

ÍNDICE GENERAL

6.4	Modelo final del Laboratorio de Estudios y Ensayos de Electrónica de Potencia (LE ³ P) y pruebas realizadas	201
7	Conclusiones y resultados de la tesis	205
	Anexos	209
A	Vehículos eléctricos y sus sistemas de carga	211
B	Caracterización y comprobación de un sistema de recarga por inducción	215
B.1	Información general	215
B.1.1	Proyecto	215
B.1.2	HUT	216
B.2	Descripción prueba	217
B.3	Prueba y resultados	218
C	Verificación del funcionamiento de un convertidor DC/DC resonante	223
C.1	Información general	223
C.1.1	Proyecto	223
C.1.2	HUT	224
C.2	Descripción prueba	225
C.3	Prueba y resultados	226
	Bibliografía	229

Índice de figuras

1.1	Modelo conceptual de la red eléctrica inteligente o Smartgrid en Europa [24].	5
2.1	Dimensiones de la Smartgrid: sistemas computacionales, sistemas de potencia eléctricos y sistemas socio-político-económicos. . . .	14
2.2	Diagrama de bloques de las dos estrategias utilizadas para co-simulación (basado en [42]).	26
2.3	Estructura básica de un banco de pruebas de PHIL.	29
2.4	Clasificación de los sistemas de prueba para Smartgrid existentes en la actualidad (basado en [26]).	34
2.5	Diagrama conceptual de los sistemas de prueba recomendados para cada una de las dimensiones, según el esquema mostrado anteriormente en la Figura 2.1.	36
3.1	Técnicas de simulación existentes (a) Simulación “fuera de línea” acelerada (b) Simulación “fuera de línea” lenta (c) Simulación en tiempo real.	41
3.2	Requisitos de computación para diferentes tipos de sistemas a simular (basado en [49]).	42
3.3	Diagrama simplificado de las configuraciones de los tres tipos de amplificador de salida (a) Amplificador lineal (b) Amplificador conmutado (c) Generador síncrono.	48
3.4	Los retrasos existentes en una bancada PHIL con comunicación analógica entre el amplificador y el simulador (basado en [162]). .	59

ÍNDICE DE FIGURAS

3.5	Requerimientos de la bancada PHIL dependiendo del ancho de banda del modelo a ejecutar en el test [162]. En este caso, se muestra un ejemplo de prueba del comportamiento de un HUT ante un transitorio de la red eléctrica, cuya máxima frecuencia de interés es 2 kHz.	60
3.6	Modelo entidad-relación en UML de la base de datos desarrollada para facilitar el proceso de diseño y la reproducibilidad de los test PHIL.	63
3.7	Primera ventana de acceso a la herramienta. Si se dispone de usuario y contraseña, es posible añadir y/o modificar los elementos asociados en la base de datos. Si solo se quiere consultar, mediante el botón “Guest” se puede acceder a toda la información de las tablas (Figura 3.6).	64
3.8	Pantalla principal de la interfaz gráfica de usuario para la consulta, adición y modificación de la base de datos.	65
3.9	Captura de pantalla de la tabla “Papers”, que contiene la información principal sobre las pruebas PHIL incluidas en la base de datos, según la organización mostrada en la Figura 3.6.	66
3.10	Distribución de la pruebas recogidas en la base de datos: (a) Según el tipo de hardware sometido a prueba (HUT) (b) Según el tipo de sistema modelado en el simulador en tiempo real.	67
3.11	Diagrama de bloques simplificado de un test realizado en una bancada PHIL.	69
3.12	Modelo de simulink propuesto para realizar la simulación.	70
3.13	Esquema del caso dinámico en continua.	73
3.14	Resultados obtenidos del caso dinámico en continua (a) Comprobación de la estabilidad mediante el diagrama de Nyquist con cada uno de los amplificadores (b) Superior: respuesta en tensión de cada uno de los amplificadores en comparación con la evolución real del sistema; Inferior: tensión de la red eléctrica y respuesta en corriente del SCESS.	74
3.15	Esquema del caso dinámico de red eléctrica.	75

3.16 Resultados obtenidos del caso dinámico de red eléctrica (a) Comprobación de la estabilidad mediante el diagrama de Nyquist con cada uno de los amplificadores (b) Evolución de la potencia activa y reactiva tanto de la carga como del punto de medida del EMS.	76
3.17 Esquema del caso transitorio de red eléctrica.	77
3.18 Resultados obtenidos del caso transitorio de red eléctrica (a) Comprobación de la estabilidad mediante el diagrama de Nyquist con cada uno de los amplificadores (b) Respuesta en tensión de la red eléctrica en el punto de conexión del BESS ante un cambio en escalón de la amplitud.	78
4.1 Diagrama de bloques extendido de una prueba realizada en una bancada PHIL.	83
4.2 Bloques mejorados (resaltados en negro) gracias a la sincronización entre el DRTS y el PA.	85
4.3 Comparación del contenido armónico de una referencia de tensión sinusoidal de 1 kHz enviada por el DRTS, cuya frecuencia de ejecución es de 20 kHz, y recibida por el PA, cuya frecuencia de ejecución es de 70 kHz, para los dos casos: (a) no sincronización entre DRTS y PA; (b) sincronización entre DRTS y PA.	86
4.4 Bloques mejorados (resaltados en negro) gracias al fuerte acoplamiento entre el DRTS y el PA. Las funciones de transferencia $G_{filter_{DRTS}}(s)$ y $G_{filter_{PA}}(s)$ han podido ser eliminadas gracias a este método. A su vez, las medidas del DRTS se obtienen del PA a través de un nuevo bloque de filtrado al que se le vuelve a denominar $G_{filter_{PA}}(s)$	87
4.5 Diagrama de funcionamiento del algoritmo MRP (basado en [180]). Cada subsistema S_{1X} está conectado a través de una interfaz virtual VI_X a otros subsistemas, los cuales se ejecutan con pasos de cálculo más reducidos (T_s) conforme se van acercando al PA.	88
4.6 Plataforma de simulación en tiempo real usada dependiendo de la complejidad del modelo o de su frecuencia de ejecución (basado en [49]).	89

ÍNDICE DE FIGURAS

4.7	Configuración propuesta de la simulación en tiempo real utilizando la interfaz MRP (basado en [180]) y ejecutando el último subsistema S_{14} dentro del PA . Esta configuración facilita la sincronización y el fuerte acoplamiento entre en el DRTS y el PA , que son las propuestas de mejora mostradas en la Sección 4.2.1 y en la Sección 4.2.2 respectivamente.	90
4.8	Bloques mejorados (resaltados en negro) debido a la utilización de la interfaz MRP	91
4.9	Diagrama de bloques de las pruebas en PHIL , donde se resalta (en negro) las mejoras que ofrece el uso de los tipos y topologías de amplificadores descritos anteriormente para el aumento del ancho de banda y potencia de las pruebas PA	94
4.10	Plataforma propuesta para PHIL , compuesta por dos unidades computacionales: a la izquierda para la simulación de sistemas eléctricos en tiempo real y a la derecha para el control del amplificador de potencia, encargado de la transferencia de energía con el HUT . . .	96
4.11	Esquema general de conexión de los sistemas embebidos con el HMI y el hardware de potencia.	97
4.12	Utilización de varios embebidos de simulación para la utilización del algoritmo MRP o la realización de un conjunto de computación para simulación.	98
4.13	Sistema multi-plataforma propuesta para PHIL , donde las ecuaciones de estado del sistema simulado se divide en diferentes subsistemas así como la salida en potencia de los diferentes puntos del circuito.	99
4.14	Sistema multi-plataforma propuesta para PHIL , donde el sistema simulado se divide en dos partes: la parte lenta, de mayor número de elementos y de dinámica más lenta, que se realiza en fasores; la parte rápida, la cual se encuentra principalmente cerca del sistema a probar y tiene una dinámica más rápida, simulada en ecuaciones diferenciales con un paso de cálculo rápido.	101

4.15	Ejemplo de utilización del PA propuesto con un DRTS comercial, utilizando un ADC para la recepción de consignas y un DAC para el envío de las medidas de salida al DRTS	102
4.16	Tipos de modelos FMU : (a) para el intercambio de modelos, donde se utiliza la herramienta del simulador o solver para la integración numérica; (b) Para co-simulación, donde la herramienta está incluida dentro del modelo.	105
4.17	Arquitectura del entorno de simulación OpenModelica [191]. . . .	106
4.18	Diagrama de flujo del proceso para la conversión del modelo FMU y su compilación para ser ejecutado en el integrado de simulación.	107
4.19	Valoración gráfica de las principales características de los diferentes sistemas de computación para la plataforma de simulación. . .	109
4.20	Vista superior e inferior de la tarjeta de computación Parallella [198].	110
4.21	Esquema de comunicación entre los diferentes elementos del sistema de simulación en tiempo real planteado para la realización de una plataforma de pruebas PHIL de gran ancho de banda.	111
4.22	Modelo de un circuito eléctrico simple para la comprobación del correcto funcionamiento del modelo FMU	112
4.23	Resultado de la simulación del modelo desarrollado en Figura 4.22 : (a) Simulación en software OpenModelica (b) Simulación del modelo exportado FMU en CPU externa con sistema operativo Linux.	113
4.24	Modelo realizado en Open Modelica para la comprobación del funcionamiento con interacción externa.	114
4.25	Resultado de simulación de la corriente por la “Resistor1” que se visualiza en la Figura 4.24	115
4.26	Resultado del código de ejecución del modelo FMU exportado por Open Modelica, añadiéndole 0.1 A al generador de corriente por cada paso de simulación.	116
4.27	Modelo de ejemplo utilizado para medir el rendimiento del simulador.	116
4.28	FLOPS medidos en cada paso de cálculo en cada uno de los cuatro modelos ejecutados.	117

ÍNDICE DE FIGURAS

4.29	Hibridación del amplificador conmutado de corriente propuesto con un amplificador lineal, obteniendo una mejora en el ancho de banda respecto a los amplificadores conmutados de tensión y una mejora en la eficiencia respecto a los amplificadores lineales de tensión.	119
4.30	Esquemático del amplificador de potencia propuesto.	120
4.31	Diagrama de bloques del convertidor Buck-Boost en el que se muestran tanto las capacidades parásitas C_{OSS_1} y C_{OSS_2} de los MOSFET.	124
4.32	Ejemplo que muestra la resonancia producida entre las capacidades parásitas C_{oss} del transistor y la inductancia ideal de salida, cuando no conmuta ningún transistor de la rama conducción DCM. En este caso, en más del 65 % del periodo de conmutación se produce la oscilación no deseada de la tensión en el punto medio de los MOSFET S_1 y S_2	125
4.33	Evolución de la corriente por la bobina y la tensión en las capacidades parásitas durante la resonancia.	126
4.34	Simulaciones de distintos puntos de funcionamiento para la visualización de la corriente por la bobina, la tensión en el punto medio de los MOSFET y la tensión de salida.	128
4.35	Diferencia del pico de corriente de salida a tensión de salida mínima y máxima (arriba) y a tensión de salida intermedia (abajo).	131
4.36	Barrido del sistema a diferentes valores de corriente media (Verde: 15 A; Amarillo: 30 A; Fucsia: 45 A; Azul: 60 A), de ramas ((a): 8 ramas; (b): 16 ramas; (c): 24 ramas; (d): 32 ramas), de inductancias (eje X) y de tensión de salida (eje Y) para conocer el rizado de corriente de salida (eje Z).	132
4.37	Frecuencia máxima de conmutación dependiendo de la corriente media por rama, la tensión de salida y la inductancia de la bobina.	133
4.38	Corte a 144 kHz y a 40 V de la anterior Figura 4.37, donde se observa que con las inductancias de mayor valor no se pueden obtener corrientes elevadas a tensiones próximas a la de entrada.	133
4.39	Plano en dos dimensiones del corte a 144 kHz de la Figura 4.38 para conocer la corriente media máxima que se puede obtener con cada inductancia dependiendo de la tensión de salida V_{out}	134

4.40	Corriente de pico necesaria para obtener las diferentes corrientes medias dependiendo de la inductancia y de la tensión de salida. . .	135
4.41	Snubber RC en paralelo con los transistores.	136
4.42	Simulación del sistema con el snubber RC calculado.	137
4.43	Barrido de diferentes resistencias para encontrar la que ofrece un mayor amortiguamiento, la cual se encuentra en torno a los 3750Ω para un valor de capacidad $C_{Snub} = C_{oss} = 20 pF$	139
4.44	Amortiguación de la resonancia obtenida con el MOSFET y el filtro snubber propuesto.	140
4.45	Rizado de salida a diferentes valores de corriente de salida (Azul: 15 A; Rojo: 30 A; Amarillo: 45 A; Morado: 60 A) en todo el rango de tensión de salida, corroborando que el rizado de salida se queda por debajo de la especificación impuesta en la Tabla 4.2 de menos de un 3 % Inom.	142
4.46	Modelo completo en MATLAB/Simulink® del amplificador de potencia propuesto.	143
4.47	Modelo de cada rama del convertidor, el cual está contenido en cada una de los bloques verdes de la figura Figura 4.46 . La configuración de los MOSFET se ha realizado según la hoja de características del transistor mostrado en la Tabla 4.3	144
4.48	Emulación de la corriente producida por la conmutación de un convertidor trabajando a 5 kHz. En rojo se muestra la consigna de corriente y en azul la respuesta en corriente del amplificador.	144
4.49	Emulación de una onda de corriente bipolar de 20 A de pico a 20 kHz (a) Consigna y corriente total de salida del amplificador (b) Ampliación de la corriente de salida de cada una de las ramas del amplificador.	145
4.50	Comparación de la respuesta en frecuencia en bucle abierto de la bancada PHIL propuesta en esta tesis con las usadas en el artículo [176], donde se utilizan dos configuraciones: una con un amplificador conmutado y otra con un amplificador lineal. Se puede observar que la plataforma PHIL propuesta supone una mejora en el ancho de banda de 13 veces y 5 veces respectivamente.	148

ÍNDICE DE FIGURAS

5.1	Diagrama de bloques conceptual del emulador de vehículo eléctrico.	152
5.2	Esquema del convertidor trinivel NPC de lado de red utilizado en el emulador.	156
5.3	Control de potencia reactiva en bucle abierto, midiendo directamente el consumo del cargador.	159
5.4	Esquema de control en bucle abierto, en la que la medida de reactiva se niega para compensarla.	159
5.5	Control de potencia reactiva en bucle cerrado, midiendo el consumo de toda la instalación.	160
5.6	Esquema de control en bucle cerrado, donde la medida de la instalación se realimenta y se controla con un regulador PI.	161
5.7	Control de potencia reactiva en bucle cerrado, midiendo el consumo de toda la instalación y del cargador.	162
5.8	Esquema de control en bucle cerrado, con la regulación PI anterior, añadiendo la medida de reactiva V2G derivada.	162
5.9	Comparativa del consumo de potencia reactiva con los tres tipos diferentes de control, aplicando cambios bruscos de consumo de reactiva para ver mejor su respuesta: (a) sin consumo por cargas externas (b) mismo consumo del cargador V2G anterior pero con consumo de cargas externas.	164
5.10	Topología del convertidor Buck-Boost con tres ramas entrelazadas, utilizado para el lado de emulación de baterías de vehículo eléctrico.	165
5.11	Utilización de la herramienta Sisotool de MATLAB/Simulink® para conocer la frecuencia de resonancia mínima del filtro que garantice un tiempo de respuesta mínimo de 10 ms: (a) Diagrama de bode del filtro LC con un regulador integrador que asegure un margen de fase mayor de 70° (b) Tiempo de respuesta del sistema.	171
5.12	Barrido de los valores del filtro para el cálculo del espacio de diseño para el filtro DC.	173
5.13	Barrido de los límites de diseño del filtro LC realizado en Figura 5.12, donde se muestra la zona resultante en la que cualquier combinación de los componentes del filtro cumplen con los requisitos propuestos en la Subsección 5.5.2.	175

5.14 Punto elegido del filtro LC contenido dentro del espacio de diseño: $C_{salida} = 400 \mu F, L_{rama} = 2 mH.$	175
5.15 Cuatro posibles ubicaciones de la resistencia virtual para el amortiguamiento del filtro. (a) Colocando una resistencia en serie con la bobina R_{Ls} (b) Colocando una resistencia en paralelo con la bobina R_{Lp} (c) Colocando una resistencia en serie con el condensador R_{Cs} (d) Colocando una resistencia en paralelo con el condensador R_{Cs}	177
5.16 Diagrama de bloques del filtro de salida del convertidor DC, con resistencia virtual $R_{virtual}$ en serie con cada bobina. La nomenclatura de la figura sigue la referencia marcada en la Figura 5.10	178
5.17 Respuesta en frecuencia del filtro de salida a diferentes valores de resistencias virtuales ($R_{virtual}$) en Ω	179
5.18 Diagrama de bloques del control de tensión de salida propuesto. Las medidas de corriente se muestran en colores azules y las medidas de tensión en colores verdes. Estas medidas se muestran en línea discontinua cuando llegan al DSC , debido a la discretización de la medida. Por facilitar la visualización de la figura, no se han incluido las relaciones de transformación de las medidas.	180
5.19 Diagrama de Bode en bucle abierto del sistema completo, con el regulador calculado en la Tabla 5.3 , obteniendo un margen de fase de $83,3^\circ$	182
5.20 Diagrama de bloques del sistema para el estudio de la evolución de la tensión de salida ante una perturbación en escalón de la corriente de salida.	183
5.21 Respuesta ante una perturbación en escalón de la corriente de entrada del condensador de salida del filtro.	184
5.22 Respuesta del sistema ante diferentes tipos de consignas. (a) Respuesta a escalón unitario en la consigna de tensión de entrada. (b) Respuesta a consigna en rampa de entrada.	185
5.23 Diagrama de Nyquist tanto del sistema en bucle abierto con los valores nominales del filtro (azul), como de los otro cuatro casos con los valores extremos de desviación paramétrica de los componentes.	186

ÍNDICE DE FIGURAS

5.24	Diagrama de bloques del filtro de salida del convertidor DC/DC, con resistencia virtual $R_{virtual}$ en serie con la bobina. La nomenclatura de la figura sigue la referencia marcada en la Figura 5.10	187
5.25	Bancada de pruebas usada para la obtención de los resultados experimentales del cargador DC/DC. A la izquierda, el emulador de 50 kW junto con la EBox. A la derecha, el cargador V2G CHAdeMO de 50 kW, junto con el transformador de potencia al fondo.	188
5.26	Diagrama con la secuencia de operación del sistema completo, especificando las partes secuenciales e iterativas.	189
5.27	Respuesta de la tensión de salida al escalón de consigna en tensión de 40 V.	190
5.28	Comprobación de la evolución de la tensión de salida a 300 V (superior) ante un cambio en la corriente de 65 A a -65 A (inferior). Se puede observar que el emulador consigue estabilizar la tensión ante estos cambios de corriente suministrados por el cargador.	190
5.29	Resultado experimental de la variación de la consigna de tensión de salida de 300 V a 200 V con una consigna de potencia de 10 kW. Se puede observar la evolución de la tensión (superior) y de la corriente (inferior) a la salida del emulador, manteniendo una potencia constante.	191
5.30	Emulación del perfil de carga de un vehículo eléctrico durante 5 minutos. El gráfico superior es la tensión de salida del cargador y el gráfico inferior es la corriente de carga. Se puede observar el pico de tensión generado por el cargador, el cual está especificado en la normativa de CHAdeMO para medir posibles pérdidas de aislamiento en la manguera.	192
6.1	El modelo de desarrollo en V, adaptado para el LE ³ P.	195
6.2	Equipamiento principal disponible en el LE ³ P.	197
6.3	Simulación de un sistema de carga inductiva de vehículo eléctrico utilizando el software COMSOL [248]. A la izquierda se puede ver la forma del transformador planar y a la derecha la distribución del campo magnético por la ferrita.	200

6.4	Banco de pruebas para la validación de la protección ante cortocircuito de un transistor de carburo de silicio.	200
6.5	Equipamiento utilizado en el laboratorio para la técnica de pruebas PHIL.	201
6.6	El modelo de desarrollo en V del LE ³ P mostrado en la Figura 6.1, incluyendo las herramientas disponibles en el laboratorio para su desarrollo, verificación y validación. También se ha hecho una clasificación de las etapas según sea diseño, desarrollo de producto o verificación/validación.	202
A.1	Evolución del número de cargadores públicos lentos y rápidos desde el 2015 (Source: IEA (2021) Global EV Outlook. All rights reserved [251]).	212
A.2	Previsión de la evolución del número de cargadores para vehículo eléctrico y la potencia total instalada (Source: IEA (2021) Global EV Outlook. All rights reserved [251]).	213
B.1	Sistema de recarga por inducción de un sistema robótico cognitivo aéreo realizado por CIRCE para el proyecto Aerial Core [253]. . .	216
B.2	Esquema conceptual de la prueba a realizar para la verificación del sistema de recarga por inducción de un sistema robótico cognitivo aéreo.	218
B.3	Montaje realizado para la verificación del sistema de recarga por inducción de un sistema robótico cognitivo aéreo.	219
B.4	Captura de osciloscopio de la corriente máxima a pasar por el núcleo. Verde: onda de corriente de salida a circular por el núcleo (1000 A/div) – Amarilla y fucsia: onda de corriente de salida de cada uno de los amplificadores (100 A/div) – Azul: onda de tensión de salida de uno de los dos amplificadores que funcionan como fuente de tensión (50 V/div).	219
B.5	Barrido a diferentes corrientes por el cable y diferentes cargas conectadas al sistema desarrollado. Se puede observar que se llega a un pico de generación de 230 W a 600 A por el cableado de red. .	220

ÍNDICE DE FIGURAS

B.6	Captura de osciloscopio de la corriente con un contenido armónico de 10 % - 150 Hz y 15 % - 250 Hz. Verde: onda de corriente de salida a circular por el núcleo (200 A/div) – Amarilla y fucsia: onda de corriente de salida de cada uno de los amplificadores (100 A/div) – Azul: onda de tensión de salida de uno de los dos amplificadores que funcionan como fuente de tensión (50 V/div).	220
C.1	Diagrama de bloques del convertidor DC/DC aislado a probar. . .	224
C.2	Esquema conceptual de la prueba a realizar para la verificación del convertidor DC/DC resonante desarrollado por CIRCE.	226
C.3	Montaje realizado para la verificación del convertidor DC/DC aislado.	227
C.4	Verificación del comportamiento del convertidor a potencia nominal en los distintos puntos de operación marcados.	227
C.5	Evolución de la temperatura de los diferentes elementos del convertidor DC/DC a potencia nominal durante 30min + 5min apagado + 10 min a potencia nominal.	228

Índice de tablas

2.1	Herramientas de simulación actuales para los sistemas eléctricos de potencia [35], ordenadas alfabéticamente.	21
2.2	Herramientas de simulación actuales para la comunicación y ciberseguridad [35, 40], ordenadas alfabéticamente.	24
2.3	Sistemas de simulación actuales que permiten la co-simulación con otros modelos y/o entornos [35, 40], ordenadas alfabéticamente.	26
2.4	Especificación de las partes ejecutadas en simulación y de las reales en los distintos métodos de prueba.	35
2.5	Relación entre la dimensión de prueba y los distintos métodos de prueba actuales: ✓✓: Excelente; ✓: Aconsejable; -:Posible; ✗: No aconsejable; ✗✗: A evitar.	35
3.1	Características generales de las plataformas hardware utilizadas para simulación en tiempo real (ampliación de [70]).	43
3.2	Características de un simulador en tiempo real ideal, describiendo qué aporta la característica, qué problemas o impedimentos principales existen para conseguirla y cómo medirla.	46
3.3	Ventajas y desventajas de los diferentes tipos de amplificadores de potencia [142, 143].	48
3.4	Tabla con las características de los amplificadores más utilizados del mercado (EC - Escala Completa).	50
3.5	Características de un amplificador de potencia ideal, describiendo qué aporta la característica, qué problemas o impedimentos principales existen para conseguirla y cómo medirla.	52

ÍNDICE DE TABLAS

3.6	Procedimiento de dimensionamiento para la selección de un sistema de pruebas basado en PHIL (“*” Información proporcionada por el fabricante - “#” Información obtenida de la literatura científica).	56
3.7	Características del amplificador conmutado y lineal a comparar en las diferentes pruebas.	71
3.8	Resultados de los errores obtenidos de los diferentes casos analizados.	78
4.1	FLOPS necesarios por cada variable de estado (VE) en cada modelo.	116
4.2	Tabla con los parámetros eléctricos del amplificador.	118
4.3	Tabla con los parámetros eléctricos del convertidor.	138
4.4	Datos obtenidos de [176] para la comparación en bucle abierto con la solución propuesta. Estos corresponden al diagrama de bloques presentado anteriormente en la Figura 4.1.	146
4.5	Datos del diagrama de bloques presentado anteriormente en la Figura 4.1, donde se han incluido todas las mejoras propuestas de la Sección 4.2 para la comparación en bucle abierto con las bancadas descritas previamente en la Tabla 4.4.	147
5.1	Principales características del emulador de vehículo eléctrico. . .	154
5.2	Principales especificaciones eléctricas del lado DC/DC del emulador.	166
5.3	Valores de los parámetros de control del regulador PI y resistencia virtual.	182
5.4	Valores de los componentes nominales y sus desviaciones paramétricas máximas utilizados en el estudio.	185
A.1	Estado actual de los estándares de carga rápida en DC, indicando si contemplan la funcionalidad V2G [252].	214

Acrónimos

- ADC** Analog-to-Digital Converter. xxv, 46, 52, 56, 60, 69, 96, 101, 102
- AFE** Active Front End. 98, 142, 151, 152, 155, 160, 213
- ARM** Advanced RISC Machine. 95, 96, 110
- BESS** Battery Energy Storage System. xxiii, 74–76, 78
- CAN** Controller Area Network. 110, 214
- CCM** Continuous Conduction Mode. 122, 123, 133, 135
- CHB** Cascade H-Bridge. 93
- CHIL** Controller Hardware-In-the-Loop. 28, 30
- CPU** Central Processing Unit. xxv, 15, 43, 44, 46, 88–90, 107–113
- DAC** Digital-to-Analog Converter. xxv, 46, 54, 56, 60, 69, 96, 102
- DCM** Discontinuous Conduction Mode. xxvi, 122–125, 130–132, 135, 138, 140
- DER** Distributed Energy Resources. 17
- DRTS** Digital Real-Time Simulator. xxiii–xxv, 29, 40, 44, 45, 57, 59, 66, 68, 69, 73, 75–77, 82–91, 94, 101–103, 105, 111, 145, 146, 207
- DS** Design Space. 165
- DSC** Digital Signal Controller. xxix, 180
- DSP** Digital Signal Processor. 15, 28, 43, 44, 138
- EMC** Electromagnetic Compatibility. 53, 55
- EMI** Electromagnetic Interference. 127, 129, 137, 155
- EMS** Energy Management System. xxiii, 74–76
- EMT** Electromagnetic Transients. 20, 21, 27

Acrónimos

- EVSE** Electric Vehicle Supply Equipment. 17, 213
- FLOPS** Floating Point Operations Per Second. xxv, xxxiv, 46, 53, 110, 115–117
- FMI** Functional Mock-up Interface. 25, 103, 105, 207
- FMU** Functional Mock-up Unit. xxv, 104–107, 112–116
- FPGA** Field-Programmable Gate Arrays. 15, 43, 44, 46, 89–91, 95, 96, 107–111, 138
- GPIO** General Purpose Input-Output. 96
- GPU** Graphic Processing Unit. 15, 43, 46, 107–109
- HIL** Hardware-In-the-Loop. iv, viii, 27–30, 33, 36, 38, 42, 44, 114, 200
- HLA** High Level architecture. 25, 104, 105
- HMI** Human-Machine Interface. xxiv, 97, 100, 111, 156
- HUT** Hardware-Under-Test. xxii, xxiv, 15, 18, 29, 41, 47, 53, 57, 60, 66, 67, 70, 73, 83, 91, 95–97, 100, 113, 118, 123, 146, 157, 217, 218
- IEA** International Energy Agency. xx-xi, 211–213
- IGBT** Insulated Gate Bipolar Transistor. 51, 181
- ITM** Ideal Transformer Model. 68
- LE³P** Laboratorio de Estudios y Ensayos de Electrónica de Potencia. v, ix, xxx, xxxi, 195, 197, 202, 208, 217, 218, 221, 225, 227
- MIL** Model-In-the-Loop. iv, viii, 22, 23, 33
- MMC** Modular Multilevel Converter. 51, 93
- MOSFET** Metal-Oxide-Semiconductor Field-Effect Transistor. xxvi, xxvii, 51, 123–125, 128, 129, 131, 132, 134, 135, 138–140, 142, 144
- MPPA** Massively Parallel Processor Array. 95, 96, 107–111
- MRP** Multirate Partitioning Interface. xxiii, xxiv, 84, 88, 90, 91, 96–99, 103, 111
- NPC** Neutral-Point Clamped. xxviii, 155, 156
- NRE** Non-Recurring Engineering. 5
- OEM** Original Equipment Manufacturer. 104
- PA** Power Amplifier. xxiii–xxv, 29, 40, 41, 51, 57, 58, 68–70, 82–94, 101–103, 114, 207

- PCB** Printed Circuit Board. 129, 135, 197–199, 227
- PHC** Parallel Hybrid Converter. 93
- PHIL** Power Hardware-In-the-Loop. iii, iv, viii, ix, xxi–xxv, xxvii, xxxi, xxxiv, 7, 9, 10, 27, 29, 30, 34, 36–38, 40–42, 44–47, 49–51, 54–56, 58–66, 68–70, 72–74, 76, 79, 82–85, 89–91, 94–96, 99, 101–103, 105, 106, 108, 111, 113, 114, 118, 145, 147, 148, 150, 151, 201, 205–207, 226
- PI** Proporcional-Integral. xxviii, xxxiv, 160–163, 170, 171, 180–182
- PIB** Producto Interior Bruto. 1
- PIL** Processor-In-the-Loop. iv, viii, 23, 33
- PLC** Power Line Communications. 16, 214
- PMSM** Permanent Magnet Synchronous Machine. 93
- PSIL** Power System-In-the-Loop. 30
- PWM** Pulse-Width Modulator. 96, 138, 142, 181
- RMS** Root Mean Square. 77, 100
- SCADA** Supervisory Control And Data Acquisition. 18, 157
- SCESS** Supercapacitor Energy Storage System. xxii, 73, 74
- SDS** Sustainable Development Scenario. 211, 212
- SHC** Series Hybrid Converter. 93
- SIL** Software-In-the-Loop. iv, viii, 22, 23, 33
- SOC** System On Chip. 95, 96
- SPI** Serial Peripheral Interface. 110
- SR** Slew Rate. 53, 56, 61, 122, 123, 174
- STEPS** Stated Policies Scenario. 211, 212
- TCP/IP** Transmission Control Protocol/Internet Protocol. 156
- TDP** Technical Data Package. 194
- THD** Total Harmonic Distortion. 53, 85, 217, 221
- TNA** Transient Network Analyzer. 32
- UART** Universal Asynchronous Receiver-Transmitter. 110
- UML** Unified Modeling Language. xxii, 62, 63
- V2G** Vehicle to Grid. iv, ix, xxviii, xxx, xxxiv, 8, 10, 149–151, 153, 162–165, 187, 188, 190, 208, 212–214

“A una pequeña chispa sigue una gran llama.”

Dante Alighieri

CAPÍTULO

1

Introducción

1.1 Contexto

Este último siglo podría denominar como el siglo de la necesidad del crecimiento ilimitado. La actual sociedad está basada en un modelo económico que busca constantemente el crecimiento exponencial del capital, apoyado a su vez por un crecimiento exponencial del consumo de bienes, que necesitan una cantidad proporcional de materias primas y recursos energéticos. De esta cadena, la intangibilidad del capital, el cual no tiene ninguna barrera física, choca con lo tangible para hacerlo necesario, las materias primas y los recursos energéticos, los cuales son limitados debido a que se obtienen de un planeta finito.

Como si estuviéramos reviviendo el papel del emperador en la leyenda de Sisa, teniendo en cuenta un crecimiento promedio mundial del PIB de un 3 %, parece que no nos damos cuenta que vamos avanzando cuadro a cuadro por el tablero de ajedrez cada 27 años, doblando la cantidad de recursos necesarios para alcanzar nuestros objetivos, y por tanto, aumentando de manera exponencial la presión al medio ambiente para conseguirlos. Es evidente (irrebatible) que no vamos a poder avanzar por este tablero eternamente y menos a la velocidad a la que lo estamos haciendo. Entonces, ¿qué síntomas nos indicarían que estamos teniendo problemas

1. INTRODUCCIÓN

en avanzar de cuadro? La crisis actual en la que los países desarrollados están sumidos desde el 2008, puede ser uno de ellos.

Siguiendo el principio de la ley de Liebig o ley del mínimo, la cual dictamina que el crecimiento de un organismo dependerá esencialmente de la cantidad del material más escaso en relación a todos los materiales esenciales que requiere el desarrollo y el crecimiento del organismo, existen varios materiales escasos, o también llamados nutrientes limitantes, que están originando esta crisis actual. Y es que esta crisis no es solo una crisis financiera, sino que es también una crisis energética, alimentaria y medioambiental [1].

Sin llegar a profundizar en todos los nutrientes limitantes causantes de cada una de estas crisis, y buscando un posible común denominador a cada uno de ellos, aparece el uso de energías fósiles. Esta es la energía primaria más usada en el planeta con un 80.9 % del total [2], la cual produce gases de efecto invernadero causantes del calentamiento de la tierra. Los cambios de accesibilidad en su suministro provocan variaciones en el precio de la energía que causan inestabilidades en el sector financiero y a su vez en el sector agro-alimentario, fuertemente ligado a esta fuente de energía desde la revolución verde.

Estas energías de origen fósil (carbón, petróleo y gas), son energías no renovables y tienen limitada su capacidad de utilización. Además, su tasa de extracción sigue un patrón conocido como la curva de Hubbert [3], donde al principio estos recursos aumentan su producción de manera exponencial en el tiempo hasta llegar a un pico de extracción, momento en el cual su producción declina hasta llegar a su agotamiento.

Un repaso de las predicciones del año del pico del petróleo hecho por diferentes organismos, entidades y científicos [4, 5] señala que este se producirá durante esta década o principios de la siguiente, dando como resultado el fin del petróleo barato [5, 6, 7, 8, 9, 10]. El problema del petróleo es que no es fácilmente sustituible por otras fuentes de energía, siendo las causas principales su gran densidad energética y su gran portabilidad. Además, con el resto de las energías fósiles existe también el inconveniente de que los picos del gas y del carbón se esperan entre 2020-2040 y 2040-2060 respectivamente [11]. Por consiguiente, un desplazamiento del consumo a una de estas dos fuentes, sobre todo la del gas (gracias a su mejor capacidad de ser licuado para la utilización en el sector agrario y del transporte), solo desplaza

el problema unos pocos años hacia adelante. El petróleo y su uso parece entonces, uno de los nutrientes esenciales que como sociedad vamos a tener que hacer frente.

Entre las energías sustitutas se encuentra la nuclear de fisión, la de fusión y las energías renovables. La energía nuclear de fisión también está sujeta a límites debido a que depende de la extracción de minerales finitos. Además, su peligrosidad, los residuos generados, la necesidad de altas inversiones y una tasa no muy alta de retorno energético [10] ha hecho que incluso las organizaciones más favorables al desarrollo de la energía nuclear, no prevean un incremento en la producción de esta mucho mayor de la actual [12].

La energía de fusión es una fuente prometedora debido a la gran cantidad de energía que podría llegar a generar, utilizando para ello un combustible de gran abundancia como es el hidrógeno. Pero es una tecnología que todavía está bajo estudio y su desarrollo comercial parece alargarse en el tiempo [13], principalmente por la coexistencia de dispositivos que tienen que trabajar simultáneamente a temperaturas cercanas al cero absoluto para los superconductores, y a millones de grados para la extracción de la energía del plasma. Esto supone un reto importante en el diseño y fabricación de nuevos materiales [14].

La principal ventaja de las energías renovables es la no limitación de su suministro en el tiempo, siempre que se utilicen materiales abundantes o de elevada capacidad de reciclado en la fabricación de los sistemas de conversión a una forma de energía útil. Pero energías prometedoras como la solar o la eólica tienen el inconveniente de la intermitencia en su generación, hecho que impide que por sí solas puedan cubrir la demanda energética existente.

Por todo lo anterior, debido a la escasez progresiva de recursos energéticos, en las próximas décadas y aprovechando la actual disponibilidad energética, se debería llevar a cabo la solución definitiva [15] y son muchos los autores que ven en las renovables esa alternativa [9, 10, 15, 16, 17, 18], y en el uso de la electricidad como el principal vector energético [6, 15, 16].

1.2 Motivación

La inclusión de estas energías renovables suponen un cambio profundo en el sistema de distribución eléctrico. Esto es debido principalmente a la dispersión de esta

1. INTRODUCCIÓN

energía por el territorio, la cual obliga a re-diseñar la red eléctrica desde un sistema centralizado, con un número reducido de puntos de generación de elevada potencia, a uno distribuido con un número elevado de puntos de generación de reducida potencia. Este hecho aumenta la complejidad para controlar la estabilidad en la red eléctrica, debido a la gran coordinación, previsión y gestión necesaria para ajustar en todo momento la demanda con la generación.

Para resolver este problema, se está ya trabajando en la integración de nuevos sistemas eléctricos de generación, de almacenamiento y de comunicación para mantener una infraestructura eléctrica fiable y segura. A esta nueva red eléctrica se la conoce como “Red Inteligente” o “Smartgrid”. La definición de Smartgrid por la “EC Task Force for Smartgrids” es “una red eléctrica que puede integrar inteligentemente los comportamientos y acciones de todos los usuarios conectados a ella - generadores, consumidores y aquellos que sean ambos - con el fin de que eficientemente se asegure una red eléctrica sostenible, económica y segura”.

En las redes eléctricas tradicionales, teniendo comparativamente menores puntos de generación de energía pero un mayor control de esta, la gestión de los parámetros de la red eléctrica se puede hacer de una manera centralizada. La situación en la Smartgrid es un poco diferente. Un gran número de generadores distribuidos de pequeña energía, una generación más intermitente, el deseo de igualar la demanda de energía y la previsión de evitar excesivos picos de carga, requieren una coordinación entre productores y consumidores que va más allá del control de distribución [19].

Son tres los principales modelos estandarizados de la Smartgrid [20]:

- The NIST (National Institute of Standards and Technology) Smartgrid conceptual model [21].
- IEEE 2030 standard [22] and IEEE grid vision 2050 [23].
- The Smartgrid architecture model or SGAM (CEN-CENELEC-ETSI Smartgrid Coordination Group, 2012) [24].

En estos modelos estandarizados, los cuales comparten una división semejante de los dominios, se puede observar el gran número de interacciones e interrelaciones entre los distintos elementos. Para conseguir el desarrollo marcado en estos modelos, es necesario nuevos sistemas eléctricos, con nuevas funcionalidades, hechos por distintos fabricantes (sobre todo en la red de distribución debido al mayor

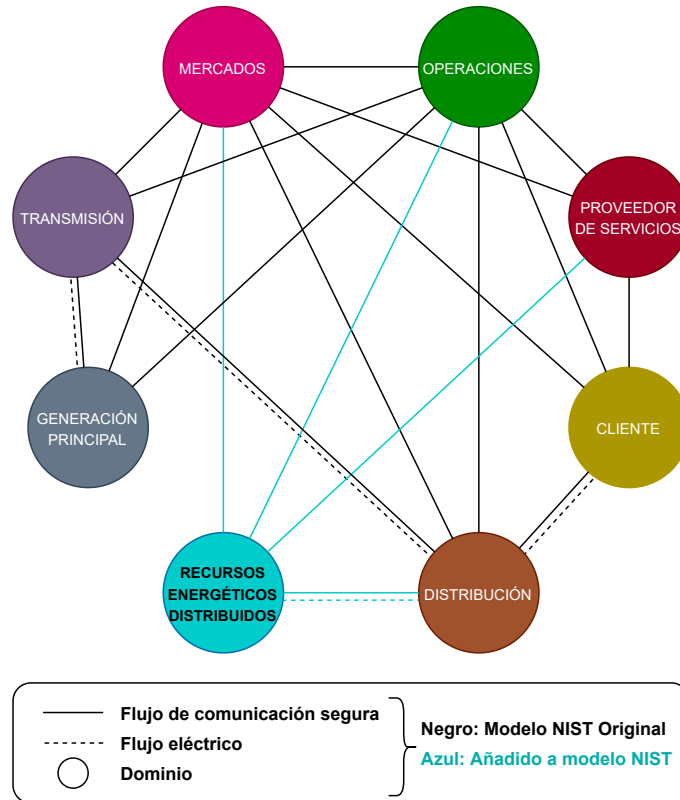


Figura 1.1: Modelo conceptual de la red eléctrica inteligente o Smartgrid en Europa [24].

número de usos y aplicaciones) comunicándose entre sí y tomando decisiones descentralizadas. Este nuevo modo de operación de la red eléctrica es un claro incremento de la complejidad respecto al modo de operación tradicional [25].

En [26] los autores destacan los siguientes problemas identificados por la industria como impedimento de un desarrollo eficiente de nuevos productos para esta nueva red eléctrica:

- Los costes de ingeniería no recurrente o **NRE** (non-recurring engineering) son muy altos: debido principalmente a que muchas veces lo que se desarrolla en un proyecto, no se puede reutilizar en otro.
- “Vaporware”: para entrar en el mercado y aprovechar la oportunidad de negocio, compañías de creación reciente ofrecen sistemas con nuevas funcionalidades que todavía no están probadas y no funcionan correctamente.
- Peligro de mal funcionamiento, pudiendo estropear a un equipo de elevado

1. INTRODUCCIÓN

coste.

- Desconocimiento del funcionamiento de los sistemas: debido a que el comportamiento del control depende de cada fabricante, se desconoce la actuación general de la interconexión de todos los elementos.
- No existen estándares para su verificación: están todavía en desarrollo.

Para solventar estos inconvenientes, en [26] concluyen que es necesario sistemas de pruebas para ayudar en el diseño, la evaluación, la puesta en marcha y el cumplimiento de estándares, permitiendo acelerar el desarrollo de las microrredes, y por extensión, de la Smartgrid.

En consecuencia, la transición a la Smartgrid es compleja, ya que las empresas encargadas de la seguridad y fiabilidad de la red eléctrica no se aventuran a utilizar nuevas tecnologías sin una validación exhaustiva [27]. Esto es debido a que su principal objetivo es mantener la continuidad de suministro, ya que las posibles consecuencias de un fallo de funcionamiento tienen un impacto muy negativo, en comparación con otras tecnologías. Por lo tanto, para garantizar que estos nuevos sistemas funcionen correctamente, el desarrollo y mejora de sistemas de prueba para su validación antes de su implantación, es uno de los puntos clave para asegurar el éxito de la transición energética hacia un modelo eléctrico renovable. De hecho, los laboratorios de pruebas de sistemas de la red eléctrica han proliferado en los últimos años, cubriendo diferentes aspectos de las necesidades de desarrollo [28, 29, 30].

Por consiguiente, una de las principales motivaciones de esta tesis es la investigación para la mejora de los actuales sistemas o métodos de prueba de potencia para equipos de la Smartgrid. Otra de las motivaciones es lanzar un servicio tecnológico en CIRCE para ayudar en la depuración, verificación y validación de los nuevos sistemas necesarios para la Smartgrid, enfocados en los sistemas de potencia. Dentro de este lanzamiento, se tendrá también en cuenta la elección del equipamiento necesario para dotar a las instalaciones de este laboratorio de las herramientas necesarias para llevar a cabo esta tarea.

1.3 Objetivos

Como se desprende de los apartados anteriores, los objetivos principales de este trabajo de investigación han sido:

- Identificación, análisis y mejora de los métodos actuales de prueba para sistemas de la Smartgrid, cuyas técnicas permitan la correcta verificación y validación del nuevo equipamiento de potencia de la red eléctrica, garantizando una transición rápida y segura al nuevo modelo energético.
- Lanzamiento de un servicio tecnológico en CIRCE que disponga de la infraestructura y recursos necesarios para ayudar a universidades, centros tecnológicos y empresas en la investigación, desarrollo, verificación y validación de los sistemas de potencia de la Smartgrid.

Como resultado de las actividades realizadas para la consecución de los objetivos anteriores, se han identificado un conjunto de objetivos específicos que han originado detalles novedosos dentro del contexto de este estudio:

- Realización de un procedimiento para el dimensionamiento de una bancada de pruebas **Power Hardware-In-the-Loop (PHIL)**, según el tipo de equipo a probar y los diferentes ensayos a realizar.
- Análisis de la información necesaria a documentar en una prueba **PHIL** para garantizar que el ensayo sea replicable y reproducible.
- Creación de una base de datos en línea de los ensayos **PHIL** realizados en los laboratorios, permitiendo a estos tanto consultar experimentos previos realizados por otros laboratorios, como añadir la información de las nuevas pruebas realizadas.
- Elaboración de un método comparativo previo de amplificadores de potencia para ensayos **PHIL**.
- Realización de una prueba de concepto de un simulador en tiempo real, capaz de ejecutar modelos de diferentes entornos de simulación.

1. INTRODUCCIÓN

- Propuesta de un amplificador de potencia en corriente que aumente las prestaciones en ancho de banda con respecto a los amplificadores de potencia presentes en el mercado en la actualidad.
- Desarrollo de un emulador de vehículo eléctrico V2G para la comprobación de cargadores bidireccionales, permitiendo su verificación sin las restricciones asociadas a los vehículos eléctricos, como la limitación de energía y corriente, y la degradación de su vida útil.

1.4 Listado de publicaciones

Las principales aportaciones de la tesis se han publicado en revistas científicas, o se han presentado o presentarán en diversas conferencias.

1.4.1 Revistas científicas

- García-Martínez, E.; Sanz, J.F.; Muñoz-Cruzado, J.; Perié, J.M. A Review of PHIL Testing for Smart Grids—Selection Guide, Classification and Online Database Analysis. *Electronics* 2020, 9, 382. doi:10.3390/electronics9030382.
- García-Martínez, E.; Sanz, J.F.; Muñoz-Cruzado, J.; Perié, J.M. Online database of Power Hardware In-the-Loop tests. *Data Brief* 2020, volume 29, doi:10.1016/j.dib.2020.105128.
- García-Martínez, E.; Muñoz-Cruzado-Alba, J.; Sanz-Osorio, J.F.; Perié, J.M. Design and Experimental Validation of Power Electric Vehicle Emulator for Testing Electric Vehicle Supply Equipment (EVSE) with Vehicle-to-Grid (V2G) Capability. *Applied Science*. 2021, 11, 11496. <https://doi.org/10.3390/app112311496>.

1.4.2 Congresos

- García-Martínez, E., J. Ballestín, J. Muñoz-Cruzado and J. F. Sanz. Analysis of a switched and linear power amplifier for Power Hardware-in-the-Loop

testing of Smartgrid systems. *24th IEEE International Conference on Emerging Technologies and Factory Automation (ETFA)*, 2019, pp. 747-753, doi: 10.1109/ETFA.2019.8868952.

- García-Martínez, E.; Sanz, J.F.; Muñoz-Cruzado, J.; Perié, J.M. Methods for Improving Power and Bandwidth of Power Hardware-in-the-Loop Testbenches. *IEEE CPE-POWERENG 2022*.
- García-Martínez, E.; Sanz, J.F.; Muñoz-Cruzado, J.; Perié, J.M. Massive Parallel Current Power Amplifier Concept for Power Hardware in the Loop Applications . *Icrepq 2022*.

1.5 Estructura

De acuerdo a los objetivos y las contribuciones principales descritas anteriormente, el contenido de esta tesis se divide en seis capítulos y uno final con las conclusiones generales:

- ❖ **Capítulo 2:** en este capítulo se realiza un estado del arte de los métodos de prueba para equipos de la Smartgrid. Primero se analiza qué es un sistema de prueba y qué condiciones debe poseer para cumplir con su objetivo. Después se organiza y clasifica en diferentes dimensiones los sistemas de la Smartgrid según sus tipos de interacción, los cuales comparten mismos métodos de prueba. A continuación, se describen los diferentes métodos de prueba existentes para sistemas de la Smartgrid encontrados en la literatura. Seguidamente, se realiza una clasificación de los mismos según precio, fidelidad y cobertura, analizando más tarde cual es el método de prueba más adecuado para cada dimensión de la Smartgrid analizada anteriormente. Finalmente se extraen unas conclusiones del capítulo sobre los métodos de prueba más adecuados para los sistemas de potencia, que son tratados en profundidad en esta tesis.
- ❖ **Capítulo 3:** en este capítulo se analizan los principales elementos necesarios para la técnica de pruebas PHIL. Se presenta un estado del arte de estos elementos, realizando un análisis de las principales características a tener en

1. INTRODUCCIÓN

cuenta para maximizar el desempeño de la bancada de pruebas. Adicionalmente, se expone un procedimiento para el dimensionamiento de una bancada PHIL según el tipo de pruebas a realizar en el laboratorio. Para ayudar a la reproducibilidad y reutilización de los experimentos realizados en la literatura, se muestra la elaboración de una base de datos en línea de estos ensayos, la cual contiene los campos necesarios para este objetivo. Además, se ha desarrollado una herramienta para la gestión de la misma, permitiendo su actualización a laboratorios externos con nuevos experimentos. Por último, se expone y realiza un método comparativo entre amplificadores de potencia, realizando diferentes ensayos, que permiten conocer las limitaciones de estos equipos.

- ❖ **Capítulo 4:** este capítulo se centra en aumentar la estabilidad y precisión de las bancadas PHIL actuales. Primero se realiza un análisis y se presentan las mejoras para el aumento de potencia, ancho de banda y precisión de las bancadas PHIL. Este análisis es la base para el diseño de una nueva plataforma PHIL que permita integrar estas mejoras. Para su desarrollo, se ha realizado también el diseño y comprobación de funcionamiento de un simulador en tiempo real, y el diseño y simulación de un amplificador de potencia de gran ancho de banda. Finalmente, se realiza una comparación del ancho de banda entre las bancadas de pruebas actuales y la propuesta en este capítulo.
- ❖ **Capítulo 5:** se realiza un emulador de vehículo eléctrico para la validación de cargadores V2G. En primer lugar se presenta el esquema general de funcionamiento de este emulador con sus principales elementos, centrándose en aquellos que han sido desarrollados dentro de esta tesis. Después se desarrolla un control para la compensación de reactiva de los cargadores a probar. Más adelante se diseña el filtro de salida del convertidor DC/DC y se muestra la implementación del control de tensión de salida. Finalmente, se realiza una verificación de las pruebas de funcionamiento ante un cargador real V2G.
- ❖ **Capítulo 6:** Se presenta el lanzamiento de un nuevo servicio tecnológico para las pruebas de sistemas de potencia. En esta se describe un método para el desarrollo de estos equipos para la Smartgrid, incluyendo los métodos de

diseño, verificación y validación de cada uno de ellos. Se presenta además el equipamiento disponible en el laboratorio para ayudar en cada una de las etapas. Por último, se integra en un gráfico el modelo de desarrollo integrado con las herramientas disponibles en el laboratorio.

- ❖ **Capítulo 7:** en este capítulo se muestran las principales conclusiones y resultados de esta tesis.

“La lógica de la validación nos permite movernos entre dos límites: el dogmatismo y el escepticismo.”

Paul Ricoeur

CAPÍTULO

2

Estado del arte de métodos de prueba para sistemas de la Smartgrid

Este capítulo es una versión revisada y extendida de la siguiente publicación:

- *García-Martínez, E.; Sanz, J.F.; Muñoz-Cruzado, J.; Perié, J.M. A Review of PHIL Testing for Smart Grids—Selection Guide, Classification and Online Database Analysis. Electronics 2020, 9, 382. doi:10.3390/electronics9030382.*

PREGUNTAS: ¿Cuáles son los sistemas que componen la Smartgrid? ¿Qué métodos de prueba existen para estos sistemas? ¿Cuál es la cobertura de pruebas que pueden llegar a realizar y con qué fiabilidad? ¿Es posible conocer cuáles son los mejores métodos de verificación para cada sistema de la Smartgrid? ¿Se puede llegar a clasificar según su aplicación? [[Resumen capítulo](#)]

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

2.1 Sistemas de la Smartgrid según su canal de interacción

Un método de prueba es un técnica capaz de analizar, estudiar, evaluar y/o verificar un determinado elemento, con el propósito de garantizar que cumple unos determinados requisitos. Para su ejecución, los métodos de prueba se basan en sistemas hardware o software, los cuales tienen que ser capaces de intercambiar información en el canal o dimensión con las que el elemento a probar interacciona, y a su vez, poder reproducir temporalmente las respuestas deseadas. Por lo tanto, para conocer los métodos de prueba de los equipos de la Smartgrid, primero es necesario conocer cómo se organizan los sistemas de esta según su canal o tipo de interacción. Esta organización se muestra en la [Figura 2.1](#).



Figura 2.1: Dimensiones de la Smartgrid: sistemas computacionales, sistemas de potencia eléctrica y sistemas socio-político-económicos.

- **Sistemas computacionales:** cuyas interacciones son eléctricas minimizando la transferencia de energía, siempre con el objetivo de tratar, almacenar y/o

2.1 Sistemas de la Smartgrid según su canal de interacción

transmitir información.

- **Sistemas de potencia eléctricos:** cuyas interacciones son eléctricas de gran potencia, es decir, tienen como principal misión absorber o generar energía para un proceso secundario.
- **Sistemas socio-político-económicos:** interacciones mecánicas y audiovisuales, siendo el objetivo final, directo o indirecto, de todo sistema de la Smartgrid.

Para probar y verificar el comportamiento de estos equipos en todo su rango, es importante la creación de un entorno donde se reproduzcan estas interacciones de manera controlada. Por consiguiente, un requisito indispensable de los sistemas de prueba consiste en la capacidad de generar estas interacciones, asegurando que el sistema de pruebas genere las condiciones de entorno necesarias para la verificación del equipo bajo prueba o **HUT**.

A fin de conocer cuáles son los mejores sistemas de prueba según el elemento a probar, es necesario realizar una clasificación de los sistemas de la Smartgrid según su principal tipo de interacción con el entorno. A continuación se desarrollan estos sistemas más en profundidad, analizando sus tipos de interacción.

2.1.1 Sistemas de computación

Dentro de todos los sistemas de la Smartgrid, los sistemas de computación son los más numerosos. Son sistemas multi-propósito encargados de procesar información para diferentes finalidades, entre las que se puede encontrar: control, monitorización, cálculo, registro, análisis, etc. Todos estos sistemas de computación están basados en **CPU**, **DSP**, **GPU**, **FPGA**, micro-controladores, o cualquier otro sistema capaz de ejecutar un software implementado. Debido al gran desarrollo en los últimos años de estas tecnologías y su amplio espectro, su utilización en la red eléctrica juega un papel clave. Poseen varios tipos de interfaz con el entorno, los cuales se muestran a continuación y se desarrollan más adelante:

- **Interfaz de comunicación**
- **Interfaz de medición-actuación**
- **Interfaz de usuario**

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

2.1.1.1 Interfaz de comunicación

Estas interfaces de comunicación son usadas principalmente para transferencia de información entre dos o más sistemas de computación mediante un estándar o protocolo de comunicación. Dependiendo de su objetivo, esta comunicación puede variar en ancho de banda, rango, robustez, etc. En [31] se realiza un estudio sobre los diferentes tipos y protocolos de comunicación en la Smartgrid. En él, se puede observar dos formas principales de comunicación entre sistemas de computación: cableada o inalámbrica.

- **Comunicación cableada** La comunicación cableada utiliza un canal físico para la transferencia de información entre dos sistemas de computación. Por lo general posee un mejor desempeño que la inalámbrica, teniendo como principal desventaja la necesidad de unir físicamente los sistemas. Las necesidades para la prueba y verificación de estos sistemas son:
 - Sistema capaz de funcionar como maestro y/o esclavo del sistema a probar, pudiendo variar el contenido de la información.
 - Emulación de diferentes eventos y niveles de tráfico en el canal.

Según [31, 32] las principales comunicaciones cableadas utilizadas para la Smartgrid son:

- Red doméstica - HAN: cable coaxial, Ethernet, PLC.
 - Red de campo - FAN: cable coaxial, Ethernet, DSL, Fibra Óptica, PLC.
 - Red de área amplia - WAN: cable coaxial, DSL, Fibra Óptica.
- **Comunicación inalámbrica**

En el caso de la comunicación inalámbrica, el canal utilizado para la transferencia de información es el aire. Esto dota de mucha flexibilidad de interconexión, ya que no hay conexión física con el elemento o elementos a comunicar. Sin embargo, el hecho de no disponer de un canal físico específico punto a punto hace más difícil la depuración de los posibles problemas de comunicación. Las necesidades para la prueba y verificación de estos sistemas son:

- Sistema capaz de funcionar como maestro y/o esclavo del sistema a probar, pudiendo variar el contenido de la información.

2.1 Sistemas de la Smartgrid según su canal de interacción

- Emulación de diferentes eventos y niveles de tráfico en el canal.
- Colocación de los elementos a diferentes distancias y/o posibles barreras arquitectónicas.

Según [31, 32] las principales comunicaciones inalámbricas utilizadas para la Smartgrid son:

- Red doméstica - HAN: Bluetooth, ZigBee, Z-wave.
- Red de campo - FAN: ZigBee Pro, WiFi, Cellular, Low Power WAN (LPWAN), Satélite.
- Red de área amplia - WAN: Celular, LPWAN, Satélite.

2.1.1.2 Interfaz de medición-actuación

La interfaz de medición-actuación lo componen los elementos de computación cuya interacción con el entorno se realiza con entradas/salidas tanto analógicas como digitales de propósito general. Comúnmente, esta interfaz suele ser utilizada para la gestión de sistemas de potencia. Dentro de los dominios realizados en [21], nos podemos encontrar los siguientes equipos con este tipo de interacción:

- *Consumidor*: medidores, sistemas de control (electrodomésticos, DER, EV-SE).
- *Distribución*: medidores, sistemas de indicación de faltas, protecciones, sistemas de control (protecciones, relés, DER).
- *Transmisión*: medidores, sistemas de indicación de faltas, protecciones, subestaciones, sistemas de control (protecciones, relés, DER).
- *Operaciones*: medidores, control de cargas.
- *Generación*: medidores, protecciones, sistemas de control de cualquier generador con electrónica de potencia o no (biomasa, hidráulica, solar, eólica, carbón, almacenamiento,...).

2.1.1.3 Interfaz de usuario

Es la utilizada por lo general entre los sistemas computacionales y los sistemas socio-político-económicos, aunque también existe conexión con elementos de los sistemas de potencia, los cuales no son controlables por las anteriores interfaces.

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

Es por ello que el desarrollo de estas interfaces son muy importantes, tanto para el control de los elementos, como para su monitorización y análisis. En este conjunto se encuentran: los sistemas **SCADA**, que son sistemas de Supervisión, Control y Adquisición de Datos; las interfaces gráficas para el manejo del usuario de un determinado elemento y los botones eléctricos que habilitan un sistema en concreto. Dentro de los dominios realizados en [21], nos podemos encontrar los siguientes equipos con este tipo de interacción:

- *Consumidor*: electrodomésticos, termostato, vehículo eléctrico, cargadores vehículo eléctrico, luminaria.
- *Distribución*: **SCADAs**.
- *Transmisión*: **SCADAs**.
- *Operaciones*: sistemas de mantenimiento, **SCADAs**, gestión financiera, sistema logístico, análisis de fallos.
- *Generación*: **SCADAs**.
- *Proveedor de servicio*: gestión de usuarios, gestión de cuentas, instalación y mantenimiento.
- *Mercado*: gestión y operaciones de mercado, venta al por menor y al por mayor.

2.1.2 Sistemas de potencia eléctricos

Aquí se engloban los sistemas de la red eléctrica que interaccionan con las redes de distribución y transmisión. Las principales interacciones de estos son la de generación y consumo de potencia eléctrica, así como los elementos de conducción y corte. Estas interacciones de potencia pueden ser desde pocos vatios, como por ejemplo bienes de consumo eléctrico o electrodomésticos, hasta potencias mucho más elevadas, tales como las centrales térmicas. Teniendo un sistema capaz de generar-consumir la forma de onda de corriente y tensión que el sistema necesita en su rango de funcionamiento, se puede llegar a probar el **HUT**. Dentro de los dominios realizados en [21], nos podemos encontrar los siguientes equipos con este tipo de interacción:

- *Consumidor*: electrodomésticos, climatización, vehículo eléctrico, micro-generación renovable, cargadores lentos, luminaria.

2.2 Estado del arte de sistemas de prueba para Smartgrid

- *Distribución*: sistemas de almacenamiento, subestaciones, generación distribuida, re-conectores y relés, seccionadores.
- *Transmisión*: sistemas de almacenamiento, subestaciones.
- *Generación*: renovable variable, renovable no variable y no renovable no variable.

2.1.3 Sistemas socio-político-económicos

Son todos los sistemas que entran en juego en la Smartgrid que dependen de acciones humanas directas. Hay que tener en cuenta que todo lo desarrollado en la red eléctrica tiene como objetivo final la habilitación de energía para el ser humano. Por lo tanto, las acciones en este sistema tiene un gran impacto en la gestión de los otros dos sistemas. Sin embargo, este es un camino de doble sentido, ya que los cambios a realizar en la red eléctrica tienen y tendrán un impacto en la sociedad. Por ejemplo, el cambio a grandes variaciones en la tarificación horaria del precio de la energía, previsiblemente haga cambiar de manera notable los hábitos de consumo actuales. Por lo tanto, poder estudiar las repercusiones que la Smartgrid pueda tener en el sistema socio-político-económico (a partir de ahora lo englobaremos como sistema social) y viceversa, puede allanar el camino de su despliegue.

Dentro de los dominios realizados en [21], nos podemos encontrar los siguientes equipos con este tipo de interacción:

- *Consumidor*: residencial, industria, edificios comerciales.
- *Operaciones*: planificación, mantenimiento y construcción.
- *Proveedor de servicio*: instalación y mantenimiento, gestión de clientes, facturación.
- *Mercado*: operaciones mercantiles, gestión de mercados, comercio, venta al por menor.

2.2 Estado del arte de sistemas de prueba para Smartgrid

Son muchos los sistemas de prueba que sirven actualmente para la Smartgrid. Las siguientes subsecciones muestran todos estos sistemas que actualmente se pueden

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

encontrar en la literatura. Finalmente, en la última [Subsección 2.2.6](#) se muestra una clasificación de estos sistemas según sus principales características.

2.2.1 Simulación

Este método de pruebas es uno de los más usados, ya que permite obtener resultados interesantes sin apenas inversión. Posee la máxima cobertura de test de todas las herramientas, permitiendo analizar con detalle cada una de las partes a probar. Sin embargo, la fidelidad de la prueba depende de la calidad de los modelos utilizados, los cuales pueden no ajustarse correctamente a toda la casuística que puede tener el equipo real. Por lo tanto, este método de pruebas permite simular cualquier elemento que se encuentre dentro de los sistemas y/o dimensiones de la Smartgrid, dimensiones mostradas anteriormente en la clasificación de la [Sección 2.1](#):

- Sistemas de potencia eléctricos.
- Sistemas computacionales.
- Sistemas socio-político-económicos .

Actualmente no hay herramientas de simulación capaces de ejecutar modelos completos de todos los sistemas de la Smartgrid. Por ese motivo, se van a analizar a continuación según esta clasificación.

2.2.1.1 Simulación de sistemas de potencia eléctricos

La simulación posibilita el estudio en detalle de sistemas de potencia eléctricos, permitiendo realizar todo tipo de modificaciones y variaciones paramétricas de los modelos sin ninguna consecuencia económica ni de seguridad. Esto permite al diseñador investigar y conocer con más detalle el sistema completo y sus límites de funcionamiento. En [33] se clasifican los tipos de simulación de sistemas de potencia eléctricos en cuatro: simulación de fasores, simulación de transitorios electromagnéticos o de EMT, fasores dinámicos y simulaciones híbridas. La selección del tipo de simulación se realizará dependiendo de la complejidad del sistema a modelar o de los fenómenos a estudiar. Por ejemplo, para sistemas de electrónica de potencia, cuyas dinámicas son muy rápidas y su respuesta en frecuencia es muy importante, el método de simulación EMT es el más utilizado. Además, dado que estos sistemas no suelen estar compuestos por muchos elementos que amplíen las

2.2 Estado del arte de sistemas de prueba para Smartgrid

variables de estado, las simulaciones pueden ser ejecutadas normalmente por un equipo personal a una velocidad adecuada. Sin embargo, la utilización del método EMT en grandes redes eléctricas es inviable debido al gran número de elementos. Es por ello que para este tipo de simulaciones es ampliamente utilizado el método por fasores. También se puede ampliar a sistemas multifísicos, aunque con mucha menos relevancia para el estudio de la red eléctrica inteligente.

Existen herramientas de simulación tanto comerciales como abiertas, así como otras herramientas desarrolladas específicamente para el uso propio en determinados laboratorios. Un ejemplo de este último se puede encontrar en [34], donde se hace una revisión sobre las diferentes herramientas de simulación desarrolladas por los laboratorios de investigación europeos. En el caso de las soluciones comerciales, en la [Tabla 2.1](#) se recogen las herramientas actuales para la simulación de sistemas de potencia, la cual está basada en [35].

Tabla 2.1: Herramientas de simulación actuales para los sistemas eléctricos de potencia [35], ordenadas alfabéticamente.

HERRAMIENTAS DE SIMULACIÓN DE SISTEMAS DE POTENCIA

- | | |
|-------------------------------|---------------------------|
| 1. Adevs | 17. OpenPMU |
| 2. Aspen | 18. PCFLO |
| 3. DIgSILENT | 19. PLECS |
| 4. EMTP-RV | 20. Power World Simulator |
| 5. EnergyPlus | 21. PowerFactory |
| 6. ETAP | 22. Psap |
| 7. EUROSTAG | 23. PSCAD |
| 8. GridLab-D | 24. PSCAD/EMTDC |
| 9. Homer | 25. PSLF |
| 10. interPSS | 26. PSS/E |
| 11. MATLAB - Simpower Systems | 27. PST |
| 12. MATPOWER | 28. Rapid61850 |
| 13. NEPLAN | 29. RTDS |
| 14. OPAL-RT | 30. TEFTS |
| 15. OpenDSS | 31. UWPFLOW |
| 16. OpenETran | |

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

2.2.1.2 Simulación de sistemas computacionales

Los sistemas de computación de la Smartgrid que interaccionan con otros sistemas de su mismo tipo, suelen ser probados directamente en el entorno de la aplicación final. Esto es debido a que durante la prueba, si existe algún contratiempo durante su funcionamiento, este no supone ningún problema económico ni de seguridad. Sin embargo, existen dos tipos de equipos y/o aplicaciones donde sí se utilizan métodos de simulación para probar sistemas de computación:

- Estudio y comprobación de la implementación del control y/o monitorización de un sistema físico.
- Estudio y comprobación de la comunicación entre los equipos.

Estos tipos de equipos y/o aplicaciones se exponen a continuación.

2.2.1.2.1 Estudio y comprobación de la implementación del control y/o monitorización de un sistema físico

Cuando se diseña un equipo de computación para el control y/o monitorización de un sistema físico, muchas veces es recomendable el uso de un sistema de simulación que facilite su implementación. Este método de comprobación normalmente es utilizado para la verificación en etapas tempranas del desarrollo de un producto. Para el estudio de estos elementos, existen tres métodos donde se utilizan simulaciones computacionales ejecutadas en un sistema de tiempo no real:

- **MIL**: el método **MIL** o modelo en bucle, consiste en la comprobación del algoritmo de control modelado junto con la planta simulada. Este algoritmo todavía no ha sido traducido o exportado al sistema de computación que se utilizará en el equipo real. Este es un método utilizado en los estadios iniciales de desarrollo de un equipo, y que permite una gran cobertura del test y flexibilidad. Además, posibilita realizar pruebas del algoritmo de control de manera rápida, ayudando a la verificación o descartando la idea original.
- **SIL**: el método **SIL** o software en bucle, permite ejecutar el código de un determinado control y/o código de monitorización en un entorno de simulación. Este código es el mismo que en un estadio final será implementado en el sistema de computación. Al estar interaccionando con la simulación física de la planta, permite la verificación del código ante cualquier evento a estudiar.

2.2 Estado del arte de sistemas de prueba para Smartgrid

Además, facilita la modificación del software para la corrección y optimización del mismo gracias a que ambas partes están en el mismo entorno. Este método suele utilizarse una vez se han realizado las pruebas con el método **MIL**, pudiendo encontrar errores en la escritura del código.

- **PIL**: el método **PIL** o procesador en bucle, consiste en la comprobación de un código de control y/o monitorización implementado en un sistema computacional en un entorno de simulación física. Es una extensión del método **SIL**, pero esta vez el código está implementado en su totalidad en el hardware final. El hardware interactúa con el sistema de simulación con un protocolo de comunicación, pero no se ejecuta en tiempo real. Este protocolo suele ser propio del entorno de simulación y no se utilizará en el sistema final. Permite explorar y solventar de manera rápida los problemas asociados al hardware de control, como pérdidas de precisión debido a problemas de memoria en el integrado. Al estar fuertemente acoplado con un entorno de simulación, tiene las mismas ventajas que los anteriores métodos **MIL** y **SIL**, pero en un estadio más cercano al producto final.

2.2.1.2.2 Estudio y comprobación de la comunicación entre los equipos

La utilización de herramientas de simulación permite la comprobación y verificación de la comunicación entre varios sistemas ante diferentes casuísticas, como por ejemplo, el análisis de los distintos elementos a diferentes niveles de saturación de la red. Esta opción es muy interesante para probar la comunicación con los sistemas de la Smartgrid desde redes públicas, la cual puede ser una puerta de doble sentido. Por una parte facilita mucho la comunicación con los distintos elementos, abaratando costes gracias a que no es necesario desplegar una red de comunicación paralela a la ya existente. Por otra parte, permite a terceros poder acceder a los equipos, aumentando la vulnerabilidad total del sistema. Debido a la importancia y dependencia de la red eléctrica en muchas de las actividades actuales de la sociedad, esta vulnerabilidad preocupa mucho a los encargados de la infraestructura. Por ello, la ciberseguridad y su estudio e impacto en la red eléctrica está siendo un tema actual de discusión científica [28, 29, 35, 36, 37, 38, 39], y la simulación es una de las herramientas más utilizadas para su verificación y resolución.

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

En la [Tabla 2.2](#) aparece una lista con todos las herramientas actuales para la simulación de la comunicación entre los sistemas de computación basada en [\[35, 40\]](#). Además en [\[40\]](#) se muestra una tabla comparando las principales características de los simuladores de redes de comunicación más utilizados.

Tabla 2.2: Herramientas de simulación actuales para la comunicación y ciberseguridad [\[35, 40\]](#), ordenadas alfabéticamente.

HERRAMIENTAS DE SIMULACIÓN DE SISTEMAS CIBERNÉTICOS

1. Cloonix	12. NS2
2. COOJA	13. NS3
3. DeterLab	14. OMNet++
4. GLOMOSIM	15. OPNET
5. GNS3	16. RINSE
6. GridSim	17. Shadow
7. GridStat	18. Stateflow
8. IMUNES	19. TIMES-Pro
9. Java	20. UPPAAL
10. MATLAB - SimEvents	21. Visual Studio
11. NeSSi2	22. WANE

2.2.1.3 Simulación de sistemas socio-político-económicos

Se prevé que uno de los inminentes temas de investigación sea la simulación de los sistemas sociales y de los efectos de las políticas y las diversas regulaciones [\[41\]](#). Para la realización de estas simulaciones, uno de los métodos más utilizados son los multi-agente [\[42\]](#). Un ejemplo se encuentra en [\[43\]](#), donde se recomienda este método para la simulación de los mercados eléctricos. En [\[44\]](#), una nueva herramienta basada en esta técnica es utilizada para el estudio de la respuesta a la demanda en ambientes residenciales. Entre los beneficios marcados en [\[45\]](#) para los sistemas multi-agentes son:

- Naturaleza autónoma.
- Facilidad para compartir información entre los agentes.
- Posibilidad de coordinar acciones.

Además de la simulación de sistemas sociales, las simulaciones multi-agente se han utilizado para el estudio de esquemas de protección, algoritmos de demanda

2.2 Estado del arte de sistemas de prueba para Smartgrid

eléctrica o en los dispositivos electrónicos inteligentes [42]. También se ha utilizado para la optimización en la elección de los puntos de recarga de vehículo eléctrico [46].

2.2.1.4 Simulación acoplada o co-simulación

Como se ha visto anteriormente, la Smartgrid es un sistema multi-dimensional, y para cada una de estas dimensiones hay un entorno o forma de simulación específica para su estudio. Actualmente, aunque existen algunas herramientas que permiten realizar simulaciones simultáneas de potencia y comunicación, no están lo suficientemente desarrolladas [42]. Es por eso que en la actualidad, para poder comprobar en simulación varias dimensiones de la Smartgrid, se suelen realizar distintas simulaciones de diferentes entornos de ejecución interaccionando entre si. A esta estrategia se la llama co-simulación.

Hay dos estrategias diferentes de ejecución de co-simulación [42]. Estas se muestran en [Figura 2.2](#), utilizando para ello un ejemplo de co-simulación de un sistema de potencia y de una red de comunicación. La primera estrategia es la maestro-esclavo, donde un simulador es seleccionado como maestro y es el encargado de la sincronización con el resto de la simulación. En la segunda estrategia, un sistema externo se encarga de la sincronización entre los diferentes simuladores o una ejecución dedicada de sincronización y control.

En la [Tabla 2.3](#) aparece una lista con todas las herramientas actuales que permiten la co-simulación basada en [35]. Un listado de plataformas de co-simulación, las cuales utilizan las herramientas descritas en la [Tabla 2.3](#), es mostrado y analizado con detalle en [40].

También existen estándares como [High Level architecture \(HLA\)](#) [47], el cual describe el marco, los componentes y las reglas para garantizar una implementación coherente, proporcionando una arquitectura común para la simulación. Otro ejemplo de estándar, en este caso libre, es [Functional Mock-up Interface \(FMI\)](#) [48]. Este estándar creado dentro de un proyecto Europeo para resolver los problemas de multi-plataforma existentes en el mundo de la automoción, define un contenedor y una interfaz para intercambiar modelos dinámicos utilizando una combinación

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

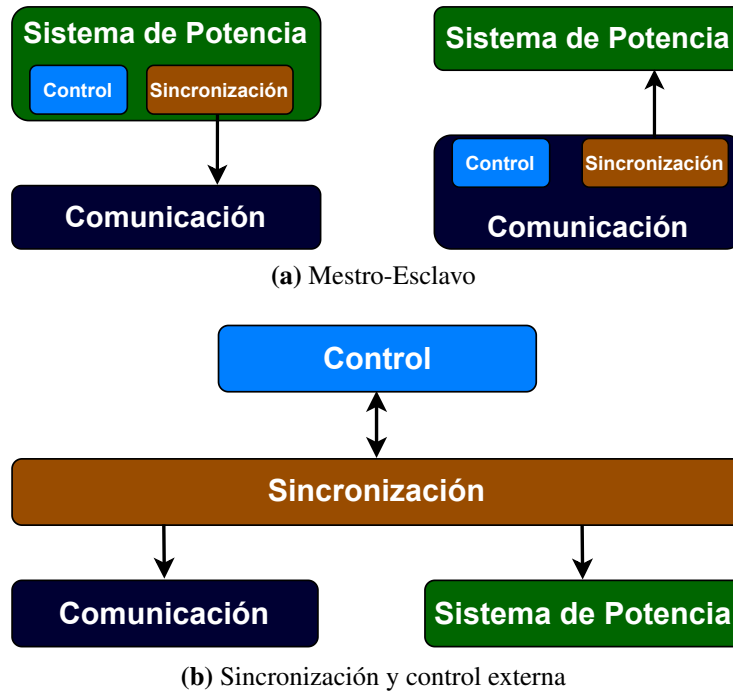


Figura 2.2: Diagrama de bloques de las dos estrategias utilizadas para co-simulación (basado en [42]).

de archivos. No solo permite la co-simulación, sino que es posible también exportar modelos bajo este estándar en numerosas herramientas de simulación para que puedan ser ejecutadas en una tercera.

Tabla 2.3: Sistemas de simulación actuales que permiten la co-simulación con otros modelos y/o entornos [35, 40], ordenadas alfabéticamente.

HERRAMIENTAS DE CO-SIMULACIÓN

- | | |
|-----------------|----------------|
| 1. Dymola | 8. Modelica |
| 2. EPOCHS | 9. Mosaik |
| 3. Jmodelica | 10. Ptolemy II |
| 4. LabVIEW | 11. Simantics |
| 5. MapleSim | 12. Simscape |
| 6. MathModelica | 13. Simulink |
| 7. Mathworks | 14. VTB |

2.2.2 Simulación en tiempo real

Esta técnica consiste en el mismo concepto visto anteriormente en la Sección 2.2.1, pero con la peculiaridad de que la base de tiempos de la simulación está sincronizada con un reloj en tiempo real. Es decir, el simulador en tiempo real resuelve las ecuaciones del modelo en un paso de cálculo, que es el mismo tiempo que el de un reloj real [49]. Esta diferencia hace que los simuladores en tiempo real suelen ser equipos especiales para la ejecución de estos modelos. Estos suelen tener una gran potencia de cálculo y un tiempo reducido entre la entrada y salida del mismo, permitiendo cumplir con las restricciones temporales. Dado el buen desempeño de estos sistemas para simulación, también suelen ser utilizados en el resto de aplicaciones, donde la característica distintiva de ejecución en tiempo real no es utilizada.

Sin embargo, este atributo distintivo hace que este método sea utilizado principalmente para la comprobación de equipos físicos ya fabricados. En [50] se realiza la siguiente clasificación de alto nivel sobre las aplicaciones de los simuladores en tiempo real:

- Aplicaciones funcionales: diseño, desarrollo de un prototipo rápido, pruebas, educación.
- Aplicaciones específicas de campo: sistemas de potencia, electrónica de potencia, sistemas de control.
- Aplicaciones basadas en la fidelidad de la simulación: simulación EMT, simulación de fasores, simulación híbrida (fasores y EMT).

Más adelante, en la Subsección 3.1.1, se analizan en detalle las características de este sistema, mostrando una tabla donde se especifican los tipos de hardware del simulador, su sistema operativo, el tipo de comunicación y protocolos soportados, el tipo de modelado y sus principales aplicaciones. Dependiendo de la interacción vista en la Figura 2.1 con los diferentes sistemas de la Smartgrid, la utilización del simulador en tiempo real se divide en dos métodos diferentes:

- *HIL*: el método HIL o equipo en bucle, utilizado para pruebas de sistemas computacionales.
- *PHIL*: el método PHIL o equipo de potencia en bucle, empleado en pruebas de sistemas de potencia eléctrica.

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

2.2.2.1 Hardware-In-the-Loop (HIL)

El método **HIL** se basa en la utilización de un simulador en tiempo real que es capaz de interactuar con un sistema computacional gracias a la utilización de interfaces de medición-actuación ([Subsubsección 2.1.1.2](#)), de comunicación ([Subsubsección 2.1.1.1](#)) o incluso de usuario ([Subsubsección 2.1.1.3](#)). Gracias a este conjunto se puede simular cualquier contexto, posibilitando emular el entorno real al que tendrá que hacer frente un sistema de computación, pero con las posibilidades que la simulación ofrece.

Sin embargo, el gran coste computacional que tiene la ejecución de estos modelos en tiempo real marca una limitación en la capacidad de cálculo del simulador, limitación que no tiene la simulación en tiempo no real. Es por ello que, aunque las dos técnicas permiten probar los sistemas sin ponerlos en riesgo, en la simulación en tiempo no real se pueden estudiar modelos más complejos y de un ancho de banda mayor que en **HIL**. Por lo tanto, la simulación tiene más cobertura que una prueba realizada en **HIL**.

Existen varios ejemplos en la literatura de utilización de **HIL**. Un campo donde se utiliza mucho esta técnica es en los sistemas de protección y control. Por ejemplo, en [\[51\]](#) se investiga la amortiguación de las oscilaciones en un sistema eléctrico de rango amplio. En [\[52\]](#) se utiliza este método para analizar un esquema de protección basado en relés de sobre-corriente dual de los sistemas de potencia con fotovoltaica.

Otro campo es la utilización de **HIL** para probar controles, principalmente de electrónica de potencia. Cuando este método se utiliza para este fin, se suele denominar **Controller Hardware-In-the-Loop (CHIL)**. Este método es utilizado en [\[53\]](#), donde el control de un convertidor implementado en una **DSP** para la estabilización de la frecuencia es llevado a prueba. Pero esta técnica no es exclusiva para Smart-grid. Por ejemplo, en [\[54\]](#) se realiza un banco de pruebas basado en **CHIL** para la verificación del control de una cocina de inducción, con topologías resonantes de convertidores de potencia.

2.2 Estado del arte de sistemas de prueba para Smartgrid

2.2.2.2 Power Hardware-In-the-Loop (PHIL)

El método **PHIL** también se basa en el empleo de un simulador en tiempo real, pero en este caso la interacción es con un sistema de potencia eléctrica. Esto es posible gracias a la utilización de un amplificador de potencia, el cual es capaz de reproducir en tensión, corriente y potencia real los valores marcados por el simulador. Por lo tanto, la bancada necesaria para utilizar este método de pruebas tiene dos componentes principales: un simulador digital en tiempo real o **DRTS** y un amplificador de potencia o **PA**. Estos dos elementos, junto con el sistema hardware a probar o **HUT** y los sensores de corriente y tensión necesarios, forman el sistema de pruebas basado en **PHIL**. En la **Figura 2.3** se puede observar la estructura básica de un banco de pruebas basado en **PHIL**.

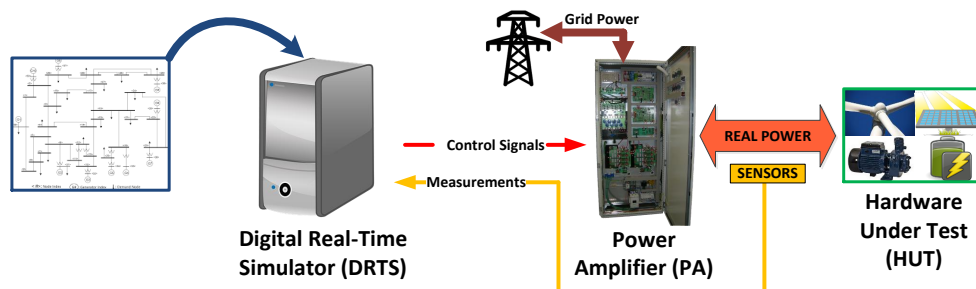


Figura 2.3: Estructura básica de un banco de pruebas de **PHIL**.

Esta es una de las técnicas de prueba con mejor relación entre la cobertura del test y la fidelidad. La utilización de una bancada de ensayos **PHIL** posibilita a su vez la realización de pruebas de simulación y **HIL**, gracias a la disposición de un simulador en tiempo real. Esta técnica permite a los laboratorios encargados del desarrollo de los sistemas de la Smartgrid todo lo necesario para llevar un producto desde su desarrollo a mercado: diseño, ejecución, evaluación, puesta en marcha y verificación de cumplimiento de estándares. Además, dado que idealmente una bancada basada en **PHIL** puede comportarse como cualquier sistema eléctrico, ofrece la flexibilidad necesaria para poder probar las diferentes posibilidades y entornos de funcionamiento. En consecuencia, es previsible que su uso se

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

vaya extendiendo cada vez más conforme aumenten sus prestaciones para cubrir las futuras necesidades. Las principales características que ofrece son:

- *Pruebas a sistemas completos*: permite realizar la prueba al sistema íntegro, no solo al sistema de control.
- *Flexibilidad*: idealmente, la utilización de un simulador en tiempo real con un amplificador de potencia se puede comportar como cualquier sistema eléctrico.
- *Repetibilidad*: es posible repetir el mismo test a diferentes sistemas, permitiendo la comparación de su desempeño.
- *Ensayos potencialmente destructivos*: permite realizar experimentos que en el entorno final no se pueden ejecutar.
- *Reducción de costes*: con un solo sistema PHIL se pueden realizar diferentes tipos de prueba a distintos equipos, lo que ahorra costes al laboratorio.
- *Ambiente seguro*: permite realizar las pruebas en un entorno controlado de laboratorio.

Para la comprobación no solo de la potencia eléctrica sino también de la comunicación, en [55] se cita por primera vez el método de *Power System-In-the-Loop (PSIL)*. Este método es una combinación de CHIL y PHIL, el cual posibilita integrar las pruebas de las diferentes capas de la Smartgrid. Por último, cabe destacar que no solo se han descrito pruebas PHIL exclusivamente eléctricas, también se han hecho PHIL multifísicos, con sistemas térmicos e hidráulicos [56], los cuales quedan fuera del objetivo de esta tesis.

2.2.3 Emuladores de potencia

Un emulador es un equipo que ha sido diseñado única y exclusivamente para realizar unas determinadas pruebas de carácter específico. Por lo tanto, no hay posibilidad de utilizarlo en otros ensayos para los que no ha sido diseñado. Esta es la principal diferencia respecto a los métodos anteriores HIL-PHIL. Sin embargo, el emulador suele tener unas funcionalidades ya implementadas que facilitan y aceleran las pruebas al usuario. Esto es debido a que es un sistema diseñado completamente para un objetivo concreto, con un proceso de desarrollo más intensivo que llega a cubrir todas las necesidades.

2.2 Estado del arte de sistemas de prueba para Smartgrid

Si se necesita repetir los mismos ensayos de manera masiva, los emuladores pueden ser técnicas de prueba muy útiles. También puede resultar útil si se necesita una verificación previa del sistema antes de ser entregado al consumidor, como puede ocurrir con los convertidores de electrónica de potencia. Por ejemplo, existen en el mercado varios emuladores fotovoltaicos normalmente utilizados para este uso ^{1 2}.

Uno de los primeros artículos que se tiene constancia sobre emuladores es [57], donde se realiza un emulador de motores eléctricos realizado para la prueba de convertidores. En [58, 59] se realizan también emuladores de motores eléctricos, pero en este caso el emulador puede ser fácilmente adaptado a diferentes tipos de máquinas y parámetros de las mismas. Además, tienen la posibilidad de emulación de un sensor de velocidad, necesario para el control de los convertidores. Otro emulador de máquinas de inducción se lleva a cabo en la tesis [60], en la que se incluye el efecto de saturación del flujo magnético.

En [61] se realiza un emulador de batería de vehículo eléctrico para la comprobación del tren motriz del vehículo. Posibilita emular distintos modelos de baterías, probando diferentes comportamientos o condiciones ambientales. En [62] se realiza un emulador de vehículo eléctrico para la comprobación de cargadores rápidos unidireccionales. Permite emular el comportamiento de la tensión de batería del vehículo, así como el hardware y la comunicación necesaria entre vehículo y cargador, utilizando el protocolo CHAdeMO. Este emulador entrega toda la potencia transferida por el cargador a unas resistencias, por lo que no afecta a la calidad de la red eléctrica, posibilitando el estudio de calidad de red sin alteraciones de las componentes armónicas de los cargadores bajo prueba.

2.2.4 Banco de pruebas

Este método, también llamado pruebas de laboratorio convencionales por [33], consiste en ensayar los sistemas eléctricos de potencia en un entorno seguro de laboratorio mediante una solución a escala. Por ejemplo, antes de la llegada de los

¹<https://www.ecosenseworld.com/labs/solar-pv-labs/solar-pv-emulator> (Último acceso: 27/03/2022)

²<https://www.cinergia.coop/product/pv-panel-emulation-simulator> (Último acceso: 27/03/2022)

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

simuladores, para el estudio de las redes eléctricas en los laboratorios se utilizaban circuitos equivalentes de una potencia más reducida que el sistema real. Estos sistemas se denominaban Analizadores de Transitorios de Red o TNA y se tiene constancia que se empezaron a utilizar en la década de 1930 [63]. Se utilizaban principalmente para el análisis de los flujos de potencia, el estudio de transitorios y la simulación de faltas. Estos sistemas eran complicados y requerían de una gran inversión de tiempo para estudiar los fenómenos transitorios. Además, precisaban de un mantenimiento costoso para conservar su correcto funcionamiento. Debido a esto, los TNA han sido reemplazados en su mayoría por sistemas de simulación.

Para aplicaciones de potencia eléctrica donde se necesite una fidelidad elevada, este método sigue siendo una opción utilizada. Por ejemplo, en [64] se configura una micro-red eléctrica en un laboratorio para el estudio de los sistemas de potencia marítimos. En ella se utilizan equipos reales de pocos kVAs como un generador síncrono, un equipo de almacenamiento basado en baterías o bancos de resistencias. También existen otros ejemplos con un banco de pruebas para probar equipos a potencia nominal. Un ejemplo de esto se da en [65], donde se realizan pruebas a elementos con impulsos de tensión de hasta $\pm 3600kV$.

Dentro de los métodos basados en bancos de pruebas, también se puede incluir la utilización de un amplificador de potencia controlado en bucle abierto. En otras palabras, el amplificador de potencia se utiliza como un generador de señales en tensión y /o corriente, pero con capacidad de dar potencia requerida para el ensayo. Esto permite probar componentes de una manera rápida y fiable, siendo un método ampliamente utilizado para la comprobación de elementos de protección [63]. De hecho, en [66] se recomienda su uso para la verificación de equipos que van a ir conectados a una red eléctrica fuerte. Otro de estos casos es la verificación de normativas de red eléctrica, donde se utiliza un amplificador capaz de reproducir los fenómenos de la red eléctrica que dicta la norma para la verificación del sistema a comprobar.

2.2.5 Pruebas en campo

Este tipo de pruebas se realizan en el punto de instalación, debido a la imposibilidad de replicar su totalidad en un laboratorio. Los resultados obtenidos con estas

2.2 Estado del arte de sistemas de prueba para Smartgrid

pruebas son los más fiables, pero suponen un coste elevado y no permiten realizar determinados ensayos que supongan un riesgo a la infraestructura o a su operación. Adicionalmente, no es posible tener el control sobre la reproducibilidad y el tiempo de ocurrencia de los eventos, dificultando la verificación del sistema.

Por otra parte, muchas veces estos ensayos pueden tener consecuencias indeseadas. Por ejemplo, en [26] describen un problema de verificación de un equipo de almacenamiento directamente en la microrred donde iba a ser instalado. Después de un año probando en las instalaciones, la empresa distribuidora descubrió que había dañado un transformador de 750 kVA debido a la elevada pendiente de las rampas de corriente provocadas por el control del sistema de almacenamiento.

2.2.6 Clasificación

En las anteriores secciones se ha hecho un repaso del estado del arte de los diferentes sistemas de prueba para la Smartgrid. Para su estudio y clasificación, se realiza una evaluación de estos sistemas en cuatro dimensiones diferentes, ampliando la realizada en [26]:

- *Precio*: el coste total de toda la prueba, tanto de los componentes que la conforman como el tiempo invertido en obtener el resultado de la prueba.
- *Fidelidad*: precisión del ensayo y su diferencia con una prueba real.
- *Cobertura*: posibilidades que ofrece, el rango, si es posible probar los sistemas en su punto crítico de funcionamiento sin poner en riesgo el sistema bajo prueba.
- *Ejecución*: Si se ejecuta en tiempo real o no.

En la [Figura 2.4](#) se muestra la clasificación de los sistemas de prueba para la Smartgrid según las cuatro dimensiones vistas anteriormente. Se puede observar como el sistema más barato y con mayor cobertura es la simulación, aunque también es la que menos fidelidad tiene. A continuación de esta, con la misma cobertura pero con una mayor fidelidad están los métodos [MIL](#) y [SIL](#), seguido del método [PIL](#), todos ellos vistos en la [Sección 2.2.1.2.1](#). La razón del aumento de fidelidad es que cada uno de ellos es un paso más hacia la ejecución del código en un entorno real. Más a la derecha del método [PIL](#) se encuentra el método [HIL](#), cuya ejecución se realiza ya en tiempo real. Al ejecutar todo el código sobre el sistema final, posee

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

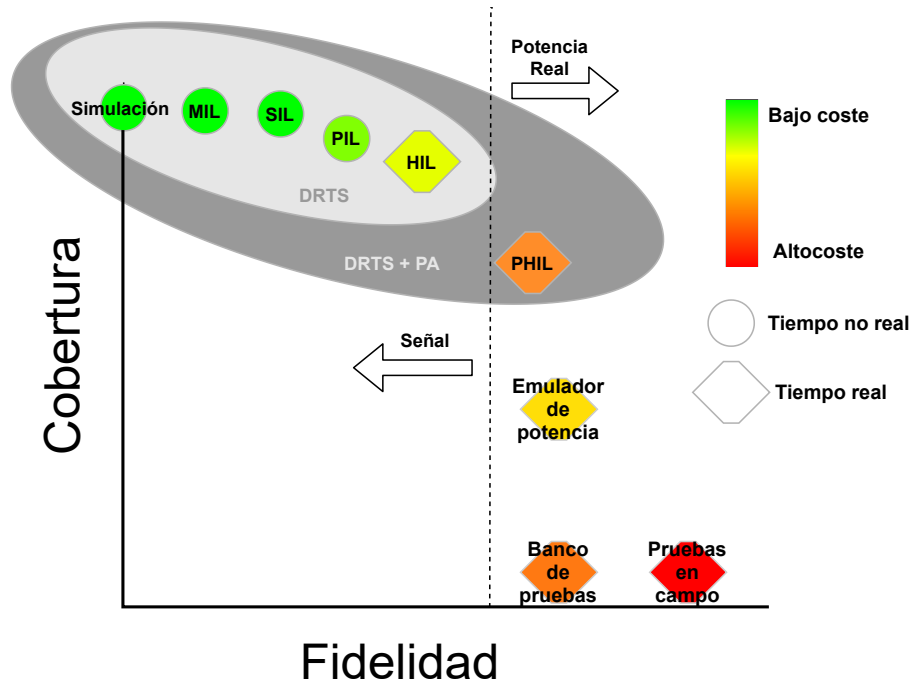


Figura 2.4: Clasificación de los sistemas de prueba para Smartgrid existentes en la actualidad (basado en [26]).

más fidelidad que las anteriores pero menos cobertura, ya que tiene las limitaciones del hardware. Un paso más allá en fidelidad y con una cobertura más reducida está **PHIL**, donde ya se ensaya todo el sistema, incluyendo los elementos de potencia. Los emuladores poseen algo más de fidelidad ya que son equipos específicos, pero con menos cobertura ya que disponen de unas funcionalidades más limitadas. Por último se encuentran los ensayos en banco de pruebas y las pruebas en campo, las cuales tienen la máxima fidelidad, pero también son las de mayor coste y las de menos cobertura.

En la [Tabla 2.4](#) se muestra una descripción con las partes simuladas y reales de los distintos métodos de prueba. Se puede observar que conforme se va avanzando en fidelidad en los métodos de prueba, las partes reales aumentan y las ejecutadas en simulación disminuyen. A su vez, al ir restando elementos simulados, su cobertura se va viendo reducida y su coste, por lo general, va en aumento.

2.3 Método de prueba para cada sistema

Tabla 2.4: Especificación de las partes ejecutadas en simulación y de las reales en los distintos métodos de prueba.

	Algoritmo y/o Código	Integrado	Sensor y actuador (señal)	Sensor y actuador (potencia)	Planta
Simulación MIL	Simulado	Simulado	Simulado	Simulado	Simulado
SIL	Real	Simulado	Simulado	Simulado	Simulado
PIL	Real	Real	Simulado	Simulado	Simulado
HIL	Real	Real	Real	Simulado	Simulado
PHIL	Real	Real	Real	Real	Simulado
Emulador de potencia	Real	Real	Real	Real	Simulado (Acotado)
Banco de pruebas	Real	Real	Real	Real	Real (Adaptado)
Pruebas en campo	Real	Real	Real	Real	Real

2.3 Método de prueba para cada sistema

En la [Tabla 2.5](#) se recoge la recomendación de uso de cada método de prueba para cada una de las aplicaciones y sistemas de la Smartgrid, clasificada en cinco niveles según su idoneidad. Otra forma de visualizar esta información de modo más con-

Tabla 2.5: Relación entre la dimensión de prueba y los distintos métodos de prueba actuales: ✓✓: Excelente; ✓: Aconsejable; -:Posible; ✗: No aconsejable; ✗✗: A evitar.

Dimensión \ Método	Método					
	Simulación	HIL	PHIL	Emulador	Banco de pruebas	Sistema completo
Sistemas de Potencia	✓	✗✗	✓✓	✓✓	✓	✓
Frontera Potencia/Computacional	✓✓	✓	-	✓✓	-	✓
Sistemas Computacionales	✓✓	✓✓	✗✗	✓✓	✓	✓✓
Frontera Social/Computacional	✓✓	✓	✗✗	-	✓✓	✓✓
Sistemas Sociales	✓✓	✗✗	✗✗	✗✗	✗✗	✓✓
Frontera Social/Potencia	✓✓	✗✗	-	✗	✓✓	✓

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

ceptual se presenta en la [Figura 2.5](#), donde también se recoge esta recomendación según la clasificación realizada de los sistemas de la Smartgrid de la [Figura 2.1](#). A continuación se analizan las conclusiones obtenidas de cada uno de los métodos de simulación revisados, incluyendo su adecuación o no para la prueba de cada una de las dimensiones de la Smartgrid.

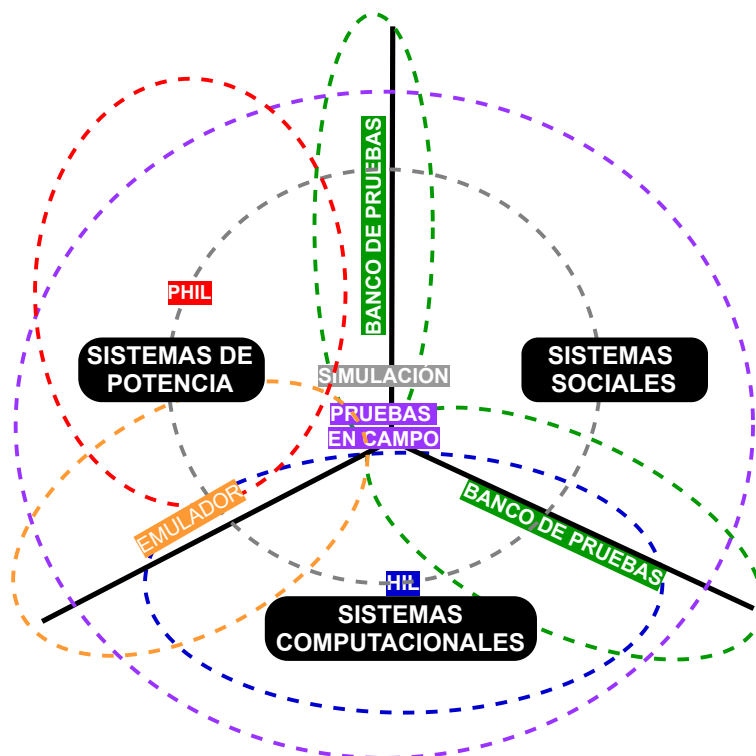


Figura 2.5: Diagrama conceptual de los sistemas de prueba recomendados para cada una de las dimensiones, según el esquema mostrado anteriormente en la [Figura 2.1](#).

HIL: para los sistemas computacionales, **HIL** es una técnica que encaja muy bien y con la que se puede indagar en la prueba de un amplio espectro de equipos. También hay parte de pruebas que se pueden hacer a sistemas de protecciones, para las cuales no se necesita una realimentación de la potencia entregada, en la que esta técnica es ampliamente utilizada. Después, mezclando las técnicas **HIL** y **PHIL** se puede probar todo lo que se prueba con emuladores, pudiendo ser una solución adecuada si ya se disponen de dichos elementos en las instalaciones.

Banco de pruebas: el banco de pruebas es un método recomendado en todo tipo de ensayos, siempre que se de en situaciones donde el coste no sea muy alto

2.3 Método de prueba para cada sistema

y donde sea factible la modificación de la bancada de manera rápida. Sin embargo, existen técnicas mejores si la prueba tiene un coste y desarrollo más elevado que el beneficio obtenido. Donde encuentra su mayor nicho es en la prueba de los sistemas de potencia y computacionales por parte de usuarios humanos, como pueden ser los conceptos “sandbox” ¹. Para realizar una última verificación y/o estudio antes de despliegue, un banco de pruebas en un entorno acotado real es la mejor forma de comprobar cómo los sistemas sociales interaccionan con estos elementos.

Simulación: la simulación es un método útil para cualquier sistema. Si bien su determinismo puede no ser muy bueno, ya que depende de la calidad del modelo, su rapidez y facilidad puede llegar a ser útil para cualquier prueba a realizar. Dentro de la simulación está incluida la co-simulación, la cual es muy útil en simulaciones que abarquen los tres sistemas (Figura 2.1).

Pruebas en campo: todos los equipos desarrollados tienen como objetivo el despliegue del mismo en un entorno real. Para los sistemas de computación, la verificación de funcionamiento del mismo en campo puede tener su interés, siempre y cuando esta no suponga la paralización o destrucción de algún elemento importante dentro de la red eléctrica. Esto es viable gracias a la facilidad y rapidez de depuración del software, permitiendo un desarrollo iterativo y actualizado a las necesidades del usuario. Esta posibilidad hace que muchas veces se despliegue un software sin ser testado correctamente, lo que puede llevar a problemas en la red no contemplados en un primer análisis. Para los sistemas sociales, las pruebas en campo son las más utilizadas hasta ahora.

PHIL: para los sistemas de potencia, PHIL es el método de prueba con mejor relación entre cobertura y fidelidad. Las posibilidades que ofrece esta técnica para funcionar idealmente como cualquier equipo eléctrico, dota a los laboratorios de una gran flexibilidad a la hora de ejecutar sus pruebas. Pero no es un método de prueba “plug-and-play”, debido principalmente a los retrasos, anchos de banda y precisiones reducidas. Todo ello hace que si no se realiza correctamente un estudio previo de la misma, puede provocar inestabilidades durante los ensayos. Por lo tanto, si solo se va a utilizar este método para realizar un determinado, acotado

¹<https://www.futured.es/documento/documento-futured-guia-explicativa-sandboxes/> (Último acceso: 27/03/2022)

2. ESTADO DEL ARTE DE MÉTODOS DE PRUEBA PARA SISTEMAS DE LA SMARTGRID

y repetitivo set de ensayos cerrados, puede tener sentido utilizar otro método de pruebas basado en emulador.

Emulador de potencia: este método es el más recomendado para la prueba de equipos donde haya un fuerte acople entre el sistema de potencia eléctrica y el sistema computacional. Esto es debido a que la creación de este acople mediante la combinación de otras técnicas como **HIL** y **PHIL**, puede llevar al laboratorio a tiempos de desarrollo elevados. Este método también tiene su hueco para pruebas repetitivas y extensivas de sistemas de potencia, como por ejemplo, la verificación de equipos en el final de la cadena de montaje antes de su venta al consumidor. La posibilidad de contar con un emulador para estos casos facilita la rapidez del ensayo, ahorrando costes al laboratorio de prueba. Sin embargo, el laboratorio no va a poder utilizar el emulador en ensayos diferentes para los que fue diseñado.

2.4 Conclusiones

Según las conclusiones obtenidas, los mejores métodos de prueba para los sistemas de potencia de la Smartgrid son aquellos basados en **PHIL** y emulador de potencia. Los campos de utilización son claros:

- Las bancadas de prueba **PHIL** permiten a los laboratorios de investigación disponer de un sistema muy versátil para las pruebas de los equipos de la Smartgrid, los cuales tienen que hacer frente a una elevada casuística.
- Los emuladores son los equipos más idóneos si se considera que se van a realizar un número elevado de pruebas de sistemas similares que combinen potencia y comunicación dentro de un normativa ya cerrada. Ejemplos de emuladores útiles en laboratorios de investigación pueden ser: emuladores de batería con protocolos como CANOpen¹, emuladores de vehículo eléctrico y sus cargadores, con protocolos como CHAdeMO [67] o CCS [68], etc.

Los siguientes capítulos de la tesis se centran en estas dos técnicas de prueba para sistemas de potencia.

¹<https://www.can-cia.org/canopen> (Último acceso: 27/03/2022)

“¿Qué es real? ¿Cómo defines lo real? Si estás hablando de lo que puedes sentir, lo que puedes oler, lo que puedes saborear y ver, entonces lo real son simplemente señales eléctricas interpretadas por tu cerebro.”

Morfeo - Matrix

CAPÍTULO

3

Dimensionamiento bancada PHIL y método comparativo previo de PA

Este capítulo es una versión revisada y extendida de las siguientes publicaciones:

- *García-Martínez, E.; Sanz, J.F.; Muñoz-Cruzado, J.; Perié, J.M. A Review of PHIL Testing for Smart Grids—Selection Guide, Classification and Online Database Analysis. Electronics 2020, 9, 382. doi:10.3390/electronics9030382.*
- *García-Martínez, E.; Sanz, J.F.; Muñoz-Cruzado, J.; Perié, J.M. Online database of Power Hardware In-the-Loop tests. Data Brief 2020, volume 29, doi:10.1016/j.dib.2020.105128.*
- *García-Martínez, E., J. Ballestín, J. Muñoz-Cruzado and J. F. Sanz. Analysis of a switched and linear power amplifier for Power Hardware-in-the-Loop testing of Smartgrid systems. 2019 24th IEEE International Conference on Emerging Technologies and Factory Automation (ETFA), 2019, pp. 747-753, doi: 10.1109/ETFA.2019.8868952.*

PREGUNTAS:

¿Cuáles son los principales elementos a tener en cuenta para un sistema de test PHIL? ¿Qué sistemas existen actualmente, tanto comerciales como de

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

laboratorio, que puedan ser utilizados en una bancada PHIL?¿Cuáles son sus características más importantes?¿Cuál es el proceso de dimensionamiento de una bancada de pruebas PHIL?¿Qué pruebas se han realizado con esta técnica y con qué resultado?¿Qué elementos se han utilizado para ello?¿Estos experimentos son reproducibles?¿Es posible realizar una evaluación previa de los resultados de la prueba?¿Qué pruebas y condiciones limitan los resultados obtenidos con esta técnica?[Resumen capítulo]

3.1 Análisis de los principales elementos PHIL

Como se ha podido ver en la Sección 2.2.2.2, los principales elementos necesarios para el método de pruebas PHIL son el simulador digital en tiempo real o DRTS, y el amplificador de potencia o PA. Con la adquisición de estos equipos, idealmente un laboratorio dispone de una bancada de ensayos que permite la verificación y validación de cualquier tipo de sistema eléctrico de potencia. Sin embargo, estos elementos son sistemas bastante complejos, poseyendo un listado de características extenso y profundo, cuyas implicaciones no son fáciles de analizar.

Por este motivo, en esta sección se va a realizar un análisis de estos dos elementos que conforman la bancada de pruebas PHIL. Para llevarlo a cabo, primero se realiza una clasificación de las principales tecnologías utilizadas y sus principales diferencias. Después se hace un breve estado del arte de cada uno de los equipos, tanto comerciales como prototipos realizados en laboratorios. Finalmente, se analizan las principales características a maximizar en la selección de estos equipos para el montaje de una bancada de pruebas PHIL con la máxima versatilidad posible.

3.1.1 Simulador digital en tiempo real (DRTS)

La Figura 3.1 muestra las tres técnicas de simulación existentes en cuanto a paso de cálculo se refiere: simulación “fuera de línea” acelerada (Figura 3.1a), simulación “fuera de línea” lenta (Figura 3.1b) y simulación en tiempo real (Figura 3.1c). Las simulaciones “fuera de línea” se caracterizan por no tener ninguna interacción con ningún elemento exterior [69], por lo que el propio entorno de simulación posee

3.1 Análisis de los principales elementos PHIL

toda la información necesaria para llevarla a cabo. Este hecho hace que cuando el simulador termina de realizar un paso de ejecución, inmediatamente pueda empezar a calcular el siguiente. Dependiendo de la complejidad del modelo y de la potencia del simulador, el tiempo de simulación podrá llegar a ser más rápido que el tiempo real (Figura 3.1a) o más lento (Figura 3.1b).

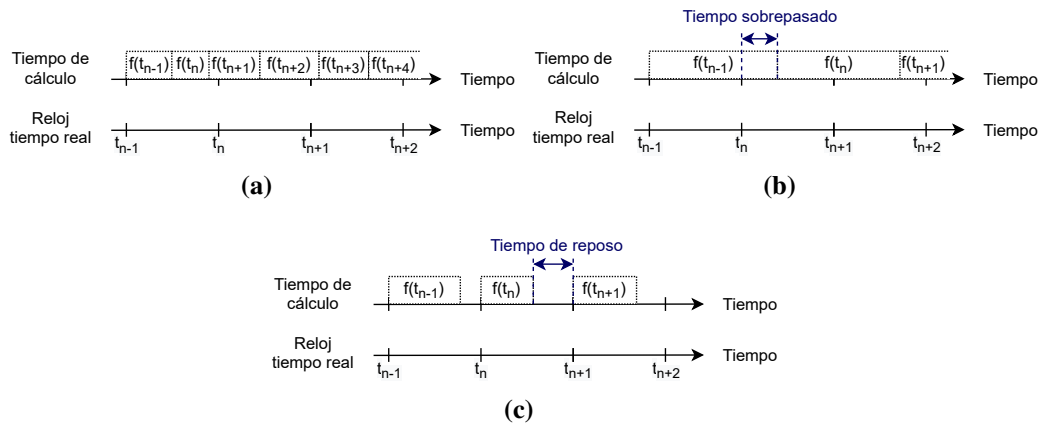


Figura 3.1: Técnicas de simulación existentes (a) Simulación “fuera de línea” acelerada (b) Simulación “fuera de línea” lenta (c) Simulación en tiempo real.

No obstante, para la bancada de pruebas PHIL, es necesario un simulador que tenga una interacción fuerte tanto con el amplificador de potencia como con el equipo a probar. Estos equipos son sistemas físicos externos, siendo necesario que los pasos de cálculo del simulador estén sincronizados con un reloj en tiempo real (Figura 3.1c). Por consiguiente, y tal como se adelantaba en la Subsección 2.2.2, el tiempo de cálculo de cada iteración del modelo en el simulador tiene que ser más reducido que el mismo tiempo real, permitiendo la interacción sincronizada tanto con el PA como con el HUT.

Hay dos restricciones principales que dificultan que una simulación pueda ser ejecutada en tiempo real. Una es la complejidad del modelo, cuyo aumento es directamente proporcional al tiempo que necesita el hardware de simulación en ejecutarla en el periodo marcado. La otra es el paso de cálculo necesario del modelo, ya que reduce el tiempo disponible para su solución. Este hecho se ve reflejado en la Figura 3.2, donde dependiendo de la potencia de cálculo del hardware, este puede llevar a cabo simulaciones simples con numerosos pasos de cálculo por

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

segundo (necesario para la simulación de sistemas de electrónica de potencia) o simulaciones complejas a una frecuencia de ejecución más reducida (necesario para la simulación de redes eléctricas con un elevado número de nodos).

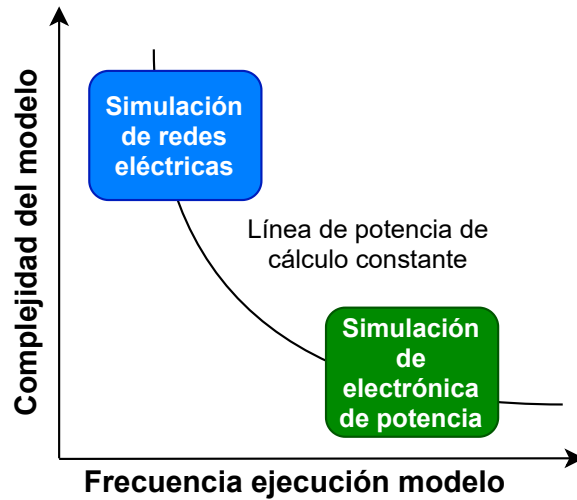


Figura 3.2: Requisitos de computación para diferentes tipos de sistemas a simular (basado en [49]).

3.1.1.1 Tipos

La [Tabla 3.1](#) muestra las características generales de las plataformas hardware que han sido utilizadas para la simulación en tiempo real. Entre las características de estas plataformas, la paralelización, el paso de cálculo, el número de nodos y la latencia afectan directamente a la potencia de cálculo. Sin embargo, la programación, la depuración y la flexibilidad se enfocan más a la facilidad de utilización de la plataforma, tanto por la persona que desarrolla el equipo como por el usuario.

Como se ha visto en la [Figura 3.1](#), los simuladores en tiempo real para aplicaciones en bucle (HIL o PHIL) tienen una interacción fuerte con los elementos externos. Este hecho hace que cada paso de ejecución conste de tres partes claramente diferenciadas que se ejecutan de manera secuencial. En la primera parte del bucle, el simulador toma los valores del exterior, ya sean entradas digitales, analógicas o parámetros recibidos por comunicación. Una vez recibida esta información, en una segunda parte, el simulador se encarga del cálculo de la nueva iteración en

3.1 Análisis de los principales elementos PHIL

Tabla 3.1: Características generales de las plataformas hardware utilizadas para simulación en tiempo real (ampliación de [70]).

	CPU	FPGA	GPU	DSP
Programación	Modelado en diagramas de bloques en herramientas de simulación	Lenguajes TPL (VHDL, Verilog) o método esquemático	CUDA o OpenCL	C,C++ o método esquemático
Paralelización	Reducida, con problemas de latencia en la comunicación y la sincronización	Procesamiento masivamente paralelo	Elevada	Reducida, con problemas de latencia en la comunicación y la sincronización
Paso de cálculo	50 μ s [71] 65 μ s [72]	12.5 ns [73] 500 ns [74]	5 μ s [75]	15 μ s [76] 25 μ s [77]
Numero de nodos	Elevado	Reducido	Elevado	Reducido
Latencia	> 1 μ s	> 10 ns	> 1 μ s	> 100 ns
Depuración	El más sencillo, gran número de herramientas	Complicado, herramientas depuración a bajo nivel	Intermedia, herramientas disponibles	Intermedia, herramientas disponibles
Flexibilidad	Elevada	Reducida - Media	Elevada	Media

el modelo. En este paso es donde una potencia de cálculo elevada puede reducir notablemente los tiempos de ejecución. Obtenido el resultado, en la última parte, el simulador envía las nuevas consignas, las cuales pueden ser salidas digitales, analógicas o parámetros enviados por comunicación.

En consecuencia, el tiempo de recepción y envío de la información en cada paso de iteración es independiente de la complejidad de cálculo del modelo, y muy dependiente de la plataforma hardware escogida. Sistemas de más bajo nivel, como pueden ser los basados en **FPGA** o en **DSP**, logran reducir estos tiempos al rango de los nanosegundos, mientras que en sistemas de más alto nivel como los basados en **CPU** o **GPU**, estos tiempos se encuentran ya en los microsegundos¹. Este hecho

¹En el siguiente capítulo, se hace un análisis más detallado de estos sistemas de computación para el diseño de un simulador en tiempo real, resumidos en la [Figura 4.19](#).

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

descarta a estos últimos para aplicaciones de menor paso de cálculo. Por lo tanto, la reducción de la latencia en las pruebas en bucle (**HIL** o **PHIL**), es algo crítico para aumentar el ancho de banda, aumentando a su vez la estabilidad y el determinismo de la prueba.

3.1.1.2 Estado del arte

Existen varios simuladores en tiempo real comerciales, los cuales han sido analizados en diferentes artículos [49, 69, 70, 78, 79, 80]. El análisis más completo de las características de estos simuladores es el realizado por el grupo de trabajo del IEEE PES sobre simulación en tiempo real de sistemas de potencia y energía [49]. En este trabajo destaca la tabla completa, con un resumen de las características más importantes de los simuladores digitales en tiempo real más utilizados, tanto en la industria como en el mundo académico. Todos estos **DRTS** se pueden utilizar tanto para pruebas con **HIL** como para **PHIL**. Sin embargo, en la literatura sólo se han encontrado referencias de pruebas **PHIL** de alguno de estos simuladores, a fecha de publicación de [81]. Los **DRTS** comerciales de los que se han encontrado referencias de su uso en pruebas **PHIL** son los siguientes:

- **OPAL-RT**([82]):[83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96].
- **RTDS**([97]):[63, 98, 99, 100, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 122, 123].
- **Hypersim**([124]):[125].

En la literatura también hay ejemplos de simuladores en tiempo real desarrollados en laboratorios para utilizarlos en pruebas en bucle. Uno de estos prototipos con más recorrido ha sido el desarrollado en [126, 127], basado en **CPU**, el cual se ha utilizado para pruebas **PHIL** en [128]. Otro desarrollo propio evolucionado, realizado por parte del personal investigador del anterior artículo, es el efectuado en [129]. Esta plataforma está basada en **DSP** y **FPGA**, con un diseño modular para permitir ampliarla y ajustarla a las necesidades de cada prueba. Más ejemplos de artículos sobre plataformas de simulación en tiempo real, clasificados según el hardware utilizado son:

- **CPU**: [130, 131, 132, 133, 134].
- **DSP**: [57, 76, 77, 129, 135, 136, 137].
- **FPGA**: [73, 74, 129, 138, 139, 140, 141].

3.1 Análisis de los principales elementos PHIL

3.1.1.3 Análisis de las características a maximizar

En las secciones anteriores se ha recopilado la información sobre el funcionamiento de los **DRTS**, los tipos existentes y el estado del arte de los mismos. A continuación, se analizan las características a maximizar para la obtención de un banco de pruebas **PHIL** con un desempeño cercano al ideal, el cual permita cubrir todo el espectro de ensayos de potencia posible. Para ello, en la tabla **Tabla 3.2** aparece el listado de las principales características a aumentar, cada una de ellas acompañada de tres columnas:

- ¿Qué aporta?: indica las propiedades que otorga esta característica para mejorar las prestaciones de la prueba.
- ¿Qué lo impide?: restricciones que dificultan y/o imposibilitan la obtención de esta característica.
- ¿Cómo medirla?: qué información y/o parámetro indica el acercamiento o no a esa característica ideal.

Tabla 3.2: Características de un simulador en tiempo real ideal, describiendo qué aporta la característica, qué problemas o impedimentos principales existen para conseguirla y cómo medirla.

Característica Ideal	¿Qué aporta?	¿Qué lo impide?	¿Cómo medirla?
Simulación continua (paso de cálculo nulo)	<ul style="list-style-type: none"> Ancho de banda infinito, posibilitando simular cualquier dinámica Los modelos se ajustan más a la realidad, asegurando el éxito de la prueba en PHIL 	<ul style="list-style-type: none"> Latencia Potencia de cálculo Comunicación con interfaces externos 	Paso de cálculo mínimo del fabricante así como de modelos utilizados en artículos
Potencia de cálculo ilimitada	Posibilidad de simular cualquier modelo, sin importar su complejidad de cálculo y/o tamaño	<ul style="list-style-type: none"> Número máximo de FLOPS del procesador Memoria Latencias Optimización de los métodos de cálculo 	<ul style="list-style-type: none"> Número máximo de nodos Número máximo de variables de estado Tipos de modelos utilizados en artículos
Librerías con todo tipo de modelos contrastados	Rapidez y fiabilidad en la prueba, evitando realizar modelo específicos para la prueba	<ul style="list-style-type: none"> No existe una base única general de modelos verificados La elevada casuística a simular Objetivo del modelo 	<ul style="list-style-type: none"> Artículos que contrasten los modelos Comunidad activa en constante revisión y actualización de modelos
Intercompatibilidad con todos los sistemas de simulación	Posibilidad de utilizar modelos realizados en otros entornos, reduciendo el tiempo de la prueba	<ul style="list-style-type: none"> Intereses comerciales de los entornos y/o modelos Pérdida de prestaciones por adaptar modelos a diferentes entornos con diferentes características 	<ul style="list-style-type: none"> Si es un entrono de simulación abierto Si es capaz de ejecutar modelos basados en un estándar
Bajo coste	Extensión de la utilización de simuladores en tiempo real	Sistemas de elevadas prestaciones tienen un mayor coste	Precio del fabricante
Modular	Posibilidad de aumento de cálculo interconectando simuladores, lo que permite ajustarse a las necesidades de cada aplicación	<ul style="list-style-type: none"> Latencias entre comunicación de sistemas Condiciones de carrera en los algoritmos utilizados al paralelizar simuladores (cuellos de botella) Diferencia entre sistemas, ya que si el simulador es de paso de cálculo reducido y baja latencia (FPGA) suele tener una potencia de cálculo reducida (CPU, GPU) y viceversa 	<ul style="list-style-type: none"> Posibilidad de aumentar la capacidad de computación realizando un conjunto Compatibilidad entre diferentes sistemas de simulación
Portabilidad	Un solo sistema permite utilizarse tanto en laboratorio como en campo	La potencia de cálculo y el número de interfaces de conexión aumentan el tamaño en los sistemas de simulación	<ul style="list-style-type: none"> Dimensiones y peso del simulador ¿Lo puede cargar una persona sola? ¿Necesita algo extra para moverlo?
Máxima seguridad	<ul style="list-style-type: none"> Protección de la integridad de los trabajadores que realizan la prueba Reducción de precio evitando averías de los equipos conectados 	<ul style="list-style-type: none"> La elevada casuística impide conocer todas las consecuencias de las interacciones Balance entre seguridad y capacidad de cálculo, debido a procesos de monitorización que consumen recursos de simulación 	<ul style="list-style-type: none"> Normativas que cumple el sistema
Robustez mecánica	Reduce mantenimiento al evitar posibles averías del sistema provocadas por excesivo movimiento del equipo en el laboratorio	Equipo por naturaleza frágil, con un número elevado de componentes de precisión diferentes	<ul style="list-style-type: none"> Encapsulamiento del sistema IP de la envolvente
Error de precisión nulo	Verificación de que el comportamiento del sistema es igual al del sistema real	<ul style="list-style-type: none"> Algoritmos de simulación Potencia de cálculo Latencias Resolución limitada de los datos 	<ul style="list-style-type: none"> Resolución del ADC, DAC y/o comunicación Tamaño del bus de datos, unidad aritmética lógica,...

3.1.2 Amplificador de potencia (PA)

El amplificador de potencia es el elemento de la bancada de pruebas PHIL capaz de reproducir las ondas de tensión o corriente requeridas por la simulación en tiempo real. Esta imposición de tensión o corriente produce una reacción en el HUT de una determinada corriente o tensión respectivamente, la cual es medida otra vez por el simulador para cerrar el bucle de control. La energía necesaria para entregar al equipo a probar se toma de la red eléctrica, pudiendo devolverla o disiparla en resistencias si funciona como carga.

3.1.2.1 Clasificación - Tipos

Los amplificadores de potencia empleados para pruebas PHIL se pueden clasificar en tres tipos : amplificadores conmutados, amplificadores lineales y generadores síncronos. Los amplificadores conmutados usan topologías de electrónica de potencia donde los elementos discretos cambian de saturación a corte varias veces por segundo (normalmente en el rango de los kHz-MHz), creando una señal de gran contenido armónico que necesita ser filtrada por un elemento pasivo adicional antes de la salida. Los amplificadores lineales utilizan topologías donde los elementos discretos trabajan en la zona lineal, pudiendo obtener a la salida la tensión requerida sin la necesidad de realizar un filtrado extra. La utilización de un generador síncrono controlado por un motor de continua limita el tipo de pruebas a sistemas preparados para su uso en la red eléctrica convencional (50/60 Hz), debido a que no tiene la capacidad de generar una onda de tensión aleatoria. En la Figura 3.3 se muestra el diagrama simplificado de cada uno de estos tres tipos de amplificador utilizados para pruebas PHIL.

Para profundizar en las diferencias de estos amplificadores, en la Tabla 3.3 se ha realizado una comparación entre estos tres modelos de amplificador, indicando las ventajas y desventajas de cada uno.

3.1.2.2 Estado del arte

La disponibilidad de generadores síncronos en los laboratorios propició y facilitó su uso en pruebas PHIL cuando esta técnica estaba emergiendo [119, 144, 145, 146]. Sin embargo, tal y como se ha visto en la Tabla 3.3, la utilización de un generador

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

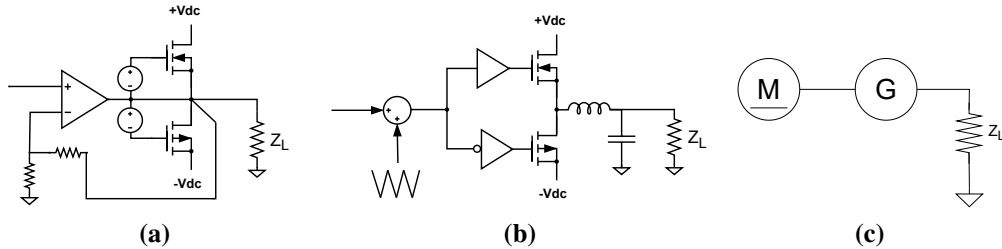


Figura 3.3: Diagrama simplificado de las configuraciones de los tres tipos de amplificador de salida (a) Amplificador lineal (b) Amplificador conmutado (c) Generador síncrono.

Tabla 3.3: Ventajas y desventajas de los diferentes tipos de amplificadores de potencia [142, 143].

	Ventajas	Desventajas
Amplificador conmutado	<ul style="list-style-type: none"> · Menor precio · Mayor eficiencia · Gran flexibilidad (puede operar tanto como fuente de corriente como de tensión) · Menor tamaño · Menor temperatura de funcionamiento · Control del factor de potencia 	<ul style="list-style-type: none"> · Mayor retraso y peor precisión que los amplificadores lineales
Amplificador lineal	<ul style="list-style-type: none"> · Mayor rango dinámico (≥ 5 kHz de ancho de banda) · Retrasos reducidos en el bucle de control · Función de transferencia sencilla con menos problemas de estabilidad · El mayor factor de cresta · Mayor capacidad de entrega de corriente al inicio que el conmutado 	<ul style="list-style-type: none"> · Eficiencia reducida (normalmente menor del 60 %) · Poca potencia de salida (debido al punto anterior) · Reducida capacidad de absorber potencia
Generador síncrono	<ul style="list-style-type: none"> · Gran potencia de salida 	<ul style="list-style-type: none"> · Solo para el testeo de equipos que necesitan una red trifásica balanceada · Los retrasos más elevados y la peor precisión

síncrono tiene unas prestaciones y una versatilidad mucho más reducidas que el amplificador lineal o el conmutado. Es por ello que en los últimos años, los equipos utilizados para la generación de la tensión y la corriente real durante la prueba

3.1 Análisis de los principales elementos PHIL

son amplificadores lineales o conmutados. A continuación se muestra un listado de los amplificadores comerciales utilizados en la literatura para pruebas PHIL, organizados según su topología.

- *Linear Amplifier*:
 - **AE Techron**([147]):[101, 103, 118, 125]
 - **Puissance+**([148]):[84, 94]
 - **Spitzenberger**([149]):[85, 98, 99, 100, 113, 117]
 - **NF Corporation**([150]):[96]
- *Switched Amplifier*:
 - **ABB**([151]):[63, 112, 115, 120, 121]
 - **Regatron AG**([152]):[83]
 - **Triphase**([153]):[86, 102, 105, 106, 113]
 - **Egston**([154]):[88]
 - **Ametek**([155]):[91, 92]

La [Tabla 3.4](#) muestra los amplificadores más relevantes del mercado.

Tabla 3.4: Tabla con las características de los amplificadores más utilizados del mercado (EC - Escala Completa).

CARACTERÍSTICA	REGATRON	TRIPHASE	EGSTON	AMETEK	AE TECHRON	SPITZEMBERGER	PUISSANCE PLUS
Potencia	32 kW	90 kW	100 kVA-200 kVA	90 kVA ->540 kVA	6 kW (1 minuto)	1 kVA up to 1000 kVA	200 kW
Ancho de banda	<2 kHz	0 - 400 Hz fuente de tensión 0 - 100 Hz fuente de corriente	5 kHz	2 kHz	Vdc 100 kHz Idc 10 kHz	30 kHz (pequeña señal 100 kHz)	5 kHz
Error - Precisión	±0.1 % EC			Desv. DC <20 mV			0,1 % del rango + 0,1 % del programado
Estabilidad	±0.05 % EC			0.25 % EC @ DC - 100 Hz, 0.5 % EC >100 Hz	<0.5 % a carga y temperatura cte	<0.5 % a carga temperatura cte	<0,05 % a tensión nominal
Dimensión	480 x 399 x 634 mm 9U	1750 x 1200 x 575 mm	1600 x 1200 x 2300 (100 kVA)	1892 x 769 x 972 mm	19 inc rack (48.3 cm x 57.8 cm x 31.1 cm)	Amplificador: 19",46U 2042x483x600 mm FA: 19"2x12U 1066x483x600 mm	43U 800x800x2230 mm
Peso	97 kg	360 kg	1670 kg	975 kg	72.5 kg	240 kg 2x240 kg	600 kg
Rango de tensión	600 V	20-650 Vdc / 400 Vac	790 Vdc	Rango: Bajo (0 - 200 V), Alto (0 - 400 V)	183 V pico	±382 V	±570 V
Rango de corriente	66 A	(Por potencia)	(Por potencia)		200 A pico	Hasta 1 kA	75 A
Eficiencia	92 %			85 % (típica)			
Rizado		V: 0.5 % EC (DC) - <2 % THD I: 0.5 % EC (DC) - <1 % THD	0.5 % Vin THD (<0,2 % @ 50 Hz / <1 % @ 5 kHz)	<2 Vrms Bajo rango, <3 Vrms Alto rango	(Sin Rizado)	(Sin Rizado)	(Sin Rizado)
Seguridad			SIL-3, PLC				
Slew rate	4 V/μs		12 V / μs	0.5 V / μs		>52 V/μs	
Tiempo de respuesta	Ajustable 50 μs – 1600 ms	<500 us	10->90 % 100 μs	200 μs			10 %/90 % <20 μs
Comunicación	Analógica	Analógica	Analógica, digital	(Programable)	Analógica	Analógica, óptica	Analógica
Cuadrantes	4Q	4Q	4Q	4Q	1Q	4Q	4Q
Configurable por el usuario	-Permite cambiar los parámetros PID del controlador	Si, mediante sistema tiempo real	Sí	No	No		No
Modularidad	Sí, paralelizable y serializable		Si, paralelizable hasta 1 MW	Paralelizable	No	Paralelizable	
Portabilidad	Sí	Pesado, enracable	Grande, no enracable	Grande, no enracable	Enracable, ligera	Pesado, enracado	Pesado
Factor de potencia	0.99		0.99	0.95 típica / 0.99 a Pnom			
Versatilidad	No. Diferentes equipos AC y DC	Buena	Buena (Control desde otro sistema)	No PHIL	No	Muchos estándares	

3.1 Análisis de los principales elementos PHIL

En [156] se muestra el desarrollo de un amplificador conmutado capaz de funcionar tanto en modo corriente como en modo tensión, el cual es utilizado en [56]. En [157] se realiza un amplificador compuesto de dos convertidores conmutados trabajando en paralelo, uno basado en IGBT de gran potencia y poco ancho de banda, y otro basado en MOSFET de gran ancho de banda pero pequeña amplitud. Otro amplificador conmutado se desarrolla en [158], pero esta vez para aplicaciones de red eléctrica de más alta tensión (13.2 kV) y potencia (hasta 7 MW). Un convertidor MMC para la emulación de máquinas eléctricas o de la red eléctrica de distribución se realiza en [159]. Otros ejemplos como [160, 161] muestran diferentes desarrollos para aumentar el ancho de banda de los actuales amplificadores conmutados ¹.

3.1.2.3 Análisis de las características a maximizar

En las secciones anteriores se ha recopilado la información sobre el funcionamiento de los PA, los tipos existentes y el estado del arte de los mismos. A continuación, se analizan las características a maximizar para la obtención de un banco de pruebas PHIL con un desempeño cercano al ideal, el cual permita cubrir todo el espectro de ensayos de potencia posible. Para ello, en la Tabla 3.5 aparece el listado de las principales características a aumentar, cada una de estas acompañada de tres columnas:

- ¿Qué aporta?: indica las propiedades que otorga esta característica para mejorar las prestaciones de la prueba.
- ¿Qué lo impide?: restricciones que dificultan y/o imposibilitan la obtención de esta característica.
- ¿Cómo medirla?: qué información y/o parámetro indica el acercamiento o no a esa característica ideal.

¹En la Subsección 4.2.4 se pueden ver más ejemplos de desarrollos de amplificadores de potencia.

Tabla 3.5: Características de un amplificador de potencia ideal, describiendo qué aporta la característica, qué problemas o impedimentos principales existen para conseguirla y cómo medirla.

Característica Ideal	¿Qué aporta?	¿Qué lo impide?	¿Cómo medirla?
Elevada Potencia	Un mismo amplificador puede probar todos los equipos, ahorrando costes, espacio y tiempo	<ul style="list-style-type: none"> • Equilibrio entre potencia y ancho de banda • Precisión en rangos lejanos al nominal • Coste elevado • Dimensiones y peso elevados 	Potencia nominal del equipo facilitada por el fabricante
Elevado ancho de banda	<ul style="list-style-type: none"> • Reproducción de cualquier dinámica requerida • Ganancia unitaria en todo el rango, reducción de inestabilidades 	<ul style="list-style-type: none"> • Equilibrio entre ancho de banda y potencia 	<ul style="list-style-type: none"> • Ancho de banda del equipo facilitada por el fabricante
Error de salida nulo	Establecimiento perfecto de la consigna de cualquier tensión o corriente, asegurando el éxito de la prueba	<ul style="list-style-type: none"> • Resolución del ADC • Resolución portadora PWM • Precisión en sensores 	<ul style="list-style-type: none"> • Error de precisión del fabricante • Controlador utilizado • Sensores y ADC utilizados
Estabilidad ante factores externos: temperatura, red eléctrica	Poder realizar ensayos en cualquier tipo de situación y condición	<ul style="list-style-type: none"> • Sensibilidad de la electrónica a la temperatura • Coste al realizar unas condiciones de entrada de un rango elevado en AC o DC 	<ul style="list-style-type: none"> • Variaciones de salida ante la temperatura suministrada por el fabricante • Condiciones de alimentación eléctrica del fabricante
Tamaño reducido	<ul style="list-style-type: none"> • Menor coste de almacenamiento en laboratorio • Reducción del número de personas necesarias para la instalación del equipo • Fácil transporte a otra localización 	Equilibrio entre dimensión y potencia/ancho de banda (sobre todo en amplificadores lineales)	Dimensiones del equipo
Peso reducido	<ul style="list-style-type: none"> • Reducción del número de personas para su manipulación • Facilidad de transporte a otra localización 	Equilibrio entre dimensión y potencia/ancho de banda (sobre todo en amplificadores lineales)	Peso del equipo
Elevado rango de tensión de salida	Una misma interfaz de potencia permite realizar pruebas a un gran número de equipos diferentes, ahorrando costes, espacio y tiempo	<ul style="list-style-type: none"> • Equilibrio entre rango de tensión y ancho de banda • Aumento del tamaño debido a aislamientos necesarios 	Rango de tensión suministrado por el fabricante

Continúa en la siguiente página

Tabla 3.5 – Continuación de la página anterior.

Característica Ideal	¿Qué aporta?	¿Qué lo impide?	¿Cómo medirla?
Elevado rango de corriente de salida	Una misma interfaz de potencia permite realizar pruebas a un gran número de equipos diferentes, ahorrando costes, espacio y tiempo	<ul style="list-style-type: none"> Equilibrio entre rango de corriente y ancho de banda Aumento del peso debido a los magnéticos necesarios 	Rango de corriente facilitado por el fabricante
100 % eficiencia	Importante ahorro de costes en pruebas de elevada potencia y duración	<ul style="list-style-type: none"> Equilibrio entre eficiencia y ancho de banda (amplificadores conmutados vs lineales) Eficiencia dependiente de la señal de salida 	Eficiencia del equipo suministrada por el fabricante
100 % fiable	Ahorro en tiempo por problemas inesperados	Producto por lo general innovador, que todavía no ha llegado a una etapa de madurez	Número de artículos y/o empresas, universidades, etc. que utilizan el sistema satisfactoriamente
Rizado nulo	Menor THD de la salida, disminución de posibles problemas con el HUT: resonancias, pérdidas, efectos no deseados	Equilibrio entre rizado y eficiencia/peso/dimensión (los amplificadores lineales no tienen rizado)	<ul style="list-style-type: none"> Si es un equipo conmutado Rizado de salida facilitado por el fabricante
Máxima seguridad	Al ser un equipo de laboratorio que se va a manipular frecuentemente por el usuario en diferentes situaciones, asegurar aislamiento, cortocircuito, incendio,...	<ul style="list-style-type: none"> Producto por lo general innovador, que todavía no ha llegado a una etapa de madurez Equilibrio entre seguridad y precio 	<ul style="list-style-type: none"> Estándares del equipo IP de la envolvente
Precio muy reducido	Extensión de la utilización de amplificadores de potencia	Equilibrio entre precio y prestaciones (potencia/ancho de banda/estable/rango de tensión y corriente/seguridad)	<ul style="list-style-type: none"> Precio de venta del equipo
EMC muy reducida	Al ser un equipo de laboratorio que va a estar conectado a diferentes equipos, posibilidad de trabajar con el sistema sin afectar a otros equipos ni ser afectado	Equilibrio entre EMC y eficiencia (interfaz lineal)/rango tensión y corriente (interfaz conmutada)/potencia	Estándares del equipo (CISPR 11,...)
SR elevado	Capaz de reproducir cualquier señal	Equilibrio entre SR y potencia/risado	SR del equipo facilitado por el fabricante
Tiempo de respuesta nulo	No existen retrasos entre la entrada y la salida	<ul style="list-style-type: none"> Número máximo de FLOPS del controlador Velocidades de comunicación limitadas 	Tiempo de respuesta facilitado por el fabricante
Continúa en la siguiente página			

Tabla 3.5 – Continuación de la página anterior.

Característica Ideal	¿Qué aporta?	¿Qué lo impide?	¿Cómo medirla?
Comunicación amplificador-simulador sin ruido y elevada precisión	Permite mejorar los retrasos en el PHIL y la precisión, asegurando la correcta ejecución de la prueba	<ul style="list-style-type: none"> Analógica: sensible a ruidos, resolución del DAC Digital: frecuencia de envío de la trama, datos de la trama 	Tipo de comunicación (analógica/digital) y sus características
Trabajo en los 4 cuadrantes	Una misma interfaz de potencia permite realizar pruebas a un gran número de equipos diferentes, ahorrando costes, espacio y tiempo	Limita el número de topologías de electrónica de potencia a utilizar	Especificaciones de operación facilitadas por el fabricante
Completamente configurable por el usuario	Permite dar versatilidad al equipo, lo que posibilita que un mismo amplificador de potencia pueda realizar pruebas a un gran número de equipos diferentes, ahorrando costes, espacio y tiempo	Equilibrio entre la posibilidad de configuración y la seguridad	Información del fabricante sobre los ajustes configurables por el usuario
Modulable	Permite dar versatilidad al equipo, lo que posibilita que un mismo amplificador de potencia pueda realizar pruebas a un gran número de equipos diferentes, ahorrando costes, espacio y tiempo	<ul style="list-style-type: none"> Aislamiento del sistema a tierra si se serializa Distribución de la carga en la paralelización, sincronización 	El número de amplificadores máximo que se pueden serializar y/o paralelizar
Portable	<ul style="list-style-type: none"> Muy relacionada con el peso y las dimensiones Reducción del número de personas necesarias para el manejo del equipo Fácil transporte a otra localización 	Equilibrio entre dimensión y potencia/ancho de banda (sobre todo en amplificadores lineales)	<ul style="list-style-type: none"> Peso y dimensiones del equipo Enracable
Factor de potencia unidad	No se consume reactiva en la prueba, suponiendo un ahorro de costes durante pruebas de elevada potencia y duración	Equilibrio entre el factor de potencia y el precio por equipo	Factor de potencia facilitado por el fabricante a diferentes potencias
Versatilidad	Posibilidad de comunicar y acoplarse a diferentes sistemas, permitiendo que un mismo amplificador de potencia pueda realizar pruebas a un gran número de equipos diferentes, ahorrando costes, espacio y tiempo	Equilibrio entre versatilidad y coste	<ul style="list-style-type: none"> Protocolos de comunicación facilitados por el fabricante Listado de equipos compatibles facilitado por el fabricante

3.2 Procedimiento de dimensionamiento de una bancada PHIL

En la sección anterior, se ha mostrado el elevado número de características a tener en cuenta para la selección de los equipos que forman la bancada de ensayos PHIL. De los sistemas disponibles en el mercado, no hay ninguno cuyas características sobresalgan claramente sobre los demás. Principalmente, estas guardan un equilibrio entre ancho de banda, eficiencia y potencia. Por lo tanto, no hay un equipo que cumpla todas las características deseadas.

Pero el coste de estos sistemas en el mercado es elevado, suponiendo un importante esfuerzo económico para los laboratorios. Además, dado que el espectro a cubrir es tan amplio, no existe una única solución. Por consiguiente, cada aplicación tiene su configuración óptima, y una buena elección puede dar al laboratorio una herramienta muy versátil para su línea de trabajo.

Para ayudar en el proceso de diseño y configuración, se ha realizado un procedimiento para dimensionar los elementos que componen la bancada PHIL. Este procedimiento se muestra en la [Tabla 3.6](#), donde se indican los pasos para su selección. Se ha comprobado a la hora de hacer este proceso, que no sólo es importante la información aportada por el fabricante, si no que también lo es la información que puede extraerse de un buen análisis del estado del arte. Esta información, obtenida a partir de las pruebas realizadas por laboratorios externos, suele mostrar unos resultados que ayudan a elegir y a comparar entre equipos, la cual no suele ser suministrada por el fabricante. Para indicar dónde se puede obtener la información marcada dentro del procedimiento, se han utilizado las marcas “*” y “#”, las cuales indican si la información puede ser obtenida por la hoja de características del fabricante y/o por el estado del arte de experimentos realizados, respectivamente. A continuación se desarrolla este procedimiento de dimensionamiento paso por paso, enlazando los puntos de la [Tabla 3.6](#) con su explicación utilizando *Cursiva*.

Existen una serie de características fundamentales a cumplir por los elementos que componen una bancada de pruebas PHIL, independientemente del desempeño que se quiera conseguir. La *Normativa* de compatibilidad electromagnética EMC de cada equipo es un requisito obligatorio, garantizando que la prueba no va a suponer problemas de funcionamiento a otros equipos conectados a la misma red.

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

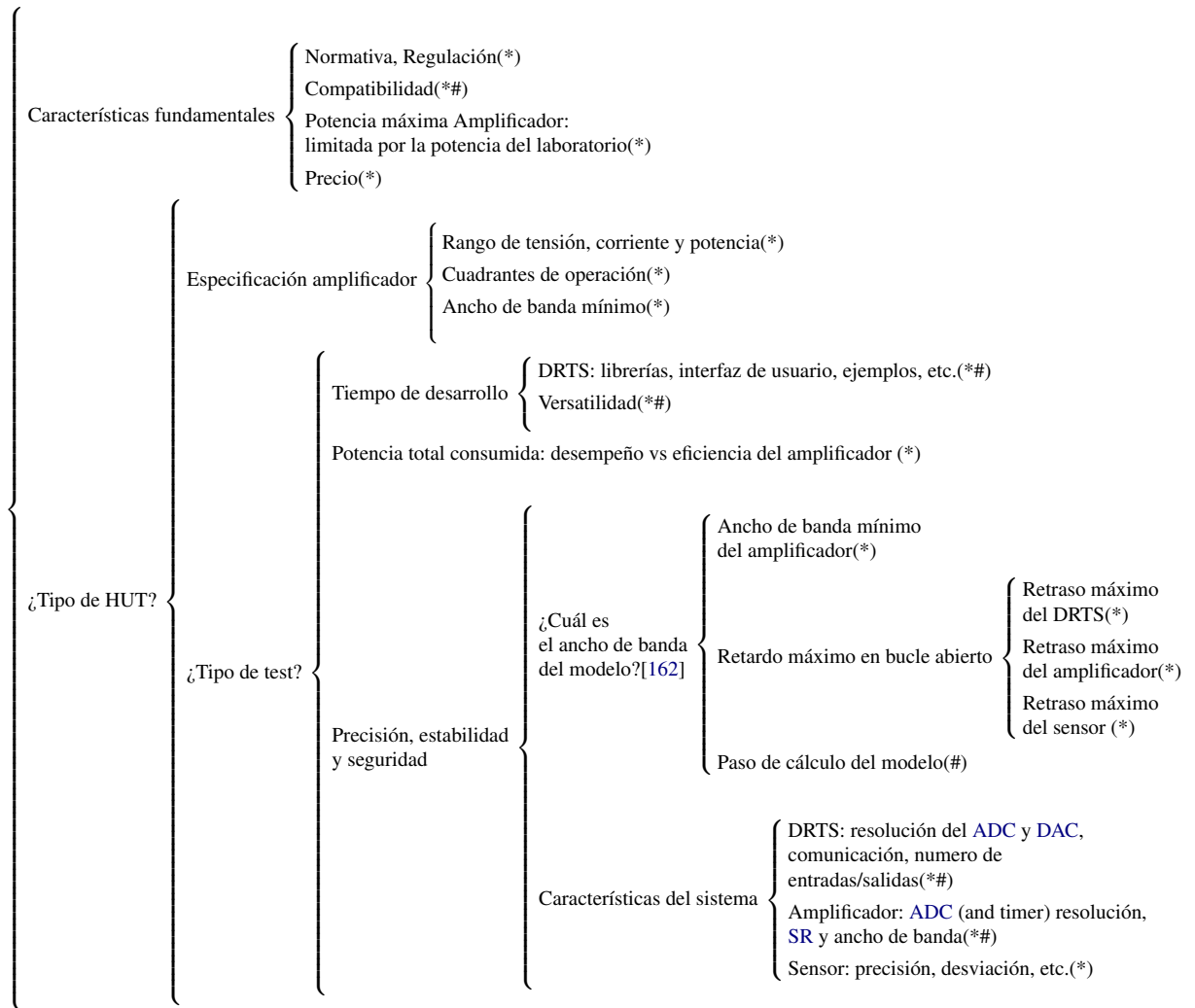


Tabla 3.6: Procedimiento de dimensionamiento para la selección de un sistema de pruebas basado en PHIL (“*” Información proporcionada por el fabricante - “#” Información obtenida de la literatura científica).

3.2 Procedimiento de dimensionamiento de una bancada PHIL

También asegura que durante la prueba, la bancada va a ser inmune a posibles radiaciones electromagnéticas externas, las cuales puedan poner en peligro tanto a los equipos a probar como al personal. Otra característica a garantizar es la *Compatibilidad*, tanto del simulador como del amplificador, con el equipamiento del laboratorio, aumentando los recursos del mismo. Además, a la hora de seleccionar el amplificador, es preciso que no supere la *Potencia Máxima* de las instalaciones, asegurando el ensayo en todo el rango de funcionamiento. Por último, el *Precio* es uno de los factores más limitantes a la hora de adquirir la equipación necesaria, debido al elevado coste de esta.

Una vez comprobadas estas características fundamentales, el *Tipo de HUT* o equipos a probar en el laboratorio y sus peculiaridades forman la base que marca la selección del resto de componentes. Según la aplicación, existen algunas *Especificaciones del amplificador* necesarias a tener en cuenta para su selección. Las especificaciones más importantes, que pueden ser obtenidas a partir de la hoja de características de los fabricantes, son:

- El *Rango de tensión, corriente y potencia* que el PA tiene que entregar al HUT para su validación en condiciones nominales.
- Los *Cuadrantes de operación* del PA, que al menos tendrán que coincidir con los cuadrantes del HUT.
- El *Ancho de banda mínimo* del amplificador, el cual según [89] se sugiere que al menos tenga cinco veces más ancho de banda que el HUT, permitiendo conseguir una buena precisión durante la prueba.

El *Tipo de test* a realizar al HUT también marca muchas de las características a tener en cuenta en el proceso de selección. Para el aumento de la agilidad en la realización de ensayos, la reducción del *Tiempo de desarrollo* de la prueba es algo a tener en cuenta. Para este objetivo, el DRTS juega un papel muy importante. La disponibilidad de librerías que faciliten la realización del test, los ejemplos de uso, la interfaz de usuario que este sistema posea, etc. pueden suponer un ahorro en tiempo importante. Además, la *Versatilidad* de funcionamiento, tanto del DRTS como del PA, pueden ahorrar tiempos de montaje entre distintas pruebas o equipos a examinar.

Como anteriormente se ha podido ver en la *Tabla 3.3*, para la selección del amplificador hay que elegir entre desempeño o eficiencia. Por esta razón, depen-

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

diendo de la precisión que se necesite en la prueba y de la *Potencia total consumida* durante los experimentos, los laboratorios pueden decidir entre las dos principales familias de PA: linear o conmutada.

Los objetivos de *Precisión, estabilidad y seguridad* del test están fuertemente interrelacionados. Aumentando la precisión también se incrementa la estabilidad del test y viceversa, lo que a su vez aumenta la seguridad general del ensayo a realizar. Respecto a como se evalúa esta precisión, el artículo [163] muestra una técnica para su estudio. Para el cumplimiento de estos objetivos, los laboratorios tienen que conocer cuál es la frecuencia de corte del modelo a ser controlado en bucle cerrado, condición que define *el ancho de banda del modelo* [162]. Por ejemplo, para simular un transitorio de red eléctrica, se suele tomar una frecuencia máxima de corte de 2 kHz [164]. Otros ejemplos de anchos de banda necesarios se pueden encontrar en [49, 162, 165, 166], donde aparecen los pasos de cálculo necesarios para las pruebas más comunes a hacer en PHIL.

Para garantizar que la bancada de pruebas PHIL puede conseguir la frecuencia deseada, un procedimiento recomendado a realizar se detalla en [162]. En este, se obtienen los siguientes valores necesarios para garantizar el ensayo: el paso de cálculo del modelo en el simulador, el ancho de banda del amplificador de potencia y el retraso máximo permitido en bucle abierto. Los autores indican que para tener una prueba estable en bucle cerrado, el desfase total en bucle abierto a la frecuencia deseada no tiene que superar los 75° negativos. Este desfase en bucle abierto es la suma del retraso máximo de cada uno de los elementos (Dt_X) que componen la cadena directa del control de PHIL y la función de transferencia del amplificador, la cual se muestra en la Figura 3.4. Este margen de fase a la frecuencia deseada garantiza la estabilidad a la hora de utilizar un regulador con un polo ubicado en el origen.

Las ecuaciones dadas por [162] para conocer el retraso máximo en bucle abierto, el ancho de banda necesario del amplificador de potencia y el paso de cálculo del modelo se muestran a continuación:

- *Mínimo ancho de banda del amplificador*: El ancho de banda mínimo del amplificador tiene que ser al menos 1,5 veces más amplio que la frecuencia

3.2 Procedimiento de dimensionamiento de una bancada PHIL

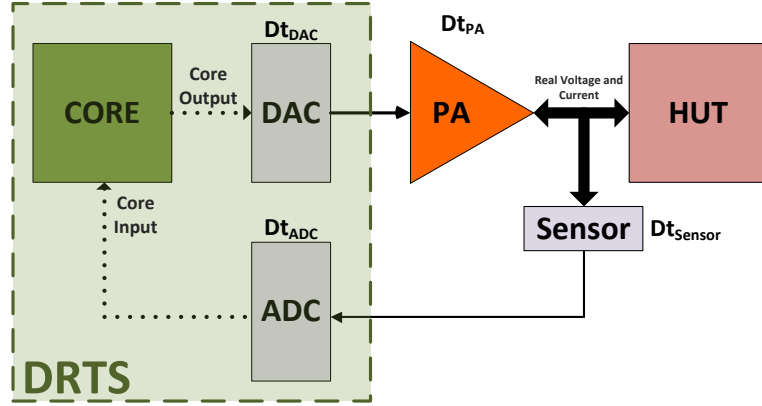


Figura 3.4: Los retrasos existentes en una bancada PHIL con comunicación analógica entre el amplificador y el simulador (basado en [162]).

máxima a probar del modelo ejecutado en el DRTS:

$$Power_Amplifier_{BW_{f(3dB)}} > 1,5 \cdot f_{Model_{BW}} \quad (3.1)$$

- *Paso de cálculo del modelo:* El paso de cálculo mínimo del simulador en tiempo real depende del ancho de banda máximo necesario para el modelo a ejecutar en el simulador:

$$Time_Step_{Simulation} = \frac{1}{25 \cdot f_{Model_{BW}}} \quad (3.2)$$

- *Retraso máximo en bucle abierto:* Siguiendo el ejemplo dado por [162], la Figura 3.4 muestra una bancada PHIL cuyas consignas y medidas son realizadas con una señal analógica. El retraso total en bucle abierto entre la salida y retorno del DRTS es la suma de cada retraso del bucle:

$$Dt_{open_loop} = Dt_{DAC} + Dt_{PA} + Dt_{Sensor} + Dt_{ADC} \quad (3.3)$$

El retraso máximo en bucle abierto entre la entrada y la salida tiene que ser menor que:

$$Dt_{open_loop} < \frac{1}{8 \cdot f_{Model_{BW}}} \quad (3.4)$$

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

En la [Figura 3.5](#) se puede observar una descripción gráfica de la [Ecuación 3.1](#) (azul), [Ecuación 3.2](#) (verde) y [Ecuación 3.4](#) (rojo). En ella se muestra un ejemplo de las características necesarias para la prueba de funcionamiento de un determinado equipo ante un transitorio de la red eléctrica, cuya frecuencia máxima de interés es de 2 kHz. Para este ejemplo, el ancho de banda mínimo del amplificador de potencia es de 3 kHz, el paso de cálculo tiene que ser menor de 20 μs y el retraso máximo en bucle abierto no tiene que superar los 60 μs .

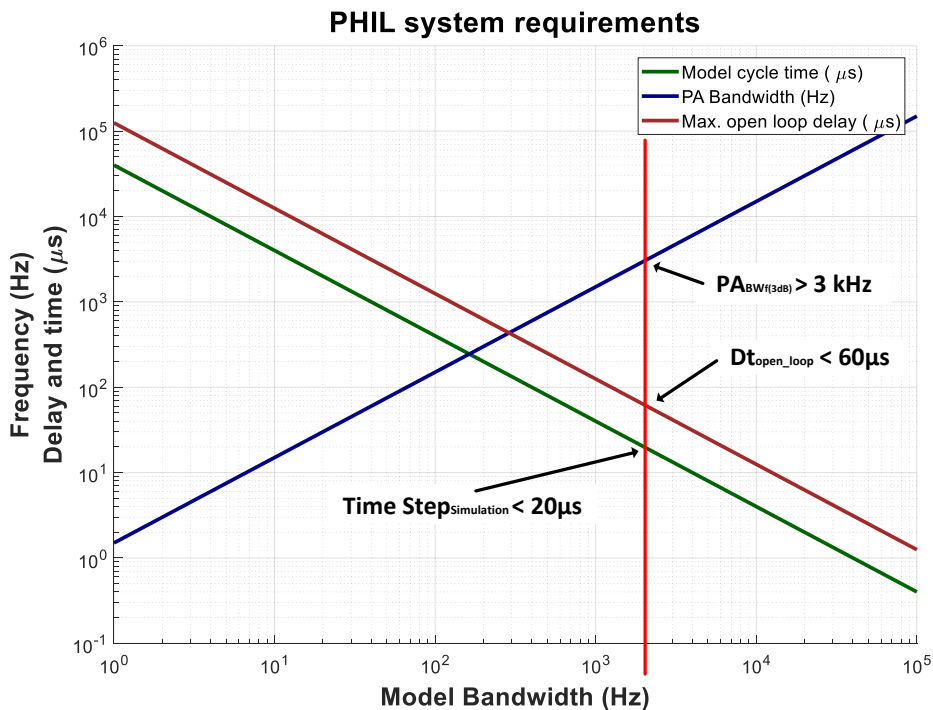


Figura 3.5: Requerimientos de la bancada PHIL dependiendo del ancho de banda del modelo a ejecutar en el test [162]. En este caso, se muestra un ejemplo de prueba del comportamiento de un HUT ante un transitorio de la red eléctrica, cuya máxima frecuencia de interés es 2 kHz.

Por último, siguiendo el procedimiento de dimensionamiento, cuando los anteriores criterios han conseguido un cribado de los equipos a adquirir hasta reducir la decisión a dos o tres elementos, es recomendable una comparación más en profundidad de las principales *Características del sistema*. Por ejemplo, parámetros como la resolución de los convertidores ADC o DAC, los tipos de comunicación

3.3 Herramienta y base de datos de pruebas PHIL

soportados, la compatibilidad con otros sistemas de simulación, el número máximo de entradas y salidas tanto digitales como analógicas, etc. pueden usarse para comparar entre distintos simuladores en tiempo real. Para el cotejo entre amplificadores de potencia, parámetros como el ancho de banda en tensión y/o corriente, velocidad de subida/bajada (SR), eficiencia, distorsión armónica de la salida, etc. pueden decantar la balanza entre uno u otro. La decisión entre los diferentes sensores es normalmente más simple debido al menor número de características a tener en cuenta para su elección.

3.3 Herramienta y base de datos de pruebas PHIL

En el procedimiento de dimensionamiento para la selección de un sistema de pruebas basado en PHIL, expuesto en la Tabla 3.6, una parte importante de la información necesaria proviene del estado del arte, principalmente de los datos obtenidos en la diversas pruebas registradas. Pero esta información está de manera dispersa y es difícil encontrarla. A su vez, no todo el conocimiento revelado en la literatura de los ensayos realizados, contiene la información necesaria para esta selección y/o asegurar la reproducibilidad y reutilización del test llevado a cabo por un tercero. Para el ahorro de recursos económicos, tiempo y esfuerzo por parte de los laboratorio, esta reutilización de los ensayos realizados es un factor clave.

Para ayudar a transmitir la información de los ensayos de sistemas de potencia eléctricos en bancada de pruebas PHIL, se ha realizado una herramienta para la consulta y registro de los experimentos realizados por la comunidad científica en una base de datos. Esta herramienta está desarrollada en Microsoft Access [167], posibilitando la clasificación dinámica de todos los parámetros de los ensayos. Esto facilita su utilización a usuarios externos sin necesidad de tener conocimientos de programación. Permite a su vez la visualización de la información como tabla o como formulario, favoreciendo copiar fácilmente la información para poder ser utilizada en otra base de datos. Se han llevado a cabo diversas acciones para organizar la información (Subsección 3.3.1), para mejorar la legibilidad (Subsección 3.3.3), para asegurar la integridad de la información (Subsección 3.3.2) y para permitir la actualización de terceros (Subsección 3.3.4), las cuales se describen a continuación.

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

3.3.1 Organización de la información

La [Figura 3.6](#) muestra como está organizada la información de la base de datos en un modelo entidad-relación utilizando lenguaje unificado de modelado (UML). Esta contiene los principales detalles a tener en cuenta en una prueba PHIL para garantizar que los experimentos sea replicables y reproducibles. La tabla central y principal tiene el nombre de “Papers”, la cual contiene la información fundamental sobre las pruebas PHIL que se pueden encontrar en la literatura. Las tablas “Power Amplifier” y “DRTS” complementan la información de la tabla principal con los datos técnicos del amplificador de potencia y del simulador en tiempo real utilizado en cada test respectivamente. Las tablas “HUT Types”, “Simulated systems” y “Test Objective” engloban información adicional útil, la cual ayuda a una mejor comprensión del ensayo realizado. Por último, las tablas “HUT Devices” y “Companies - Universities” añaden información extra sobre los sistemas de prueba y las empresas/universidades que han realizado la prueba. Para una información más detallada de cada uno de los parámetros de cada tabla, en [168] se expone una descripción sobre cada campo y su tipo de variable.

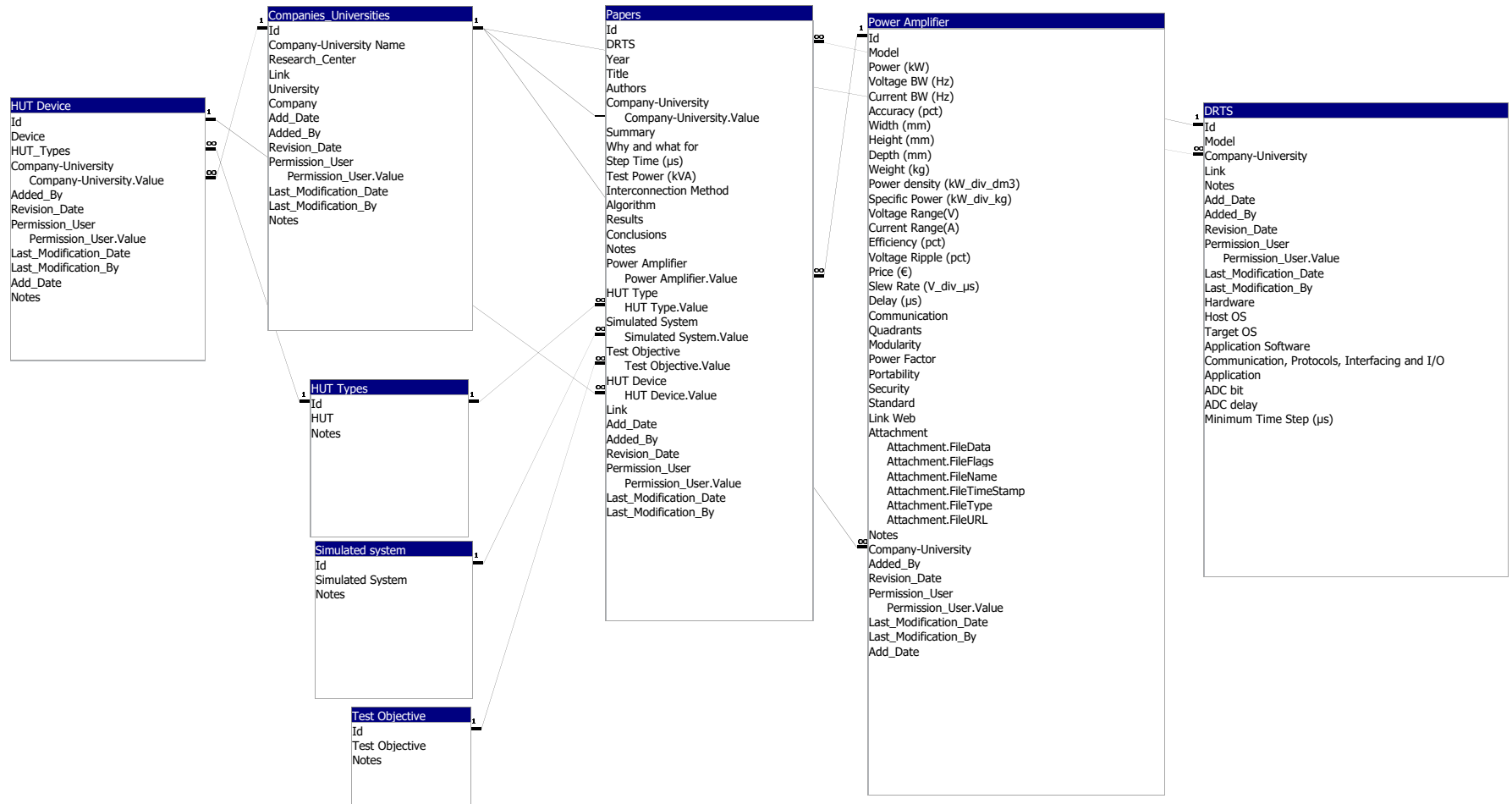
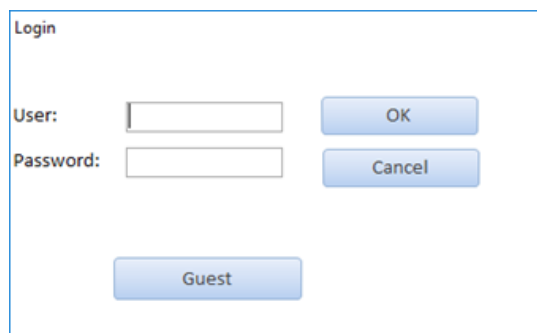


Figura 3.6: Modelo entidad-relación en UML de la base de datos desarrollada para facilitar el proceso de diseño y la reproducibilidad de los test PHIL.

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

3.3.2 Gestión de usuarios

Se ha introducido en la herramienta una *gestión de usuarios* para que solo personas registradas puedan añadir información nueva a la base de datos, evitando el uso indebido de la misma. El registro se realiza vía email, recibiendo el usuario un identificador y contraseña única para entrar en la aplicación. Solo las personas registradas pueden añadir información de un nuevo experimento, el cual quedará ligado a su identificador junto con la fecha de adición. Esto posibilita que la información contenida solo sea modificable por las personas que la han añadido y/o aquellas con permisos de administrador. Si se quiere acceder a ella solo como consulta, existe la posibilidad de entrar como invitado (“Guest”) y acceder al contenido de toda la información (Figura 3.7).



The image shows a login window titled "Login". It contains two input fields: "User:" and "Password:". To the right of the "User:" field is a blue button labeled "OK". To the right of the "Password:" field is a blue button labeled "Cancel". Below these fields and buttons is a larger blue button labeled "Guest".

Figura 3.7: Primera ventana de acceso a la herramienta. Si se dispone de usuario y contraseña, es posible añadir y/o modificar los elementos asociados en la base de datos. Si solo se quiere consultar, mediante el botón “Guest” se puede acceder a toda la información de las tablas (Figura 3.6).

3.3.3 Interfaz gráfica

La Figura 3.8 muestra la pantalla principal de la herramienta para la gestión de la base de datos. Se divide en tres grupos: “Check information”, para la consulta de la información; “Add information”, para añadir una prueba nueva o elementos de PHIL ; “Modify information”, para modificar algo de la información que el usuario haya añadido anteriormente. En cada uno de estos grupos se pueden acceder a

3.3 Herramienta y base de datos de pruebas PHIL

las tablas mostradas en la [Figura 3.6](#). Todos los usuarios pueden acceder al grupo “Check information” para visualizar el contenido, quedando el resto restringido solo a usuarios registrados.

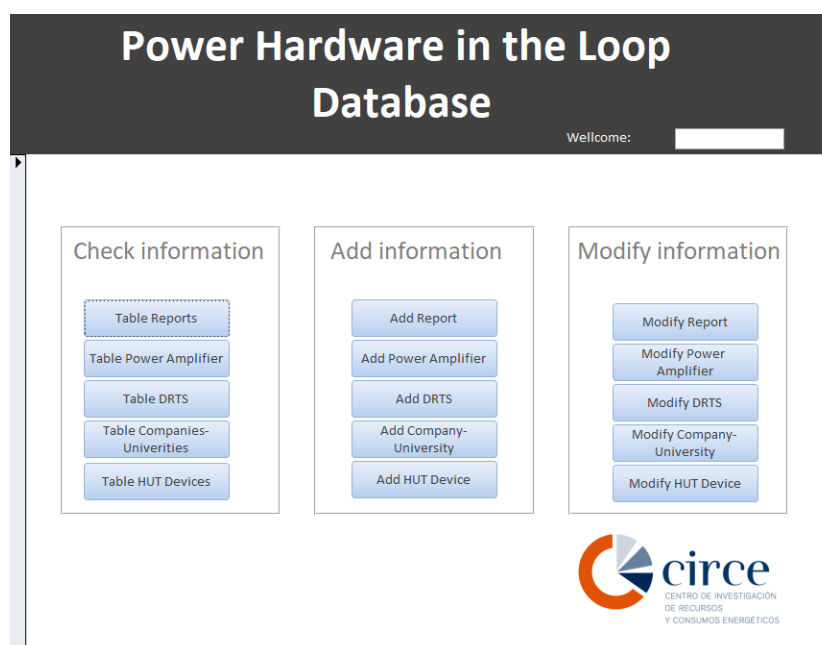


Figura 3.8: Pantalla principal de la interfaz gráfica de usuario para la consulta, adición y modificación de la base de datos.

La [Figura 3.9](#) es una captura de pantalla de la tabla “Papers” ([Figura 3.6](#)) que contiene la información principal sobre las pruebas PHIL registradas, a la cual se accede presionando al botón “Table Reports” de la pantalla principal de la interfaz gráfica ([Figura 3.8](#)).

3.3.4 Ubicación

La herramienta y base de datos están ubicados en [169], el cual es un servidor con control de versiones ampliamente utilizado. Esto permite la posibilidad de cambiar y actualizar la base de datos de una manera controlada, posibilitando la creación de distintas ramas y el contraste de la información. De esta forma se previene la utilización de la herramienta de forma fraudulenta. Este repositorio también contiene la información necesaria para guiar a las personas usuarias en la utilización

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

ID	Year	Title	DRTS	Simulated System	Step	Tr	Algorithm	Power Amplifier	HUT Type	Test Power
1	2014	Power hardware-in-the-loop implementation and verification of a real time capable battery model	eMEGASim	Lithium Battery	10		Ideal Transformer Model (ITM)	TC.G55.32.600.4WRLS	Car: FTP-72 driving cycle	0.345
2	2013	Hardware-in-the-loop simulation applied to protection devices testing	RT-LAB HiL Box 4U	Short-Circuit	30		Ideal Transformer Model (ITM)	Puissance (no model)	Circuit Breaker	0
3	2012	Implementation of a multi-rating interface for Power-Hardware-in-the-Loop simulations	eMEGASim	Electric grid	10		Ideal Transformer Model (ITM)	SPS PAS10000	Linear Circuit	0,1
4	2007	Accuracy Evaluation of Power Hardware-in-the-Loop (PHL) Simulation	RTDS	Electric Ship; Electric grid	60		Transmission Line Model (TLM)	PowerPak 3-3 - PEBB	Nonlinear circuit; Linear Circuit	16,7
5	2011	Evaluation of the Impact of Superconducting Fault Current Limiters on Power System Network Protections Using a PHL Environment	Hypersim	Short-Circuit	30		Ideal Transformer Model (ITM)	7796RLY	SFCL (Superconducting Fault Current Limiter)	0
6	2015	Stability and accuracy evaluation of a power hardware in the loop (PHL) interface with a photovoltaic micro-inverter	RTDS	Electric grid	10		Ideal Transformer Model (ITM)	SPS PAS10000	Linear Circuit; PV Inverter	0,052
7	2017	Power-Hardware-In-Loop Setup for Power Electronics Tests	RTDS	Electric grid	45		Ideal Transformer Model (ITM)	SPS PAS15000	Smart Transformer (ST)	2
8	2012	Examination of LV grid phenomena by means of PHL testing	RTDS	Electric grid	50		Ideal Transformer Model (ITM)	SPS PAS10000	PV Inverter	3
9	2017	Frequency response services designed for energy storage	Opal-RT	Electric grid	50		Not show	PM15160F60	Battery Energy Storage System (BESS)	2
10	2017	Design considerations and test setup assessment for power hardware in the loop testing	RTDS	Electric grid	---		Ideal Transformer Model (ITM), DIM (Damping Impedance Method)	7224	PV Inverter	1
11	2012	Design, development and operation of a PHL environment for Distributed Energy Resources	RTDS	Electric grid	---		Ideal Transformer Model (ITM)	PM15160F60	PV Inverter	0,8
12	2017	Stability study of power hardware in the loop (PHL) simulations with a real solar inverter	RTDS	Electric grid	50		Ideal Transformer Model (ITM)	7224	PV Inverter	0,09
13	2010	Real-time simulation the missing link in the design process of advanced grid equipment	Opal-RT	Electric grid	50		Not show	Not show	Distributed Energy Storage Systems (DESS)	5
14	2012	Power hardware-in-the-loop testing of a 500 kW photovoltaic array inverter	RTDS	Electric grid; PV	50		Ideal Transformer Model (ITM)	VVS_CAPS	PV Inverter	425
15	2012	A Power-Hardware-in-the-loop facility for microgrids	RTDS	Electric grid	50		Ideal Transformer Model (ITM)	Triphase(no model)	PV Inverter	0,95
16	2011	Real time simulation of a power system	RTDS	Electric grid	50		Ideal Transformer Model (ITM)	Triphase(no model)	Virtual Synchronous Generator	-

Figura 3.9: Captura de pantalla de la tabla “Papers”, que contiene la información principal sobre las pruebas PHIL incluidas en la base de datos, según la organización mostrada en la Figura 3.6.

de la misma, con una sección de preguntas más frecuentes que permite agilizar los procesos.

3.3.5 Resumen de la base de datos

La Figura 3.10a muestra la distribución de la base de datos según el tipo de hardware sometido a prueba (HUT). Se puede ver como el 26 % de las pruebas PHIL recogidas en la literatura han sido realizadas a inversores solares. Otros equipos ensayados muchas veces han sido los variadores de frecuencia, utilizando a la bancada de pruebas PHIL como un motor eléctrico. También es interesante recalcar, que un 21 % de los ensayos han sido realizados tanto a circuitos lineales como no lineales. Estas pruebas a este tipo de circuitos, son las que los laboratorios suelen hacer a una bancada PHIL que se ha puesto en marcha por primera vez, y sirven principalmente para caracterizar y comprobar su funcionamiento, lo que demuestra la poca madurez de la tecnología.

En la Figura 3.10b se expone la distribución de la base de datos según el tipo de sistema modelado y simulado en el DRTS . Destaca con un 64 % la simulación

3.3 Herramienta y base de datos de pruebas PHIL

en tiempo real de la red eléctrica, demostrando que es uno de los campos donde este método de prueba tiene más interés. También tiene importancia la simulación de motores eléctricos, así como sistemas de generación e integración de energías renovables.

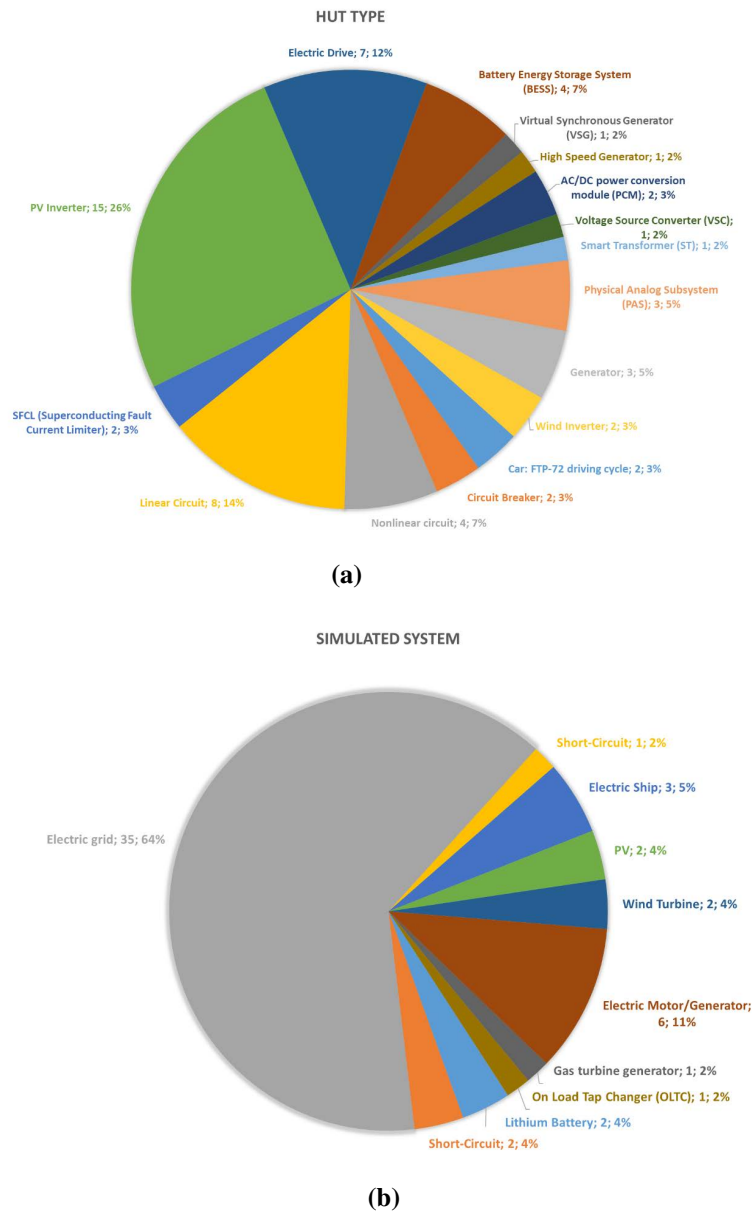


Figura 3.10: Distribución de la pruebas recogidas en la base de datos: (a) Según el tipo de hardware sometido a prueba (HUT) (b) Según el tipo de sistema modelado en el simulador en tiempo real.

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

3.4 Método comparativo previo de amplificadores de potencia

En la [Sección 3.2](#) se ha mostrado un procedimiento de dimensionamiento para la selección de una bancada de pruebas [PHIL](#), el cual enfoca y facilita la búsqueda de las características a cumplir tanto del simulador en tiempo real, como del amplificador según el objetivo de pruebas a realizar. Una vez que se avanza en el proceso de selección, la decisión final puede estar entre dos o tres equipos cuyos características estén equilibradas. Llegados a este punto, en el caso de los simuladores en tiempo real, una de las mejores soluciones posibles es pedir a las empresas el préstamo de algún equipo durante un periodo determinado para comprobar su funcionamiento con alguna prueba real. Esto es posible gracias a que los [DRTS](#), en muchos casos, son equipos que se pueden asemejar a la torre de un ordenador, por lo que su transporte y puesta en marcha es relativamente sencilla.

Sin embargo, en el caso de los amplificadores de potencia, esto no es posible llevarlo a cabo, ya que son equipos voluminosos y pesados, cuya instalación y puesta en marcha no es trivial. Debido a esto, en esta sección se propone un método comparativo de amplificadores de potencia previo a la adquisición de los mismos. Este método comparativo se basa en el estudio de la estabilidad, el modelado y simulación de las pruebas a realizar con los diferentes [PA](#) en un entorno de simulación pura, para contrastar la precisión y desempeño de los mismos.

3.4.1 Diagrama de bloques y modelo base para pruebas PHIL

Para el enlace entre el [DRTS](#) y el [PA](#), es necesario la utilización de un algoritmo de interconexión. Existen varios algoritmos utilizados en la literatura [[170](#), [171](#), [172](#)]. Para estas pruebas, se ha utilizado el modelo de transformador ideal o [ITM](#), debido a su excelente relación entre precisión y complejidad [[171](#)]. Este algoritmo impone la tensión al sistema a probar, y la corriente de respuesta es medida y enviada al modelo ejecutado en tiempo real. En la [Figura 3.11](#) se muestra el diagrama de bloques simplificado necesario para el estudio de la estabilidad y precisión de una prueba [PHIL](#). Los bloques de esta figura se explican a continuación:

- **Simulador digital en tiempo real - DRTS**

3.4 Método comparativo previo de amplificadores de potencia

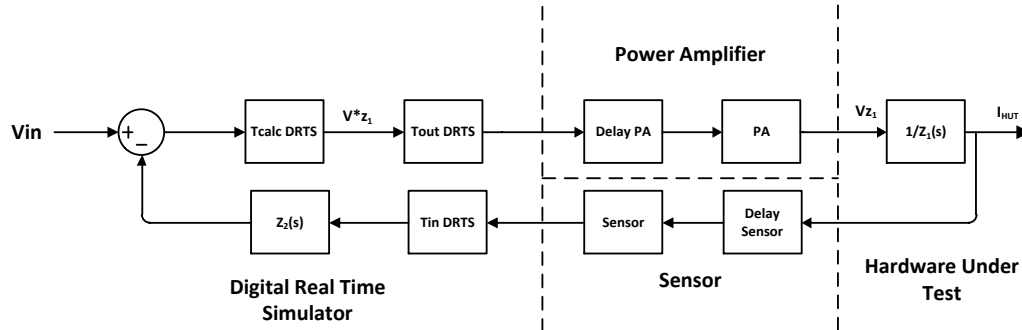


Figura 3.11: Diagrama de bloques simplificado de un test realizado en una bancada PHIL.

- *Tin DRTS*: retraso de la entrada del DRTS (por ejemplo, en la conversión del ADC). En el caso de [106], este tiempo puede ser de 4 μ s.
- *Tcalc DRTS*: tiempo que el DRTS necesita para resolver las ecuaciones en cada iteración. Un valor típico utilizado para la simulación en tiempo real de la red eléctrica es de 50 μ s, por tanto, el tiempo de cálculo se va a fijar en un máximo del 75 % del tiempo de paso de cálculo, en este caso 37.5 μ s.
- *Tout DRTS*: retraso de salida del DRTS (por ejemplo, en la conversión del DAC). En el caso de [106], este tiempo puede ser de 4 μ s.
- $Z_2(s)$: función de transferencia del sistema simulado en tiempo real.
- **Amplificador de potencia - PA**
 - *Delay PA*: la suma de todos los retrasos intrínsecos del PA. También la componente de retraso pura de la función de transferencia del amplificador.
 - *PA*: función de transferencia del amplificador de potencia sin el retraso.
- **Sensor**
 - *Tsensor*: la suma de todos los retrasos intrínsecos del sensor.
 - *Sensor*: la función de transferencia del sensor. Si se utiliza un sensor con un ancho de banda de una década superior a la frecuencia de corte del test, este se puede idealizar a la unidad.
- **Equipo a probar - HUT**

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

- $1/Z_1(s)$: inversa de la función de transferencia de la impedancia real del sistema a probar.

Para el estudio de la estabilidad de la prueba, se lleva a cabo el criterio de estabilidad de Nyquist utilizando el diagrama de bloques mostrado en la [Figura 3.11](#). Esta es una de la técnicas más usadas para el estudio de la estabilidad de las pruebas [PHIL](#). Para el modelado de los retrasos (T_d) del diagrama de bloques, una de las opciones más utilizadas es la aproximación de primer orden de Padé [173], la cual se muestra en la [Ecuación 3.5](#).

$$e^{-sT_d} = \frac{1 - 0,5sT_d}{1 + 0,5sT_d} \quad (3.5)$$

La [Figura 3.12](#) muestra el modelo base para pruebas [PHIL](#) en Simulink [174], necesario para conocer el desempeño de la prueba. Se ha seguido la misma nomenclatura utilizada en el diagrama de bloques de la [Figura 3.11](#). El modelo a simular es discretizado y se ejecuta a la frecuencia que se indique en la variable f_DRTS . La salida del amplificador de potencia [PA](#) está conectado a un limitador de velocidad de cambio de la acción (“Rate Limiter”), el cual no es posible modelar en el diagrama de bloques y puede afectar en el resultado obtenido. Su salida está conectada a la entrada de un amplificador de tensión ideal, cuya salida aplica la tensión al equipo a probar [HUT](#).

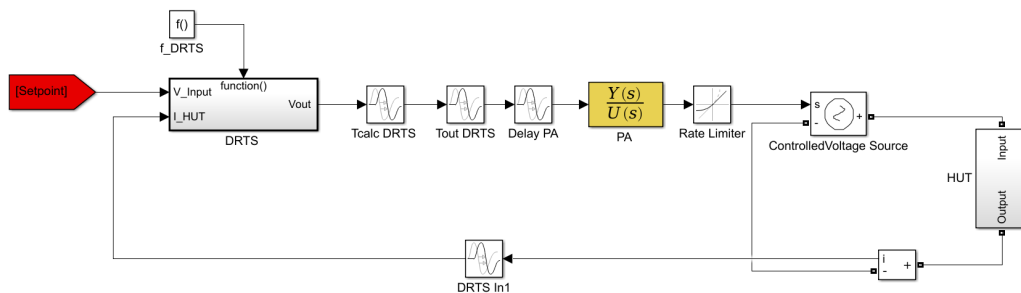


Figura 3.12: Modelo de simulink propuesto para realizar la simulación.

3.4 Método comparativo previo de amplificadores de potencia

3.4.2 Amplificadores de potencia a comparar y pruebas a realizar

En la [Tabla 3.3](#) se mostraron las ventajas y desventajas de los diferentes tipos de amplificadores de potencia: amplificador conmutado, amplificador lineal y generador síncrono. Dado que el generador síncrono tiene un espectro de pruebas muy limitado, se ha elegido un amplificador conmutado y un amplificador lineal para la comparación de su desempeño en diferentes pruebas. Estos amplificadores se muestran en la [Tabla 3.7](#), junto con sus principales características como potencia, ancho de banda y velocidad de subida.

Tabla 3.7: Características del amplificador conmutado y lineal a comparar en las diferentes pruebas.

Parámetro	Conmutado	Lineal
<i>Modelo</i>	Ametek RS 90 [175]	Spitzemberger PAS 10000 [149]
<i>Potencia</i>	90 kW	10 kW
<i>Ancho de Banda</i>	2 kHz	5 kHz
<i>Velocidad de Subida</i>	0.5 V/μs	52 V/μs
<i>Tensión AC nominal</i>	300 Vrms	270 Vrms
<i>Eficiencia</i>	85 %	Not available
<i>Cuadrantes de operación</i>	4	4

Gracias a la utilización de la base de datos realizada [169], se han podido obtener las funciones de transferencia de ambos amplificadores mostrados en la [Tabla 3.7](#). Por un lado, la función de transferencia del amplificador lineal [149] obtenido en [143] es:

$$T_{lin}(s) = \frac{e^{-(4 \cdot 10^{-6})s}}{1 + (8 \cdot 10^{-7})s + (2,64 \cdot 10^{-13})s^2} \quad (3.6)$$

Por otro lado, la función de transferencia del amplificador conmutado [175] obtenido en [172] es:

$$T_{sw}(s) = \frac{e^{-(90 \cdot 10^{-6})s} \cdot (-5849s^2 + 2,2 \cdot 10^9 s + 2,2 \cdot 10^{12})}{2,2 \cdot 10^{12} + (2,5 \cdot 10^9)s + (181 \cdot 10^3)s^2 + s^3} \quad (3.7)$$

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

Estos dos amplificadores, en las pruebas de estabilidad se compararán con un amplificador ideal de ganancia unidad en todo el espectro de frecuencia, con el objetivo de visualizar el margen de mejora existente de los amplificadores actuales.

En [66] se clasifican las pruebas PHIL para el estudio de sistemas de red eléctrica alterna en tres tipos dependiendo de su escalas de tiempo:

- Estática: son pruebas que son relevantes a una escala de tiempos elevada, cuyos periodos pueden comprender entre los pocos segundos a varios minutos.
- Dinámica: pruebas con tiempos más reducidos, los cuales se encuentren entre los 10 ms y el segundo.
- Transitoria: son las pruebas más rápidas y complejas, pudiendo contener tiempos que lleguen a los pocos microsegundos.

El estudio comparativo de pruebas estáticas carece de interés, debido a que los tiempos relevantes de las pruebas no pone en ningún compromiso a los dos amplificadores, dado sus anchos de banda. Por esta razón, las pruebas dinámicas y las transitorias son las que tienen más relevancia a la hora de dilucidar la mejor opción de adquisición. Pero las pruebas en PHIL no solo son interesantes para los elementos de la red eléctrica, sino también para probar elementos en continua. Por esta razón se van a realizar tres pruebas: en la Subsección 3.4.3 se realiza una prueba dinámica en continua, en la Subsección 3.4.4 se ejecuta una prueba dinámica de red eléctrica y en la Subsección 3.4.4 se lleva a cabo una última prueba transitoria de red eléctrica.

Para enfocar la prueba únicamente para la comparación entre amplificadores, en todas estos ensayos se ha utilizado el mismo paso de cálculo del simulador a 50 μ s. Este paso se ha elegido debido a que es un valor típico utilizado por muchas pruebas de equipos conectados a la red eléctrica en la literatura [86, 104, 105]. Además, no existe actualmente manera conocida práctica de emular el comportamiento del simulador dentro de la simulación. Es por ello que los modelos a simular en tiempo real no son muy complejos en carga computacional, por lo que cualquier simulador en tiempo real comercial debería poder ejecutarlo.

3.4 Método comparativo previo de amplificadores de potencia

3.4.3 Caso dinámico en continua

En este caso dinámico en continua, se quiere comprobar la parte de continua de la electrónica de potencia de un sistema de almacenamiento, el cual está basado en supercondensadores o **SCCESS** (Supercapacitor Energy Storage System) de 100 kW. Para ello, la bancada **PHIL** se va a encargar de emular el comportamiento de unos supercondensadores, haciendo creer al sistema bajo prueba o **HUT** que está con unos supercondensadores reales. El esquema de la prueba se puede ver en la [Figura 3.13](#).

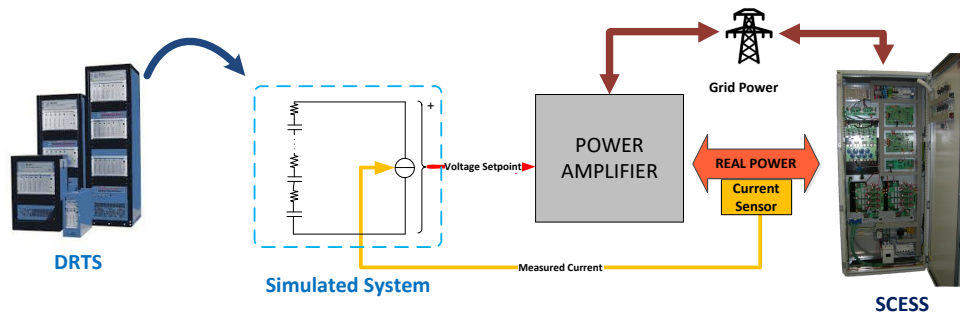


Figura 3.13: Esquema del caso dinámico en continua.

El punto de operación concreto a probar es la transición del **SCCESS** desde un punto de reposo a un punto de máxima descarga de potencia. Para ello, el **DRTS** manda el valor de la tensión calculada al amplificador de potencia, el cual fija la tensión en bornes del **SCCESS**. Este reacciona con una corriente, la cual es medida por el **DRTS** para el cálculo de la siguiente iteración. El supercondensador simulado contiene un número total de 16 módulos de 48 V conectados en serie. Cada uno de estos módulos se ha modelado como un condensador con una resistencia parásita en serie, cuyos valores se pueden ver en [176].

La [Figura 3.14a](#) muestra el diagrama de Nyquist de la prueba realizada, donde se compara la estabilidad del sistema completo utilizando un amplificador ideal, y los amplificadores lineal y conmutado de la [Tabla 3.7](#). Se puede observar que el sistema es completamente estable con los tres amplificadores, con un margen de fase elevado. Respecto a la simulación de la descarga a 100 kW de potencia, las formas de tensión de salida de los amplificadores y la corriente de **SCCESS** se pueden

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

observar en la Figura 3.14b. En el gráfico superior se muestra la comparación de la evolución de la tensión de salida de los amplificadores. El gráfico inferior expone la tensión de la red eléctrica y la respuesta en corriente del **SCCESS**, sincronizada con la respuesta superior.

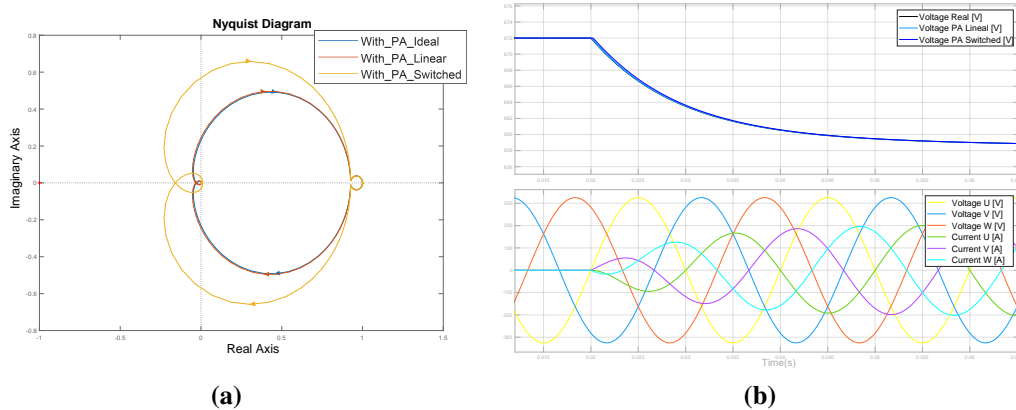


Figura 3.14: Resultados obtenidos del caso dinámico en continua (a) Comprobación de la estabilidad mediante el diagrama de Nyquist con cada uno de los amplificadores (b) *Superior*: respuesta en tensión de cada uno de los amplificadores en comparación con la evolución real del sistema; *Inferior*: tensión de la red eléctrica y respuesta en corriente del **SCCESS**.

3.4.4 Caso dinámico de red eléctrica

En este caso dinámico se requiere probar el comportamiento conjunto de un sistema de almacenamiento a batería o **BESS** y un sistema de gestión de energía o **EMS** para la compensación de activa y reactiva en un punto particular de la red eléctrica. El esquema de la prueba se puede observar en Figura 3.15, donde la bancada **PHIL** simula el punto de interconexión de la red eléctrica tanto del sensor de medida como del sistema de almacenamiento. La red eléctrica está simulada como una red fuerte, utilizando una fuente ideal de tensión y una resistencia intrínseca, a cuya salida se conecta la medida de tensión y corriente, la cual es enviada a un amplificador lineal. Este amplificador reproduce las ondas de corriente y tensión recibidas en dos canales diferentes, de tal manera que no hay transmisión de potencia activa. Esta tensión y corriente es medida por un analizador de potencia que envía los datos

3.4 Método comparativo previo de amplificadores de potencia

al EMS mediante protocolo Modbus RS-485, el cual actúa mandando una consigna de potencia activa y reactiva al BESS.

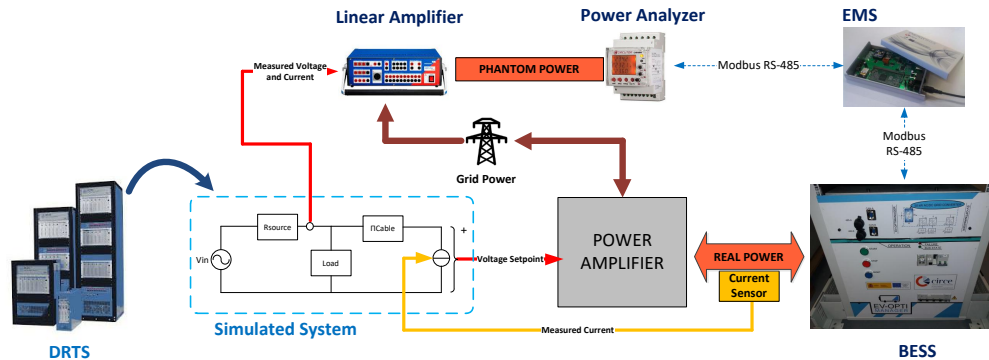


Figura 3.15: Esquema del caso dinámico de red eléctrica.

En la simulación, el punto de medida del EMS recoge tanto la corriente consumida por una carga controlable como la corriente del BESS. Para la conexión entre este punto y el BESS, en la simulación se ha utilizado un cable de 50 m, el cual ha sido modelado como un cable de sección II, cuya explicación más en profundidad se puede encontrar en [177, 178]. Para el filtro de red necesario del BESS, se ha modelado un filtro LCL, cuyos valores han sido seleccionados de [179]. La tensión recibida por este filtro de red proviene de los amplificadores a estudio, y la corriente de intercambio entre el amplificador y el equipo es medida por el DRTS para cerrar el bucle de la simulación.

La comparación de la estabilidad de la prueba utilizando el amplificador conmutado y el amplificador lineal se muestra en la Figura 3.16a, donde también se muestra la estabilidad utilizando un amplificador ideal. Se puede observar en este caso, que el conmutado es más estable que los otros dos amplificadores. Esto es debido a que este amplificador, al tener un polo más lento y dominante que los otros dos amplificadores, hace que la función de transferencia total tenga menor ancho de banda, consiguiendo que las frecuencias más críticas de operación estén más amortiguadas. El gráfico con la evolución de las potencias activa y reactiva tanto de la carga como del punto de medida del EMS se muestran en la Figura 3.16b. Se puede observar también cómo el conjunto EMS junto con el BESS es capaz de

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

compensar la potencia activa y reactiva, consiguiendo reducir el flujo de potencia de la red eléctrica a la carga.

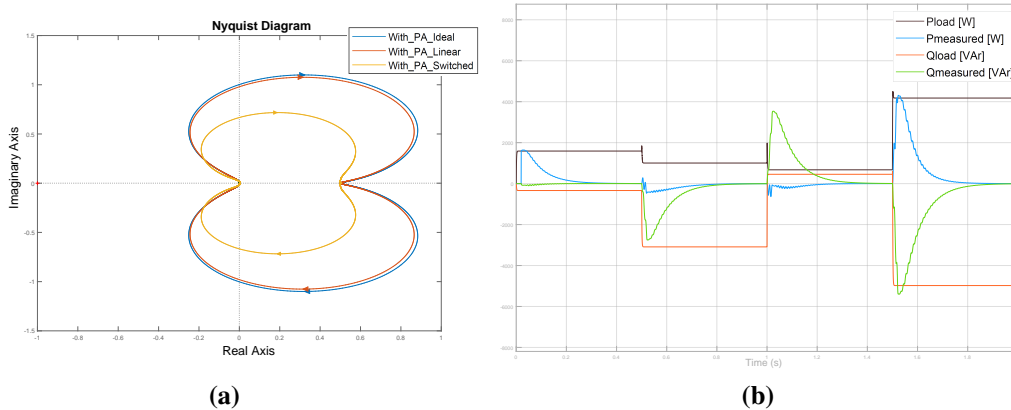


Figura 3.16: Resultados obtenidos del caso dinámico de red eléctrica (a) Comprobación de la estabilidad mediante el diagrama de Nyquist con cada uno de los amplificadores (b) Evolución de la potencia activa y reactiva tanto de la carga como del punto de medida del EMS.

3.4.5 Caso transitorio de red eléctrica

En esta prueba se quiere analizar el comportamiento del anterior sistema de almacenamiento ante un cambio brusco de la amplitud en la red eléctrica. Con este objetivo, la bancada PHIL emula el conexionado del equipo a probar utilizando un cable de una longitud de 400 m. Este cable ha sido modelado como un cable de doce secciones Π , utilizando los mismos parámetros que en la anterior prueba (Subsección 3.4.4). En el inicio del cable se sitúa una fuente de tensión, y el voltaje del final del mismo es enviado al amplificador de potencia, el cual impone la tensión a la entrada del BESS. Este interactúa con una corriente que es medida de nuevo por el DRTS para cerrar el bucle. El esquema de la prueba se puede observar en la siguiente Figura 3.17.

El cambio de amplitud de la tensión de la red es de 230 Vrms a 194.5 Vrms, llegando a durar un periodo completo de red. Esta variación en escalón de la amplitud introduce un contenido armónico elevado al filtro LCL, pudiendo llegar a resonar

3.4 Método comparativo previo de amplificadores de potencia

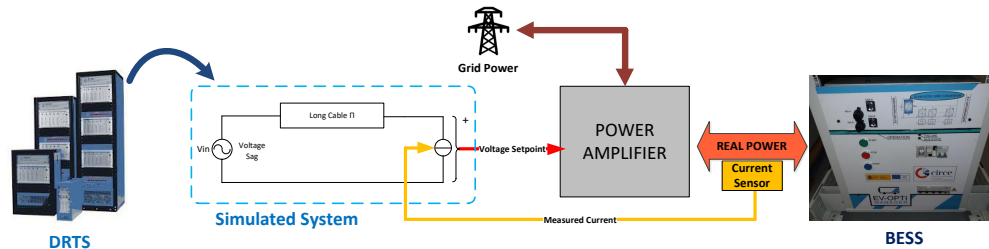


Figura 3.17: Esquema del caso transitorio de red eléctrica.

en algún punto. Este hecho, junto con la elevada longitud del cable, pone a prueba las limitaciones de los amplificadores de potencia.

En la Figura 3.18a se muestra el diagrama de Nyquist del sistema completo con cada uno de los amplificadores. Tal y como pasaba en la anterior prueba, el amplificador conmutado introduce un polo dominante que hace al sistema más estable, pero con una respuesta más lenta. En este caso, utilizando el amplificador ideal, el sistema real es marginalmente estable porque la fase a más de 1 MHz es de 180° , pero como el DRTS no es capaz de emular estas frecuencias, el sistema completo es estable.

La evolución de la tensión en el cambio de amplitud con cada uno de los amplificadores se puede ver en la Figura 3.18b. En esta ocasión, ninguno de los dos amplificadores es capaz de seguir correctamente la tensión. En el caso del lineal, aún se puede apreciar el efecto de la resonancia, pero con el conmutado esta resonancia prácticamente desaparece y no es vista por parte del sistema a probar.

3.4.6 Resultados obtenidos y conclusiones

Para la comparación del desempeño de los dos amplificadores en las tres pruebas realizadas, se ha utilizado la técnica descrita en [83]. El error de la salida de los amplificadores es medido, utilizando como referencia la tensión real de salida de una simulación del mismo sistema ejecutado en continua. A este error, se le aplican las ecuaciones para el cálculo del error máximo, el medio y el RMS. Los resultados se muestran en la Tabla 3.8.

Se puede observar en la tabla que en el primer caso, tanto el amplificador lineal como el amplificador conmutado obtienen errores muy reducidos, siendo una muy

3. DIMENSIONAMIENTO BANCADA PHIL Y MÉTODO COMPARATIVO PREVIO DE PA

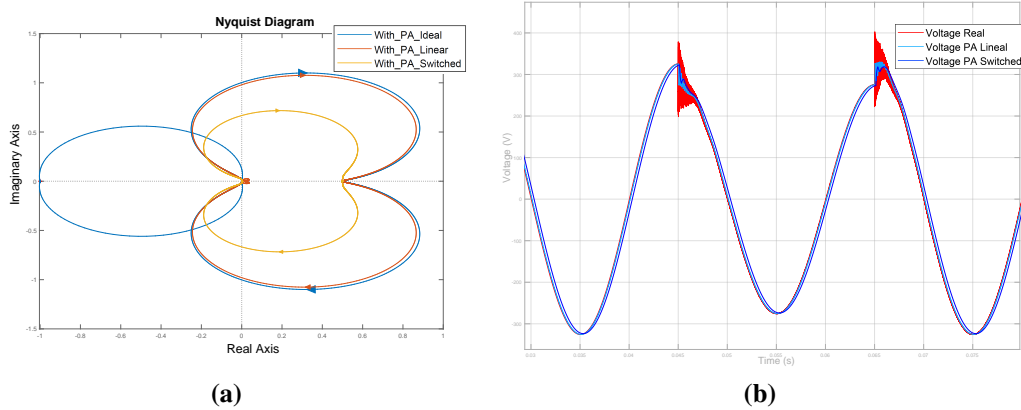


Figura 3.18: Resultados obtenidos del caso transitorio de red eléctrica (a) Comprobación de la estabilidad mediante el diagrama de Nyquist con cada uno de los amplificadores (b) Respuesta en tensión de la red eléctrica en el punto de conexión del BESS ante un cambio en escalón de la amplitud.

Tabla 3.8: Resultados de los errores obtenidos de los diferentes casos analizados.

Caso dinámico en continua		
	<i>Amplificador Lineal</i>	<i>Amplificador Conmutado</i>
Error Máximo	0,0196 %	0,0505 %
Error Medio	0,0015 %	0,0059 %
Error RMS	0,0033 %	0,0128 %
Caso dinámico de red eléctrica		
	<i>Amplificador Lineal</i>	<i>Amplificador Conmutado</i>
Error Máximo	3,2587 %	9,3382 %
Error Medio	$4,4203e^{-4}$ %	0,0035 %
Error RMS	0,6108 %	2,2336 %
Caso transitorio de red eléctrica		
	<i>Amplificador Lineal</i>	<i>Amplificador Conmutado</i>
Error Máximo	30,4897 %	31,2325 %
Error Medio	0,0972 %	0,2487 %
Error RMS	3,5325 %	5,4062 %

buena opción para este tipo de pruebas. En el segundo caso, el amplificador lineal obtiene una mejor precisión que el amplificador conmutado, sobre todo con un error máximo mucho más aceptable. Esto hace que sea más propicio para aplicaciones

3.4 Método comparativo previo de amplificadores de potencia

críticas donde la precisión sea un factor muy determinista, aunque el amplificador conmutado también ha presentado una correcta operación si solo se quiere verificar la funcionalidad general del sistema. En el caso transitorio de red eléctrica, tanto el amplificador lineal como el conmutado presentan una respuesta poco precisa. Esto indica que el método de pruebas PHIL no es aconsejable para el estudio de perturbaciones de elevada frecuencia (en el rango de varios kHz o superior).

“Los cinco dedos separados son cinco unidades independientes. Ciérralos y el puño multiplica la fuerza. Ésta es la organización.”

James Cash Penney

CAPÍTULO

4

Diseño de una plataforma PHIL integrada de baja latencia

Este capítulo es una versión revisada y extendida de las siguientes publicaciones:

- *García-Martínez, E.; Sanz, J.F.; Muñoz-Cruzado, J.; Perié, J.M. Methods for Improving Power and Bandwidth of Power Hardware-in-the-Loop Testbenches. IEEE CPE-POWERENG 2022.*
- *García-Martínez, E.; Sanz, J.F.; Muñoz-Cruzado, J.; Perié, J.M. Massive Parallel Current Power Amplifier Concept for Power Hardware in the Loop Applications . Icrepq 2022.*

PREGUNTAS: ¿Cuáles son los sistemas que afectan al ancho de banda de una bancada de pruebas basada en PHIL? ¿Se puede mejorar el ancho de banda y la potencia de las actuales bancadas? ¿Existe algún simulador abierto con interfaz gráfica que permita modelar correctamente un sistema eléctrico? ¿Existe algún estándar que permita ejecutar modelos diseñados en otras plataformas? ¿Se pueden ejecutar estos modelos en tiempo real en un sistema embebido? ¿Cuál es la plataforma que permite obtener un paso de cálculo

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

más rápido?¿Es posible aumentar las prestaciones en frecuencia de los actuales amplificadores de potencia?¿Qué aumento en ancho de banda se puede llegar a conseguir con las mejoras propuestas respecto de los actuales sistemas?[Resumen capítulo]

4.1 Caracterización y análisis de la bancada de pruebas PHIL

En la Sección 2.4 se obtuvo como conclusión que PHIL, junto con los emuladores, son las mejores técnicas para la prueba de sistemas de potencia. En la Sección 3.1 se hizo un análisis de los elementos PHIL y en la Sección 3.4 se examinó la precisión obtenida en diferentes pruebas realizadas en una bancada PHIL con dos amplificadores diferentes, uno lineal y otro conmutado. En estos últimos ensayos se comprobó que para las pruebas de transitorios de elevada frecuencia, actualmente no es posible obtener resultados óptimos con una bancada PHIL. Esto es debido al reducido ancho de banda total que las bancadas actuales son capaces de alcanzar, lo que afecta directamente a su desempeño y estabilidad.

Para poder aumentar el ancho de banda de las bancadas PHIL, primero es necesario analizar los elementos que influyen en esta. En el capítulo anterior, a través de la Figura 3.11, se analizó el diagrama de bloques PHIL para el estudio de la estabilidad de las pruebas. Esta figura contiene la información simplificada para el estudio de la estabilidad. Sin embargo, para poder encontrar la forma de optimizar estas bancadas, es necesario realizar un esquema más detallado, el cual permita poder encontrar los cuellos de botella. En la siguiente Figura 4.1 se muestra este diagrama de bloques más detallado y extendido de una prueba PHIL. A continuación se explican los componentes mostrados en esta figura.

- DRTS
 - $e^{-sT_{DRTS_{out}}}$: tiempo de retraso del DRTS necesario para calcular la nueva consigna a enviar al PA. Este valor puede ser tan alto como el paso de cálculo del simulador [180].

4.1 Caracterización y análisis de la bancada de pruebas PHIL

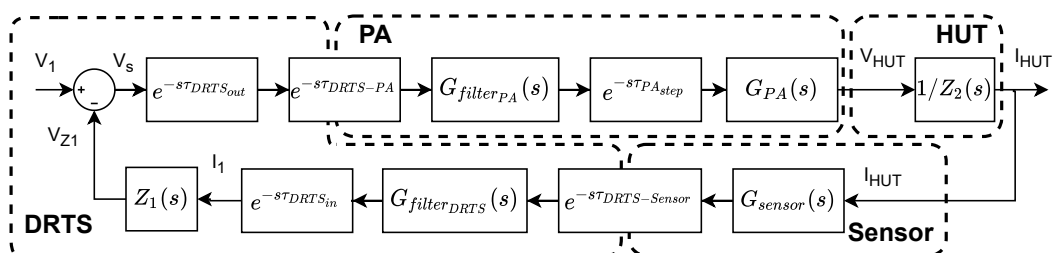


Figura 4.1: Diagrama de bloques extendido de una prueba realizada en una bancada PHIL.

- $e^{-s\tau_{DRTS-PA}}$: tiempo de retraso en la comunicación entre el DRTS y el PA. Este incluye tanto el retraso en el DRTS como en el del PA. Esta comunicación puede ser tanto analógica como digital.
- $Z_1(s)$: función de transferencia del sistema simulado en tiempo real.
- $e^{-s\tau_{DRTSstep}}$: tiempo de retraso igual al paso de ejecución del simulador en tiempo real.
- $G_{filter_{DRTS}}(s)$: función de transferencia del filtro implementado en el DRTS [181].
- $e^{-s\tau_{DRTS-Sensor}}$: tiempo de retraso entre el DRTS y el sensor. Este incluye el retraso tanto en el DRTS como en el sensor.
- PA
 - $G_{filter_{PA}}(s)$: función de transferencia del filtro implementado en el PA para la reducción del ruido o para funciones antialiasing.
 - $e^{-s\tau_{PAstep}}$: tiempo de retraso igual al paso de cálculo del PA.
 - $G_{PA}(s)$: función de transferencia del PA sin tiempo de retraso.
- Sensor
 - $G_{sensor}(s)$: función de transferencia del sensor de corriente y/o tensión.
- HUT
 - $1/Z_2(s)$: inverso de la impedancia del equipo bajo pruebas o HUT.

Los bloques $Z_1(s)$ y $1/Z_2(s)$ dependen del tipo de modelo a simular en el DRTS y del tipo de equipo a probar respectivamente. El resto de bloques depende de los elementos que forman parte de la bancada de pruebas PHIL. Es decir, son los elementos factibles a ser mejorados. Por lo tanto, para incrementar el ancho de banda de los experimentos basados en esta técnica de pruebas, es necesario reducir los

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

tiempos de retraso existentes en cada iteración e incrementar la frecuencia de corte de cada una de las funciones de transferencia. Debido a que tanto el **DRTS** como el **PA** son tecnologías emergentes, existen posibilidades de conseguir una mejora notable en su ejecución y desempeño. Sin embargo, los sensores de tensión y corriente necesarios para la realimentación del control en bucle cerrado son tecnologías muy maduras, las cuales han sido analizadas extensamente en la literatura. Debido a ello, la mejora y optimización de los sensores queda fuera del objetivo de esta tesis.

4.2 Propuestas para la mejora de potencia y ancho de banda de los bancos de prueba PHIL

A continuación se van a presentar las mejoras propuestas para el aumento del ancho de banda y potencia de los bancos de prueba **PHIL**, las cuales se recogen en [182]. Estas mejoras pretenden extender el rango de pruebas a sistemas de mayor dinámica y potencia. Todas ellas utilizan como punto de partida el diagrama de bloques de la **Figura 4.1**, tomándolo como base de desarrollo. Las mejoras propuestas son:

- Sincronización de **PA** y **DRTS** (**Subsección 4.2.1**).
- Fuerte acoplamiento entre **PA** y **DRTS** (**Subsección 4.2.2**).
- Interfaz **MRP** (**Subsección 4.2.3**).
- Tipo de amplificador y topología (**Subsección 4.2.4**).

4.2.1 Sincronización de PA y DRTS

Los simuladores en tiempo real y amplificadores controlados digitalmente ejecutan sus procesos de computación a un tiempo de ejecución periódico determinado. Si se realiza una sincronización de estos procesos, el tiempo de retraso que producen estas ejecuciones periódicas pueden reducirse al tiempo exacto de computación de cada uno de estos elementos. Normalmente, los pasos de cálculo periódicos son en torno a un 25-50 % más elevados que los tiempos de ejecución. Esto es debido principalmente a la necesidad de asegurar el tiempo real ante las fluctuaciones existentes en el procesado de estos datos. Por ello, un valor conservador del beneficio obtenido de la sincronización puede estar en torno a este porcentaje.

4.2 Propuestas para la mejora de potencia y ancho de banda de los bancos de prueba PHIL

En la [Figura 4.2](#) se muestran los bloques mejorados gracias a la sincronización propuesta. Se puede observar que los bloques $e^{-s\tau_{DRTS_{out}}}$ and $e^{-s\tau_{PA_{step}}}$, los cuales estaban en la [Figura 4.1](#), han sido modificados y su tiempo de retraso se ha reducido a $e^{-s\tau_{DRTS_{calc}}}$ y $e^{-s\tau_{PA_{calc}}}$.

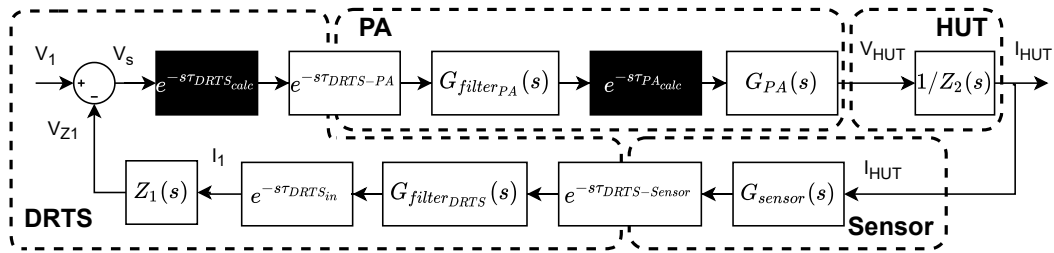


Figura 4.2: Bloques mejorados (resaltados en negro) gracias a la sincronización entre el DRTS y el PA.

La sincronización entre los dos principales elementos que componen la bancada de pruebas basada en PHIL también mejoran la calidad de la onda de salida del PA, reduciendo el contenido armónico de esta. La [Figura 4.3](#) es un ejemplo de este hecho, donde se compara los efectos de la sincronización y de la no sincronización, mostrando la distorsión armónica total (THD) de una onda de 1 kHz recibida por el PA por parte del DRTS. En este caso, la frecuencia de ejecución del PA es de 70 kHz y la del DRTS es de 20 kHz, cuyo frecuencia es ampliamente utilizada en las pruebas realizadas en PHIL [168].

La sincronización del DRTS y el PA necesita de una gran compatibilidad entre estos. Sin embargo, esta funcionalidad es compleja de llevar a cabo debido a los diferentes campos de desarrollo de los mismos. Mientras que la investigación en DRTS se centra en la computación, el campo de investigación de los PAs se centra en la electrónica de potencia. Actualmente, existen algunos ejemplos de mejora de la interoperabilidad de estos sistemas. Un ejemplo puede ser la compatibilidad por comunicación digital entre los simuladores RTDS [97] o Opal-RT [82] con amplificadores de potencia conmutada como Egston [154] o lineales como Spitzemberger [149]. La sincronización de los procesos puede ser un paso más allá en la compatibilidad entre estos elementos.

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

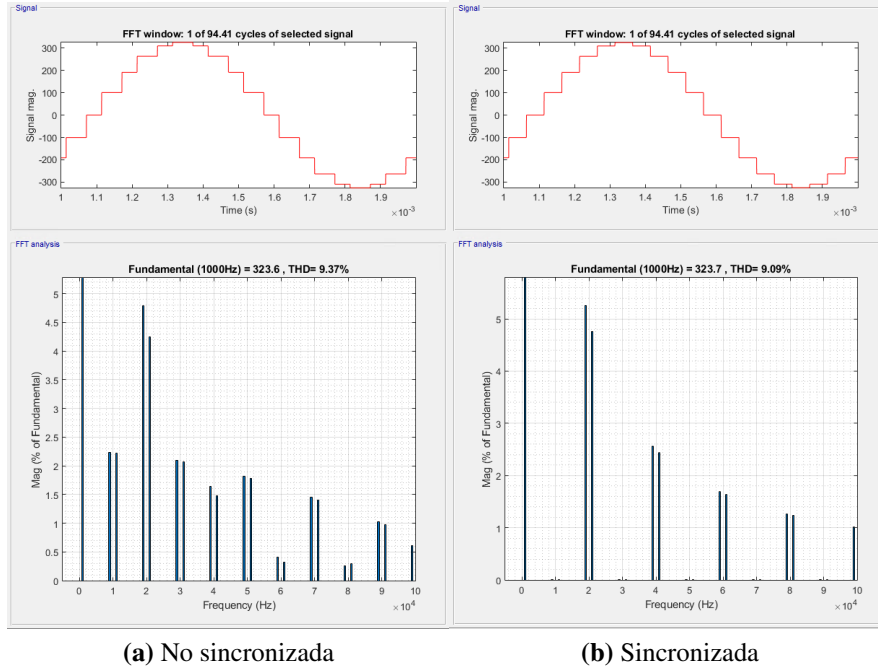


Figura 4.3: Comparación del contenido armónico de una referencia de tensión sinusoidal de 1 kHz enviada por el DRTS, cuya frecuencia de ejecución es de 20 kHz, y recibida por el PA, cuya frecuencia de ejecución es de 70 kHz, para los dos casos: (a) no sincronización entre DRTS y PA; (b) sincronización entre DRTS y PA.

4.2.2 Fuerte acoplamiento entre PA y DRTS

La consecución de un acoplamiento fuerte entre el DRTS y el PA, es una consecuencia de la anterior propuesta de sincronización de estos elementos. Como se ha mencionado anteriormente, los fabricantes de DRTS y PA comerciales están intentando mejorar la compatibilidad de sus equipos con otros realizados por distintos fabricantes. Esta interoperabilidad reduce el desempeño general de las pruebas, debido a las medidas de contención necesarias a implementar en ambos equipos para adecuar las medidas y consignas recibidas a sus requerimientos.

Sin embargo, si se realiza un acoplamiento expreso de las ejecuciones del DRTS y del PA, pueden eliminar la utilización de estas medidas de contención, a costa de reducir la interoperabilidad con otros equipos. Esto es debido a que la interacción necesaria entre estos dos equipos es optimizada, saltándose el tratamiento de las señales del PA y del DRTS, las cuales están representadas en Figura 4.1 como

4.2 Propuestas para la mejora de potencia y ancho de banda de los bancos de prueba PHIL

$G_{filter_{PA}}(s)$ y $G_{filter_{DRTS}}(s)$ respectivamente. Esta optimización es solo posible si la comunicación entre el DRTS y el PA es digital y no analógica. Esto es debido a que utilizando una comunicación analógica, el amplificador de potencia necesita un filtro paso bajo para reducir o minimizar el impacto de un ruido electromagnético.

Por lo tanto, una comunicación digital de gran ancho de banda tiene un mejor desempeño, especialmente en aplicaciones de elevada potencia, donde un ruido en la comunicación puede provocar un pico de tensión/corriente en el equipo bajo prueba de consecuencias catastróficas. Además, con la comunicación digital, el laboratorio no tiene que utilizar sensores externos de corriente/tensión para que el DRTS obtenga la medida necesaria para cerrar el bucle de control. Adicionalmente, en el caso de utilizar un amplificador conmutado, los fabricantes de estos equipos utilizan técnicas para evitar tomar las medidas en los puntos de conmutación. Esto reduce notablemente el ruido, debido a que las conmutaciones generan grandes dV/dt que pueden perturbar las señales de baja potencia de alrededor. Otra ventaja es el aumento de precisión, gracias a que se conserva el mismo error de medida durante todo el bucle de control, aunque su exactitud no se ve mejorada.

En la Figura 4.4 aparecen resaltados en negro los bloques mejorados debido al fuerte acoplamiento entre el PA y el DRTS. Cabe resaltar que los bloques $G_{filter_{DRTS}}(s)$ y $G_{filter_{PA}}(s)$ del diagrama de bloques inicial mostrado en la Figura 4.1, el cual contiene los filtros implementados dentro del DRTS y el PA respectivamente, han sido eliminados del diagrama gracias a este método.

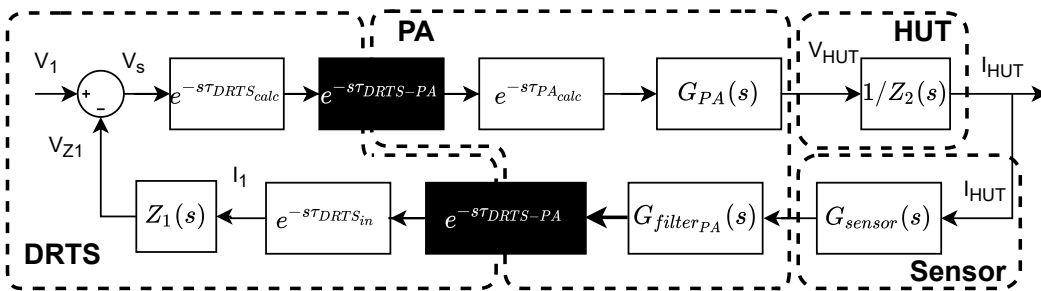


Figura 4.4: Bloques mejorados (resaltados en negro) gracias al fuerte acoplamiento entre el DRTS y el PA. Las funciones de transferencia $G_{filter_{DRTS}}(s)$ y $G_{filter_{PA}}(s)$ han podido ser eliminadas gracias a este método. A su vez, las medidas del DRTS se obtienen del PA a través de un nuevo bloque de filtrado al que se le vuelve a denominar $G_{filter_{PA}}(s)$.

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

4.2.3 Interfaz MRP

Como ya se ha comentado anteriormente, en la literatura se pueden encontrar varios tipos de algoritmos para la interfaz entre el DRTS y el PA [170, 171, 172]. Uno de los más prometedores es el algoritmo de partición a diferentes velocidades o MRP, propuesto por [180]. Este consiste en la división del modelo ejecutado en el simulador en modelos más pequeños funcionando a pasos de cálculo diferentes. Conforme estos subsistemas se van acercando al PA, estos tienen un tamaño más reducido y son ejecutados a una mayor frecuencia de cálculo. Estas divisiones de la simulación a diferentes pasos de ejecución, necesitan al menos un núcleo propio para ellos. El número de divisiones depende mucho del tipo de modelo simulado y del ancho de banda necesario para ejecutar el test. La Figura 4.5 muestra el diagrama de funcionamiento de este algoritmo.

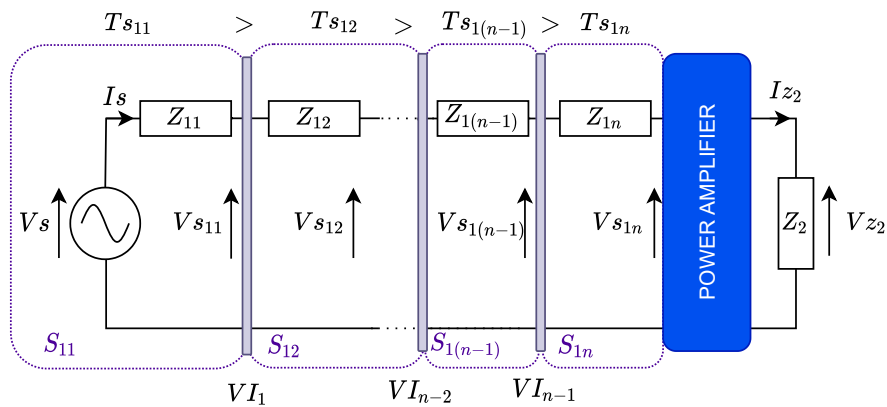


Figura 4.5: Diagrama de funcionamiento del algoritmo MRP (basado en [180]). Cada subsistema S_{1X} está conectado a través de una interfaz virtual VI_X a otros subsistemas, los cuales se ejecutan con pasos de cálculo más reducidos (Ts) conforme se van acercando al PA.

En el primer subsistema S_{11} se ejecuta la parte del modelo principal, normalmente con el tiempo de respuesta más lento del modelo. Para el cálculo de esta parte, un sistema de computación basado en CPU se ajusta a las necesidades de gran número de nodos y tiempos de ejecución más elevados. Conforme los subsistemas se van acercando al amplificador, la complejidad del modelo se va reduciendo pero la frecuencia de ejecución va aumentando, debido a unos mayores requisitos dinámicos. Para la ejecución de estos subsistemas, se puede utilizar un sistema de

4.2 Propuestas para la mejora de potencia y ancho de banda de los bancos de prueba PHIL

computación basado en **FPGA**, el cual es ampliamente utilizado para simulaciones con un tiempo de ejecución menor a $1 \mu\text{s}$ [70]. En la **Figura 4.6** se muestra el tipo de plataforma de simulación en tiempo real dependiendo de la complejidad del modelo y de la frecuencia de ejecución. Se puede observar como con la misma potencia de cálculo, los sistemas basado en **CPU** no son adecuados para modelos con frecuencias de ejecución elevadas, y los sistemas basado en **FPGA** no son adecuados para la ejecución de modelos complejos con un elevado número de nodos.

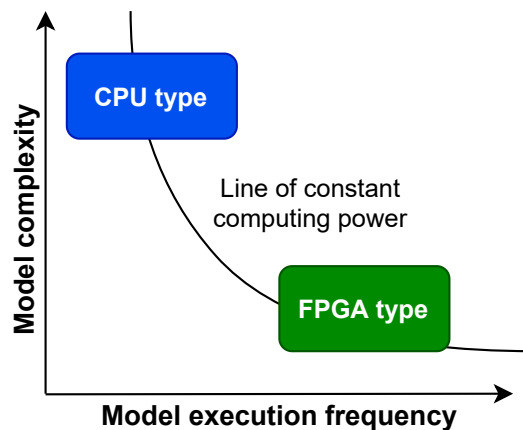


Figura 4.6: Plataforma de simulación en tiempo real usada dependiendo de la complejidad del modelo o de su frecuencia de ejecución (basado en [49]).

El uso de la **FPGA** también reduce la latencia en la comunicación entre el **PA** y el **DRTS**, lo que a su vez reduce el retraso global de la bancada **PHIL**. Esto facilita la implementación de la mejora descrita en la **Subsección 4.2.2**. Para la implantación de la mejora expuesta en **Subsección 4.2.1**, una posibilidad es la ejecución del último subsistema S_{1n} en la **FPGA** encargada del control del **PA**. Esta configuración permite la sincronización de la simulación en tiempo real de este último subsistema con la ejecución del control del **PA**, consiguiendo la máxima mejora posible de ancho de banda de la simulación. Esto es debido a que una frecuencia de cálculo del **DRTS** más elevada que la del **PA**, no ofrece ningún beneficio en ancho de banda ni estabilidad.

En la **Figura 4.7** se muestra un ejemplo de esta configuración, donde el primer subsistema S_{11} es ejecutado con el mayor tiempo $T_{s_{11}}$ en un simulador en un **DRTS** basado en **CPU**. A su vez, este subsistema se conecta a través de una interfaz

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

virtual con S_{12} , también basado en CPU pero con un periodo de ejecución menor. El subsistema con la ejecución más rápida del DRTS es el S_{13} , ejecutado en una FPGA con la frecuencia de ejecución más rápida del simulador. Este se comunica con el PA, en donde la última parte de modelo S_{14} es sincronizado con el control del PA, los cuales se ejecutan en FPGA.

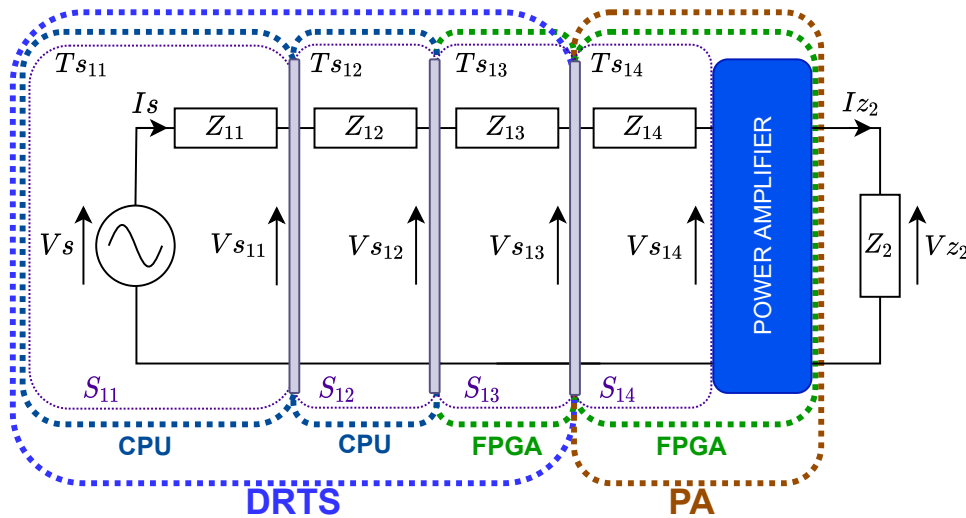


Figura 4.7: Configuración propuesta de la simulación en tiempo real utilizando la interfaz MRP (basado en [180]) y ejecutando el último subsistema S_{14} dentro del PA. Esta configuración facilita la sincronización y el fuerte acoplamiento entre en el DRTS y el PA, que son las propuestas de mejora mostradas en la Sección 4.2.1 y en la Sección 4.2.2 respectivamente.

En una plataforma PHIL con un acoplamiento fuerte, el modelo del último subsistema S_{14} puede ser transmitido o descargado al PA mediante una comunicación y configuración propia. Si no es posible, se puede utilizar algún estándar para la descripción general del modelo a simular. Para la comprobación de la integridad de la simulación completa, ejecutando parte en el PA, el DRTS puede ejecutar primero la simulación sin habilitar la transferencia real de potencia. Comparando la respuesta obtenida del PA con el modelo interno del DRTS, es posible la comprobación del comportamiento adecuado de la simulación completa.

En la Figura 4.8 se muestra el diagrama de una prueba PHIL con los bloques mejorados debido al uso de la interfaz MRP entre el DRTS y el PA, los cuales están resaltados en negro. El uso de varias interfaces incrementan la complejidad del dia-

4.2 Propuestas para la mejora de potencia y ancho de banda de los bancos de prueba PHIL

grama de bloques, por ello, en esta figura se ha realizado una simplificación para poder comparar mejor con el diagrama original de la Figura 4.1. La subdivisión de la simulación permite ejecutar las partes de ejecución temporal más críticas con un paso de cálculo muy reducido, mitigando el retraso en los bloques $e^{-s\tau_{DRTS_{calc}}}$ y $e^{-s\tau_{DRTS_{in}}}$. La ejecución del último subsistema S_{14} en una FPGA con una comunicación de gran ancho de banda, o ejecutándolo dentro de la tarjeta encargada del control del PA, consigue una reducción en el retraso entre la interacción del PA-DRTS y DRTS-PA, representados por los bloques $e^{-s\tau_{DRTS-PA}}$.

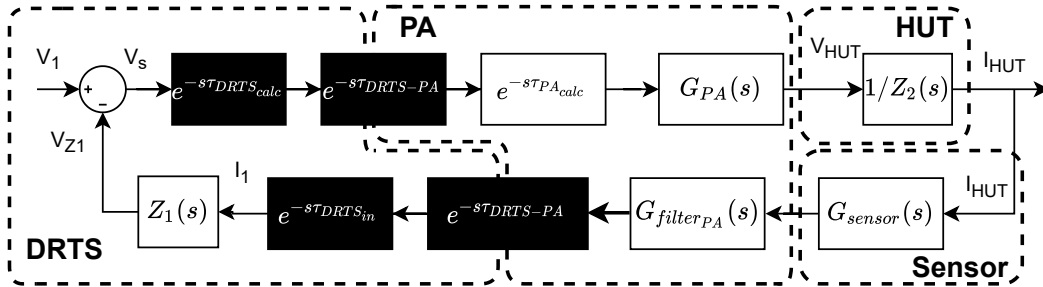


Figura 4.8: Bloques mejorados (resaltados en negro) debido a la utilización de la interfaz MRP.

4.2.4 Tipo de amplificador y topología

El amplificador de potencia es el único y principal elemento responsable del intercambio de potencia real con el HUT. Como se puede observar en la Figura 4.1, se encuentra en la cadena directa del diagrama en bucle cerrado de las pruebas PHIL. Este hecho hace que los retrasos intrínsecos del PA y su función de transferencia sean claves para obtener una bancada de pruebas PHIL de gran ancho de banda y potencia. Como se pudo ver en Figura 3.3, existen tres tipos de PA: el generador síncrono, el amplificador lineal y el conmutado. Gracias a la base de datos desarrollada en Sección 3.3 y publicada en [168], se puede observar que el generador síncrono ya no es utilizado para las pruebas PHIL en los laboratorios. Por lo tanto, actualmente, los amplificadores utilizados en las bancadas de pruebas basadas en PA son el lineal y el conmutado.

Los amplificadores lineales, debido a su mayor ancho de banda y su mayor estabilidad y respuesta ante perturbaciones, aumentan las posibilidades de éxito de los

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

experimentos. Pero la eficiencia de estos equipos es mucho menor que los amplificadores conmutados, quedándose en valores por debajo del 60 %, mientras que los conmutados suelen estar por encima del 90 %. Debido a esto, para las pruebas de pocos kW, es recomendable el uso de amplificadores lineales porque las pérdidas durante las pruebas pueden ser asumibles. Sin embargo, para aplicaciones de elevado voltaje y potencia, los amplificadores conmutados son la única opción viable para estos experimentos. Por consiguiente, para las pruebas de equipos con rangos de potencia comprendidos entre los pocos kW y el MW, y tensiones máximas típicas de redes de distribución a 380 V, los amplificadores lineales y conmutados pueden ser una buena opción dependiendo de los objetivos de laboratorio (Tabla 3.6).

Sin embargo, la investigación realizada en los últimos años en los convertidores de potencia conmutados es muy superior a la realizada en los convertidores lineales, por lo tanto tienen mejores perspectivas de mejora en sus prestaciones. Esta mayor investigación es debido a la superior eficiencia de los primeros, permitiendo que sean más adecuados para un elevado número de aplicaciones.

Para mejorar la dinámica de los convertidores conmutados, se necesita aumentar su frecuencia de conmutación, ya que es la unidad mínima que marca la aplicación de la acción deseada, lo que define el paso de ejecución mínimo en el resto de los elementos de la bancada PA. Pero esta frecuencia máxima está limitada debido a las pérdidas elevadas en los transistores, o incluso en los elementos magnéticos de filtrado. Una de las mejores formas de mejorar el ancho de banda del sistema completo es la utilización de varias ramas de convertidores trabajando en paralelo [183, 184]. Esto permite el uso de transistores con una capacidad de conducción más reducida, pero con mejores características para trabajar a frecuencias de conmutación más elevadas. Además, si estas ramas están entrelazadas, la inductancia magnética puede ser rebajada sin incrementar el rizado de salida. Esta reducción permite a su vez aumentar la dinámica del convertidor, incrementando la frecuencia de corte de su función de transferencia.

Otra forma de aumentar el ancho de banda es la disposición de convertidores en serie, utilizando para ello transistores que sean capaces de conducir la corriente nominal del amplificador pero con una fracción de la tensión total, los cuales tienen menores pérdidas de conmutación. También, el hecho de colocar estos convertidores en serie facilita la construcción de amplificadores de elevada tensión y potencia.

4.2 Propuestas para la mejora de potencia y ancho de banda de los bancos de prueba PHIL

Por ejemplo, en [115] se utiliza un convertidor modular multinivel o **MMC** para las pruebas de sistemas en continua a tensiones de 24 kV. Sin embargo, no solo se usa para tensiones elevadas, en [185], esta topología también ha sido usada para el diseño de aplicaciones de tensiones mas reducidas, en este caso para la emulación de motores de imanes permanentes o **PMSM**.

La hibridación de convertidores, acoplando en un mismo amplificador técnicas lineales y conmutadas, es otro enfoque desarrollado en la literatura para el aumento del ancho de banda de los **PA**s. Estos combinan las mejores cualidades para aplicaciones de elevada potencia de los conmutados con la mejor respuesta dinámica de los lineales. En [186], se propone un convertidor serie híbrido o **SHC**, utilizando un convertidor lineal en serie con un convertidor de puente en H en cascada o **CHB**, obteniendo un ancho de banda de 20 kHz y una eficiencia de 75 %. En [187] se presenta un convertidor en paralelo híbrido, donde un convertidor lineal es conectado en paralelo con uno conmutado, el cual utiliza varias ramas en paralelo trabajando a diferentes frecuencias de conmutación.

También existen otro tipo de amplificadores mixtos basados en dos convertidores conmutados de diferentes prestaciones trabajando juntos. Por ejemplo, en [161] se utiliza un **SHC** compuesto de un convertidor Buck-Boost de seis ramas entrelazadas con bobinas acopladas, serializado con un convertidor basado en topología puente en H de elevada frecuencia de conmutación. Este último convertidor dispone de una tensión flotante de bus de continua pero con una fracción de la tensión total del bus de convertidor principal. En [188] se propone un amplificador **PHC** basado en un convertidor bi-nivel de elevada potencia y reducido ancho de banda, trabajando en paralelo con un **CHB** de reducida potencia pero elevado ancho de banda.

La **Figura 4.9** muestra los bloques mejorados gracias a la utilización de los tipos y topologías de amplificadores descritos anteriormente para el aumento del ancho de banda y potencia de las pruebas **PA**.

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

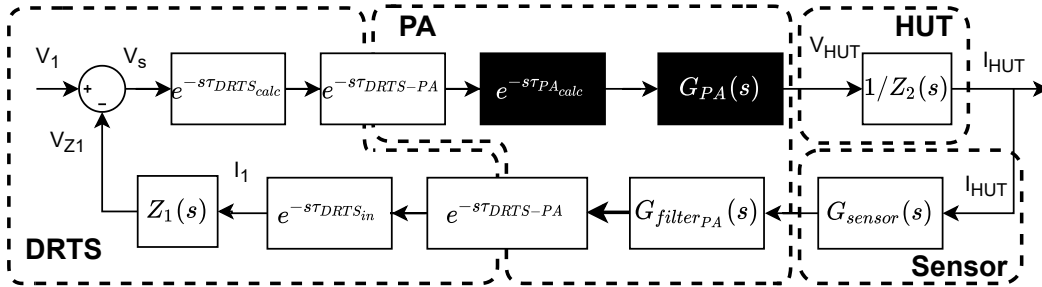


Figura 4.9: Diagrama de bloques de las pruebas en PHIL, donde se resalta (en negro) las mejoras que ofrece el uso de los tipos y topologías de amplificadores descritos anteriormente para el aumento del ancho de banda y potencia de las pruebas PA.

4.2.5 Conclusión de las mejoras propuestas

En los apartados anteriores se han mostrado y desarrollado cuatro mejoras para el aumento del ancho de banda y potencia de los bancos de prueba PHIL, permitiendo incrementar la precisión y estabilidad de los sistemas actuales. Los métodos propuestos suponen modificaciones importantes en el diseño, fabricación y ejecución tanto del DRTS como del PA. Esto presenta una novedad sobre otros métodos recogidos en la literatura para la mejora de la estabilidad y precisión de las pruebas PHIL [120, 171], los cuales se centran en técnicas externas que no afectan al funcionamiento intrínseco del DRTS o del PA.

Para llevar a cabo estas mejoras, no es posible utilizar equipamiento comercial, ya que los fabricantes no permiten el acceso y modificación de los procesos de control del equipo, debido a problemas de seguridad y de confidencialidad. Es por ello, que para efectuar estos cambios es necesario la realización de una bancada PHIL completa, desarrollando tanto el DRTS como el PA. Por lo tanto, en los siguientes apartados de este capítulo se van a exponer los conceptos y diseños principales realizados para la consecución de las mejoras propuestas.

- *Plataforma PHIL:* diseño conceptual de la plataforma que será la base de diseño de la bancada PHIL, teniendo en cuenta las necesidades de compatibilidad e interacción de los métodos anteriormente descritos.
- *Simulador en tiempo real:* desarrollo de un simulador en tiempo real donde se propone la utilización de un estándar para la ejecución de la simulación en sistemas multiplataforma, una herramienta de modelado compatible, el

integrado de simulación y el acotamiento de requisitos dependiendo de las variables de estado a ejecutar.

- *Amplificador*: todos los amplificadores analizados en la última Subsección 4.2.4 están basados principalmente para la generación de tensión. Estos son adecuados para la prueba de equipos conectados a red o baterías, los cuales son los tipos de HUT más utilizados en las pruebas PHIL [168]. Sin embargo, para funcionar como fuente de corriente no disponen de tanto ancho de banda, lo que impide probar equipos que actúen como fuente de tensión. Entre estos equipos, se espera que tengan un gran imparto sistemas como los transformadores inteligentes tanto AC como en DC. Por ello, se propone un amplificador de potencia conmutado de corriente, el cual aumente el ancho de banda de los equipos actuales.

4.3 Plataforma PHIL

En el siguiente apartado se expone el esquema general de la plataforma PHIL para poder desarrollar las mejoras planteadas en Sección 4.2. Más adelante se presentan diferentes casos de uso para cubrir las posibles demandas de ensayos a realizar con la plataforma propuesta.

4.3.1 Esquema general

La plataforma PHIL propuesta se compone de dos sistemas embebidos diferenciados, uno encargado de la realización de simulaciones en tiempo real de sistemas eléctricos y otro responsable del control del amplificador de potencia. El esquema general de estos dos sistemas embebidos se muestra en la Figura 4.10, junto con sus principales características de computación y periféricos.

El simulador en tiempo real se basa en la utilización para el cálculo y control de un SOC FPGA, el cual integra un micro ARM más una FPGA en un mismo dispositivo, y un procesador masivamente paralelo MPPA. La FPGA se encarga de la comunicación digital de gran ancho de banda con el amplificador en tiempo real duro¹ y de la sincronización con este. También gestiona otros puertos de

¹La diferencia entre un sistema ejecutado/comunicado en tiempo real duro y otro blando es que

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

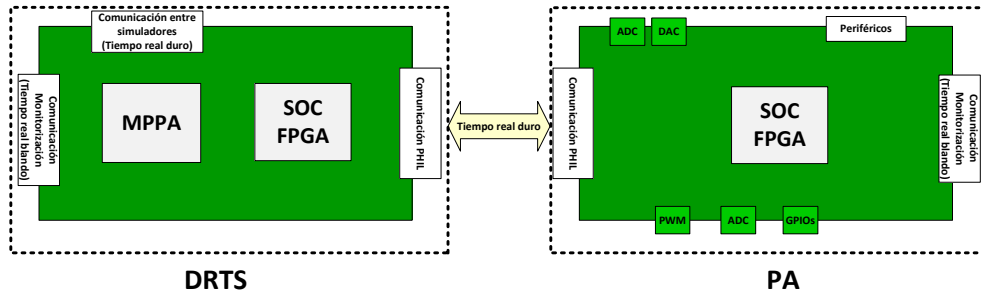


Figura 4.10: Plataforma propuesta para PHIL, compuesta por dos unidades computacionales: a la izquierda para la simulación de sistemas eléctricos en tiempo real y a la derecha para el control del amplificador de potencia, encargado de la transferencia de energía con el HUT.

comunicación digital de gran ancho de banda para la comunicación entre simuladores, posibilitando la ejecución del algoritmo MRP. A su vez, tiene la posibilidad de simulación de modelos en tiempo real no muy complejos pero con una elevada frecuencia de ejecución (Figura 4.6). El micro integrado ARM dentro del SOC se encarga de la comunicación en tiempo real (ms-s), necesario para la monitorización y actualización del modelo a simular. El integrado MPPA se encarga de la simulación de modelos más complejos y más lentos, y el motivo de su uso y características está detallado más adelante en la Subsección 4.4.4.

El sistema embebido para el control del amplificador de potencia se basa también en un SOC FPGA, el cual integra un micro ARM y una FPGA en un mismo dispositivo. Como en el caso del simulador, la FPGA dispone de un puerto de comunicación digital de gran ancho de banda para la comunicación con el simulador en tiempo real duro y la sincronización con este. Esta también se encarga de la interacción con el hardware de potencia, gracias a la utilización de señales digitales para la generación de PWM de control y GPIO, y de conversores ADC para la medida de las salidas de tensión y corriente necesarias para el control. A su vez, dispone de otros conversores ADC y DAC para la interacción mediante señales analógicas con simuladores comerciales. El micro integrado ARM dentro del SOC gestiona la comunicación en tiempo real blando para la monitorización y gestión del amplificador, así como la comunicación mediante un bus de campo, necesario para la

el no cumplimiento de tiempos del primero lleva al sistema completo a error, mientras que en el segundo solo supone un deterioro en su comportamiento.

interacción con otros elementos de amplificación. En la [Figura 4.11](#) se muestra el esquema de conexión de estos sistemas embebidos tanto con la interfaz o [HMI](#) para su gestión y monitorización como con el hardware de potencia, necesario para el intercambio de energía con el [HUT](#) durante las pruebas.

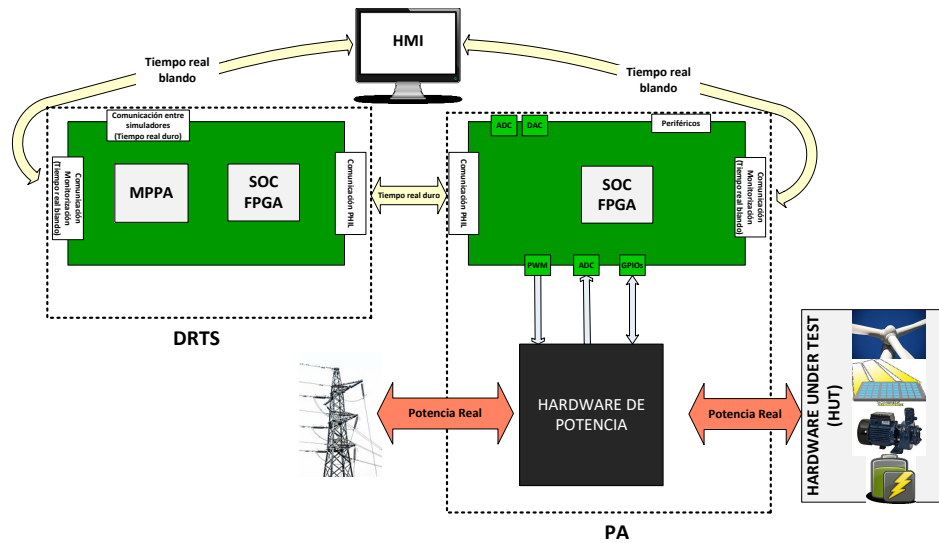


Figura 4.11: Esquema general de conexión de los sistemas embebidos con el [HMI](#) y el hardware de potencia.

4.3.2 Casos de uso

4.3.2.1 Conjunto de computación para simulación

Para la simulación en tiempo real de modelos complejos, los cuales están compuestos por una mayor cantidad de variables de estado, es posible la utilización de varios sistemas embebidos de simulación. Estos permiten la implementación del algoritmo [MRP](#), pudiendo separar el modelo a simular en diferentes subsistemas con pasos de cálculo diferentes, reduciendo estos últimos progresivamente hasta la interfaz de conexión con el amplificador. Otra forma de uso es la realización de un conjunto de computación, capaz de resolver modelos más complejos pero sin subdivisiones intrínsecas. Esta variante donde se utilizan varias tarjetas de procesamiento, conectadas entre si por un protocolo de comunicaciones de gran ancho de banda, es una topología ampliamente utilizada en los simuladores comerciales

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

[49]. En la [Figura 4.12](#) se muestra la creación de un conjunto con tres tarjetas de simulación en tiempo real, conectadas a un amplificador de potencia.

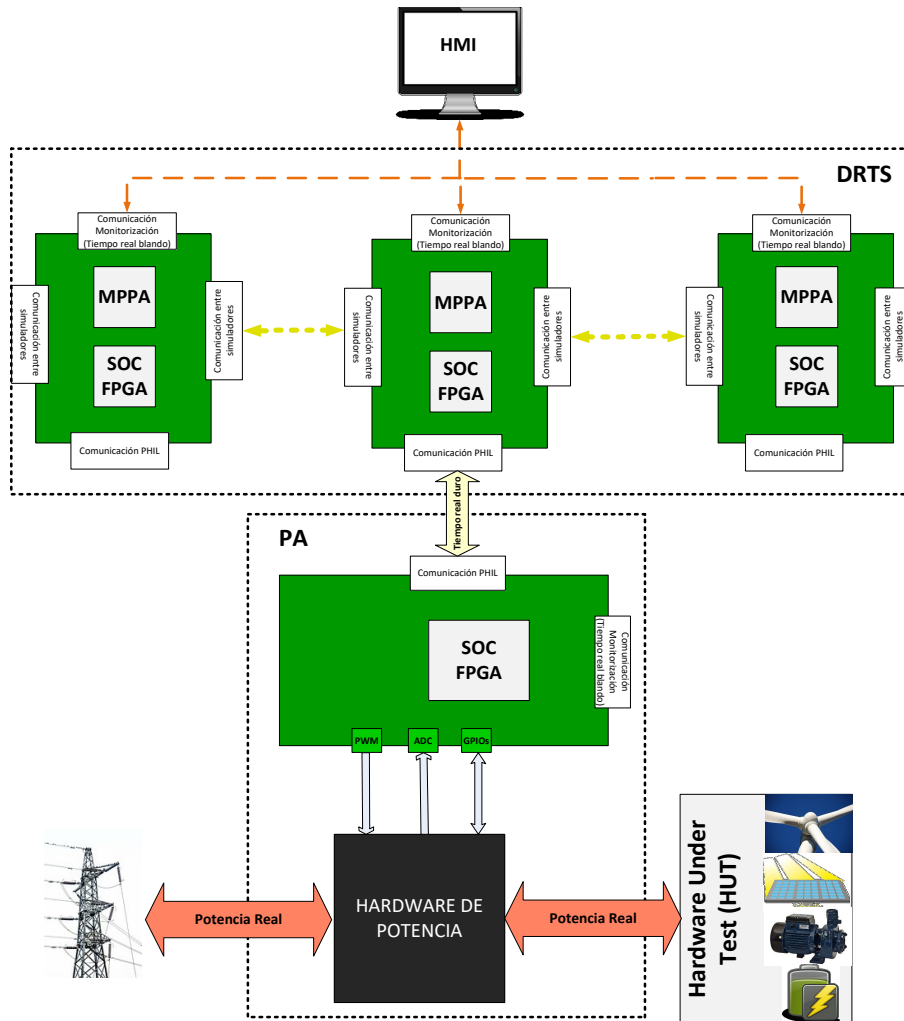


Figura 4.12: Utilización de varios embebidos de simulación para la utilización del algoritmo [MRP](#) o la realización de un conjunto de computación para simulación.

4.3.2.2 Sistemas de varias salidas de potencia

Esta configuración se muestra en la [Figura 4.13](#), la cual consta de varios amplificadores de potencia conectados a un mismo bus de continua. Este bus es estabilizado a una tensión operativa de funcionamiento mediante un convertidor AC/DC que funciona como [AFE](#). Esto aumenta la eficiencia de las pruebas de sistemas don-

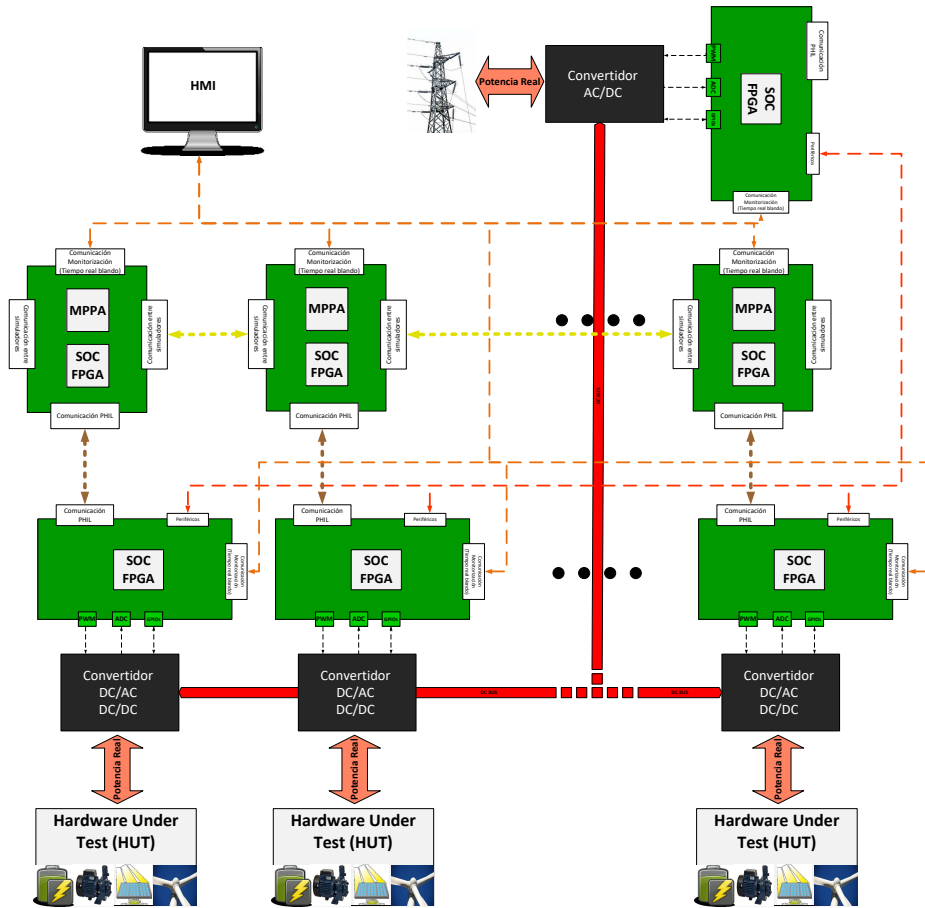


Figura 4.13: Sistema multi-plataforma propuesta para PHIL, donde las ecuaciones de estado del sistema simulado se divide en diferentes subsistemas así como la salida en potencia de los diferentes puntos del circuito.

de se pruebe tanto el lado de generación como el lado de carga, ya que la energía recircula por el propio bus de continua y no por la red eléctrica externa. En este caso, el convertidor AC/DC solo entrega la energía suficiente al bus para cubrir las pérdidas del sistema completo. Para evitar oscilaciones bruscas de tensión en el bus de continua, se propone una comunicación entre los amplificadores y el convertidor AC/DC con un bus de campo, el cual posibilite la compensación de potencia en el bus de continua. Además, esta comunicación ofrece la posibilidad de interrupción del funcionamiento en el caso de existir un error importante en alguno de los elementos. Esta composición también favorece la utilización de varios sistemas embebidos de simulación trabajando como MRP o como conjunto de cálculo.

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

Todos los equipos están comunicados con un protocolo de comunicación con una interfaz hombre-máquina (HMI) que permite su gestión y adquisición de datos.

4.3.2.3 Sistemas de varias salidas de potencia con modelos complejos de red

Una funcionalidad importante es la compatibilidad con un sistema externo, capaz de simular por fasores redes eléctricas de un elevado número de nodos. Esta simulación en fasores necesita pasos de cálculo menos estrictos (pudiendo estar en el entorno de varios milisegundos) ya que no calcula los transitorios de la red eléctrica, sino que realiza un cálculo por potencia, obteniendo desfases, frecuencia y valores RMS de la tensión y la corriente de cada nodo de la red eléctrica. Esta información en un punto de la simulación, puede ser comunicada al simulador en tiempo real propuesto con unas restricciones en baudios mucho menor que la comunicación entre simuladores que se observa en la [Figura 4.12](#). Se pueden realizar dos tipos de estrategias en el simulador en tiempo real propuesto:

- *Generación del valor instantáneo de la consigna*: cuando se recibe la información de la tensión o corriente, se reconstruye la señal en valor instantáneo y se la comunica al interfaz de potencia. Este aplica la acción y devuelve la respuesta del HUT en corriente o tensión. El simulador RT calcula el desfase, frecuencia y valor RMS de esta respuesta y se la devuelve al simulador de fasores para que integre el sistema en su simulación.
- *Simulación de transitorios de la parte de red eléctrica*: si el HUT está conectado en una parte de la red eléctrica con más dinámica que el conjunto completo de la simulación, es posible separar la simulación en dos, donde la parte con más inercia se simule en el simulador por fasores, y la parte con menos inercia en el embebido propuesto. Para ello sería necesario que el embebido, además de realizar las operaciones descritas en el punto anterior, realizase una simulación en transitorios de la parte dividida de la red eléctrica.

Un ejemplo de utilización de esta opción para simulación de modelos complejos de red eléctrica se puede observar en la [Figura 4.14](#), en la que se ha seguido manteniendo la topología con un solo bus de continua descrita en el anterior caso de uso.

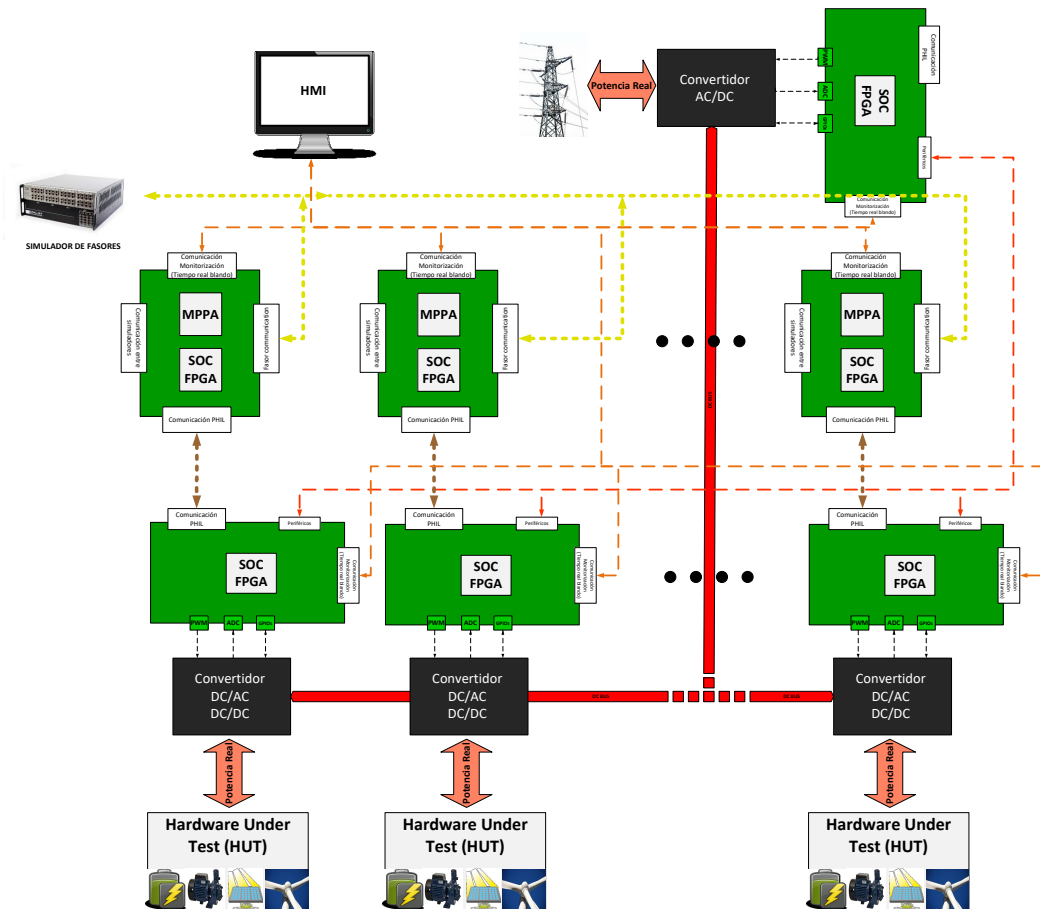


Figura 4.14: Sistema multi-plataforma propuesta para PHIL, donde el sistema simulado se divide en dos partes: la parte lenta, de mayor número de elementos y de dinámica más lenta, que se realiza en fasores; la parte rápida, la cual se encuentra principalmente cerca del sistema a probar y tiene una dinámica más rápida, simulada en ecuaciones diferenciales con un paso de cálculo rápido.

4.3.2.4 Amplificador compatible con simuladores comerciales

En esta variante, se busca aumentar la versatilidad del sistema haciendo compatible el amplificador de potencia desarrollado con los simuladores en tiempo real actuales en el mercado [49]. El método de comunicación más utilizado y compatible con todos estos simuladores es el intercambio de información mediante señales analógicas de $\pm 10V$. La Figura 4.15 muestra un ejemplo de esta comunicación entre amplificador y un DRTS comercial. Para ello, se habilita un ADC en el embebido del PA para la recepción de las consignas por parte del DRTS. A su vez, las

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

medidas de salida del PA se envían por un DAC, facilitando la interconexión en el laboratorio y evitando la utilización de sensores extra.

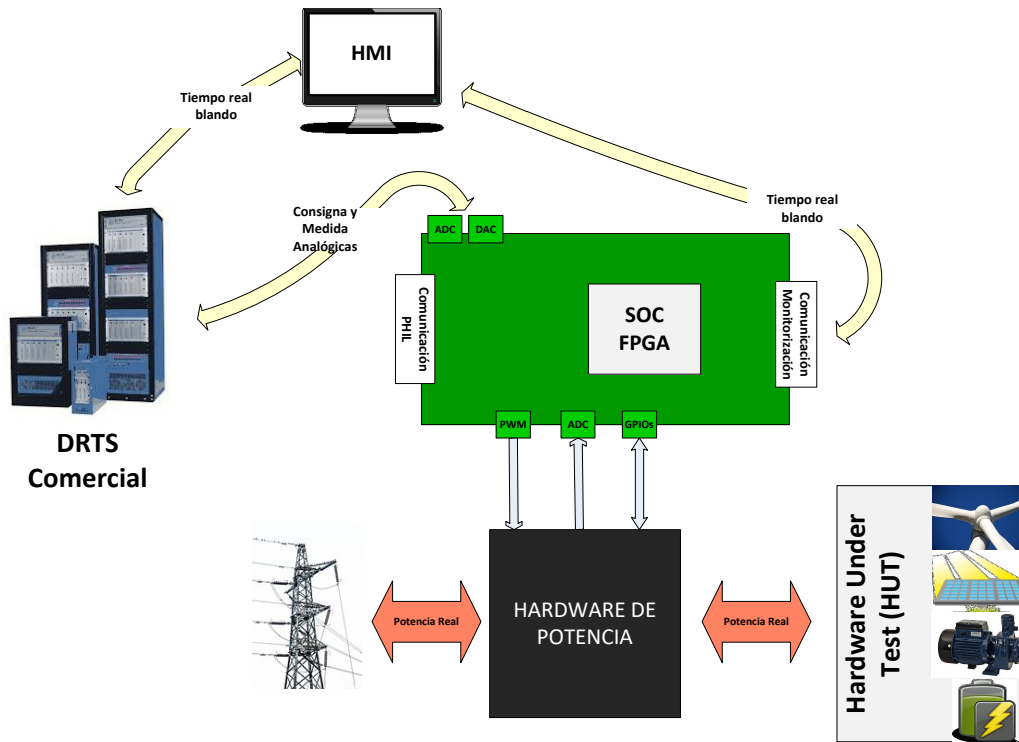


Figura 4.15: Ejemplo de utilización del PA propuesto con un DRTS comercial, utilizando un ADC para la recepción de consignas y un DAC para el envío de las medidas de salida al DRTS.

4.4 Sistema de simulación en tiempo real

En la Sección 4.2 se han descrito diferentes métodos para mejorar la estabilidad y precisión de las pruebas basadas en PHIL, las cuales se basan en la mejora del ancho de banda de todo el banco de pruebas. Para su consecución, uno de los factores importantes es la sincronización y el fuerte acoplamiento entre el DRTS y el PA. No es posible implementar estas características en elementos comerciales, por lo que en la Subsección 4.2.5 se define la necesidad de la realización de un DRTS y un PA propios para implementar las mejoras. En este apartado se va a describir el sistema propuesto para la simulación en tiempo real de una plataforma PHIL de gran ancho de banda y baja latencia.

4.4.1 Necesidades y objetivos

Entre las principales ventajas de las pruebas basadas en PHIL, se encuentra la flexibilidad que ofrece la bancada y la rapidez de realización de un gran número de pruebas diferentes. Esto es debido, entre otras cosas, a la gran cantidad de modelos de sistemas eléctricos disponibles en el entorno de simulación y a la interfaz gráfica de modelado del simulador, permitiendo cambiar el tipo de test sin invertir un tiempo muy elevado en la modificación del modelo ejecutado en el DRTS y sin necesidad de un conocimiento profundo de programación.

Por consiguiente, para llevar a cabo estas características y funcionalidades intrínsecas de este método de pruebas, junto con los métodos expuestos en la Sección 4.2 y en la Sección 4.3, el sistema de simulación debe asegurar:

- (a) Compatibilidad con un gran número de modelos eléctricos.
- (b) Posibilidad de uso de una herramienta gráfica de modelado que ofrezca una capa de abstracción entre el modelo implementado y el código ejecutado en el simulador.
- (c) Ejecución de modelos en tiempo real con un paso de cálculo reducido.
- (d) Posibilidad de ejecutar varios subsistemas con tiempos de ejecución diferentes para la utilización del algoritmo MRP.
- (e) Sincronización de la simulación con elementos externos, como el PA u otros DRTS.
- (f) Comunicación de baja latencia y gran ancho de banda con el PA y otros DRTS.

El primer punto corresponde con la selección de un estándar que se ve en la Subsección 4.4.2 La segunda especificación corresponde con la selección de la herramienta de simulación de la Subsección 4.4.3. El resto de especificaciones son resueltas mediante la selección del hardware realizado en la Subsección 4.4.4. Por último en la Subsección 4.4.5, se puede ver una verificación del funcionamiento y de los límites teóricos del simulador

4.4.2 Compatibilidad de modelos: estándar FMI

Uno de los estándares más utilizados actualmente para modelado de sistemas dinámicos es FMI [48]. Este estándar se creó dentro de un proyecto europeo para

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

dar solución al problema existente en el proceso de integración de los diferentes modelos realizados en diferentes programas de simulación, existente en el proceso de desarrollo de un vehículo entre el fabricante de equipos originales (OEM) y los distintos suministradores. Esto es debido a que cada suministrador utiliza sus propias herramientas software específicas de diseño y simulación, las cuales no suelen ser compatibles entre sí. La no compatibilidad de estas herramientas impide la realización de una simulación conjunta y holística de todos los sistemas del vehículo, incrementando el tiempo de validación del diseño y, por tanto, disminuyendo la eficiencia y calidad del proceso.

La utilización de este estándar permite la ejecución de un mismo modelo en diferentes entornos de simulación. El modelo tiene el nombre de **Functional Mock-up Unit (FMU)**, el cual es un fichero en formato .zip que contiene:

- Un fichero de descripción XML con la definición de todas las variables.
- El código fuente del modelo en lenguaje C, junto con las librerías utilizadas para la ejecución del modelo y/o binarios, dependiendo de si el suministrador del modelo quiere mostrar el funcionamiento interno o quiere proteger de posibles plagios la ejecución del mismo.
- Datos adicionales del modelo como imágenes, tablas y documentación.

Existen dos tipos diferenciados de modelos **FMU** dependiendo de su utilización, los cuales se pueden ver en la **Figura 4.16**. Un primer tipo es utilizado para el intercambio de modelos, donde el entorno de simulación es el que ejecuta la integración numérica. El segundo tipo es para Co-Simulación (visto anteriormente en **Subsubsección 2.2.1.4**), donde tanto el modelo como la herramienta para su cálculo o solver vienen incluidas en el mismo.

Existen otros ejemplos de estándares de simulación. Por ejemplo, entre los interfaces propietarios del mercado están [189]: Simulink (S-function), Modelica (external function, external object interface), QTronic Silver (Silver-Module API), SimulationX (External Model Interface), NI LabVIEW (External Model Interface, Simulation Interface Toolkit), Simpack (uforce routines) o ADAMS (user routines). Otro ejemplo, en este caso abierto, es el estándar **HLA** [47], el cual también permite la utilización de modelos en diferentes sistemas de simulación.

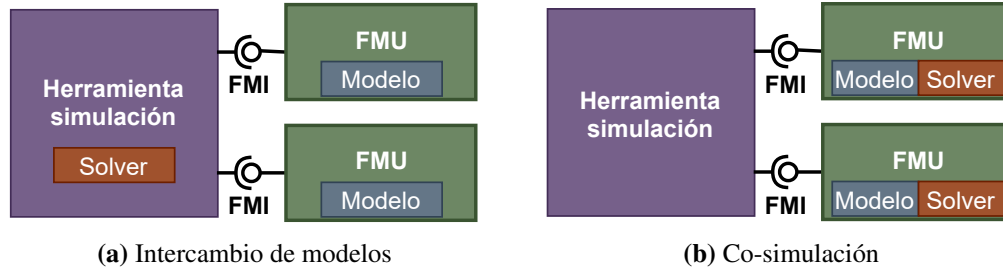


Figura 4.16: Tipos de modelos FMU: (a) para el intercambio de modelos, donde se utiliza la herramienta del simulador o solver para la integración numérica; (b) Para co-simulación, donde la herramienta está incluida dentro del modelo.

Pero debido a la compatibilidad con más de 100 herramientas de simulación con el estándar FMI¹, mucho más elevada que el número de herramientas compatible con el estándar HLA [190], se ha escogido el estándar FMI para los modelos ejecutados en el DRTS. Además, actualmente dispone de una mayor información y comunidad de desarrollo². Todo esto permite cumplir con la primera necesidad descrita en Subsección 4.4.1 (a), gracias a la compatibilidad con los modelos eléctricos desarrollados en esta diversidad de herramientas.

4.4.3 Herramienta gráfica de modelado y de ejecución

Para seguir conservando la flexibilidad y rapidez de las pruebas en PHIL, se necesita una herramienta de simulado gráfica compatible con el estándar de modelado FMI. De entre todas las herramientas compatibles, el entorno de simulación OpenModelica [191] es de los que mejor se adaptan para el uso requerido descrito en Subsección 4.4.1 (b). Este software contiene un entorno de modelado, simulación, optimización y análisis basado en modelos, cuyo desarrollo es íntegro de código abierto [192]. Permite la ejecución del mismo en los tres sistemas operativos principales: Linux, Windows y Apple. OpenModelica está basado en Modelica³, el cual es un lenguaje de código abierto orientado a objetos para el modelado de sistemas

¹<https://fmi-standard.org/tools> (Último acceso: 27/03/2022).

²<https://fmi-standard.org/literature> (Último acceso: 27/03/2022).

³<https://modelica.org> (Último acceso: 27/03/2022).

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

físicos complejos. La arquitectura del entorno de simulación se muestra en [Figura 4.17](#).

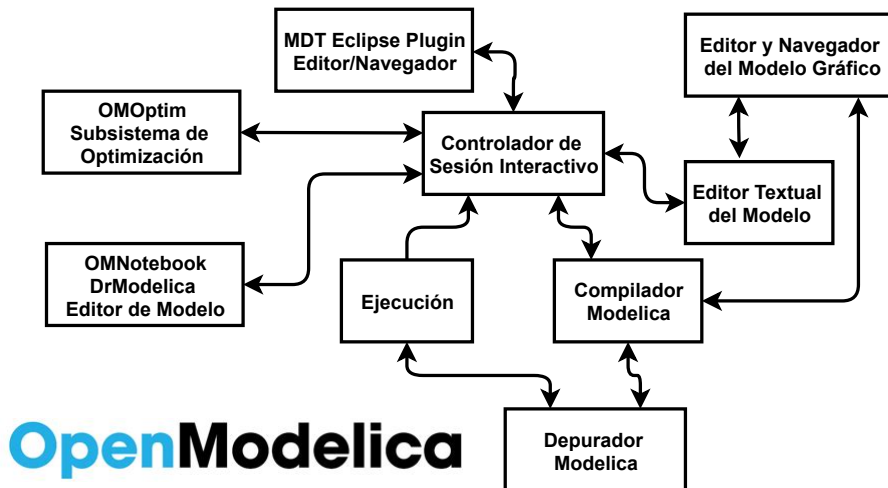


Figura 4.17: Arquitectura del entorno de simulación OpenModelica [191].

Por tanto, es posible con esta herramienta tanto importar modelos externos [FMU](#), los cuales hayan sido diseñados en otros entornos de simulación, como exportar los modelos a este estándar, permitiendo poder ejecutar el modelo en la plataforma [PHIL](#) propuesta. A su vez, la ejecución con Modelica, permite la compatibilidad con modelos de la librería estándar de Modelica creados por la propia asociación. Esta librería contiene tanto los modelos eléctricos y magnéticos necesarios para las pruebas [PHIL](#) de los sistemas de la Smartgrid, como térmicos, de fluidos, de control y mecánicos.

Para el software de ejecución de los modelos [FMU](#) en la plataforma de simulación, se ha utilizado la librería [JModelica](#) [193], la cual dejó de ser de código abierto después de su utilización para esta tesis. Gracias a esta librería, es posible ejecutar los modelos exportados [FMU](#) en lenguaje C, lo que permite poder realizar las operaciones necesarias para ejecutar el modelo en diferentes sistemas embebidos, como la plataforma de simulación a desarrollar. El diagrama de flujo del proceso se puede ver en la [Figura 4.18](#). Primero se realizan los ajustes en el modelo con la interfaz gráfica OpenModelica. Una vez finalizados, se exporta el modelo al estándar [FMU](#) y se carga en el embebido de simulación, donde se utiliza la librería [JModelica](#) para abrir y ejecutar el modelo de la simulación.

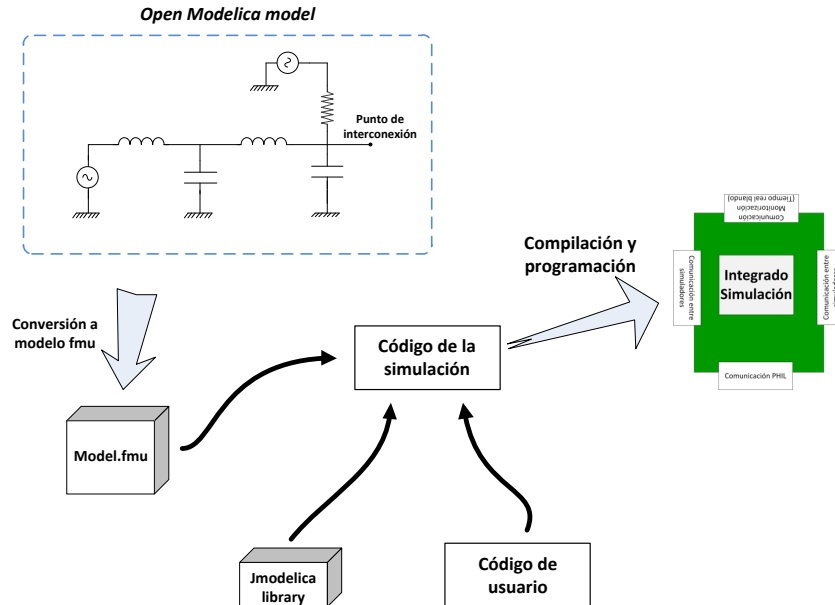


Figura 4.18: Diagrama de flujo del proceso para la conversión del modelo FMU y su compilación para ser ejecutado en el integrado de simulación.

4.4.4 Selección del hardware

4.4.4.1 Valoración entre diferentes plataformas computacionales

Se busca una solución específica para la ejecución de modelos eléctricos: redes eléctricas, baterías, aerogeneradores, fotovoltaica, etc. Para la elección del núcleo encargado de la simulación, se tienen en cuenta las características de potencia de cálculo, versatilidad, escalabilidad y latencia. Los posibles hardware a elegir son **CPU**, **GPU**, **FPGA** y **MPPA**. Teniendo en cuenta que se está llegando a un tope en la frecuencia máxima de operación de los integrados [194, 195], y que el cálculo de redes y equipos eléctricos se compone principalmente de operaciones con matrices [196], la búsqueda de un hardware capaz de trabajar bien en paralelo es una característica muy importante a tener en cuenta. Otra característica importante es la memoria disponible y accesible por el integrado, la cual posibilita simular redes de un elevado número de nodos.

Por velocidad de reloj y por su memoria disponible, una solución basada en **CPU** es la mejor situada en este aspecto, pero la paralelización de estas todavía se

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

encuentra en una fase no muy avanzada. No obstante, las GPU y los MPPA son soluciones intrínsecamente paralelas con unas velocidades de reloj cercanas a las de las CPU, además de disponer elevada memoria, por lo que son soluciones a tener en cuenta. Sin embargo, la FPGA no alcanza velocidades de reloj ni memoria elevadas, pero es muy apta para la paralelización, por lo que su utilización se ve reducida a modelos pequeños ejecutados a un tiempo de cálculo muy reducido.

Para valorar la versatilidad, se tiene en cuenta la facilidad con la que se puede cambiar de modelo simulado sin realizar prácticamente cambios, tanto en el hardware como en el software. Bajo este criterio, cuanto más a medida sea la solución, menos versátil llegará a ser. Por ello la utilización de una CPU, cuyas soluciones y aplicaciones son muy genéricas, es la opción más versátil, siendo la FPGA la solución de menor versatilidad.

Una de los principales objetivos buscados en el hardware de simulación es la reducción de la latencia entre el simulador y la interfaz de potencia. Por esta razón, los integrados diseñados para sistemas embebidos como la FPGA y MPPA parten en mejor posición, debido al fuerte acoplo del hardware con sus distintos periféricos y memoria. Integrados como las GPU, y por último las CPU, parten en una posición un poco más alejada en cuestión de latencia debido al escaso acoplo con los periféricos, provocando latencias indeseadas. Para la comparación visual de las cuatro soluciones, en Figura 4.19 se ha realizado una puntuación de las anteriores características, donde la valoración varía entre 0 y 5, siendo este último la valoración máxima positiva.

Para el cumplimiento de los objetivos (c) y (f) del simulador en tiempo real propuesto, es necesario obtener el hardware con la menor latencia posible. Esto es debido a que asegura una comunicación y ejecución de las pruebas PHIL con el menor retraso posible. Es por ello, tal y como se ha ido indicando en este capítulo, que un simulador basado en FPGA es el que más asegura esta finalidad. Este hardware también puede satisfacer el objetivo (e), necesario para la sincronización con los elementos externos, gracias a su disposición de entradas y salidas digitales y al gran ancho de banda que ofrecen sus interfaces de comunicación.

El objetivo (d) indica la posibilidad de ejecutar varios subsistemas con diferentes tiempos de ejecución. Para complementar la falta de versatilidad y memoria de

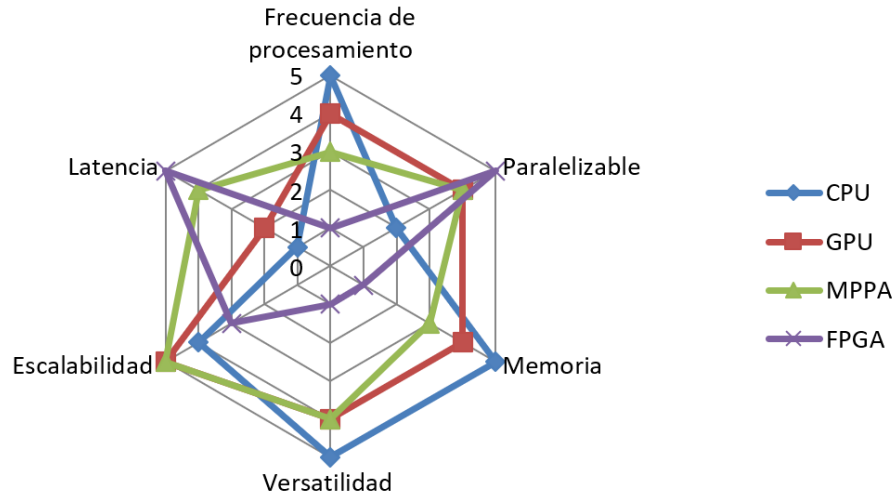


Figura 4.19: Valoración gráfica de las principales características de los diferentes sistemas de computación para la plataforma de simulación.

la **FPGA**, lo cual provoca una reducción del tipo de modelos a ejecutar, un simulador basado en **CPU** es una buena opción. Sin embargo, para la simulación de redes eléctricas, las cuales se basan en la resolución de matrices [196], este hardware no es el más adecuado debido a su incapacidad para ejecutar procesos en paralelo. Aquí, sistemas de computación basados en **GPU** o un **MPPA** tiene un mejor desempeño debido a su naturaleza intrínsecamente paralela [197]. Aunque las **GPU** actualmente tienen una potencia de cálculo superior a las **MPPA**, son sistemas que no han sido diseñados para ejecuciones de tiempo real por debajo del milisegundo, teniendo una latencia más elevada que los **MPPA**. Por esta razón, la utilización de una **CPU** con un co-procesador basado en **MPPA**, puede aumentar la potencia de cálculo necesaria para la ejecución de modelos de red eléctrica de un número elevado de nodos, en un tiempo relativamente reducido.

4.4.4.2 Plataforma computacional elegida

La plataforma hardware elegida es la tarjeta Parallella [198], realizada por Adapteva. Esta se basa en un sistema de procesamiento paralelo escalable, la cual contiene dos integrados principales. El primero es un **MPPA** de 16 núcleos de Adapteva y

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

el segundo es un integrado de Xilinx¹, que contiene un procesador doble ARM-A9 junto a una FPGA. En la Figura 4.20 se muestra esta tarjeta junto con los principales componentes, periféricos e interfaces de comunicaciones.

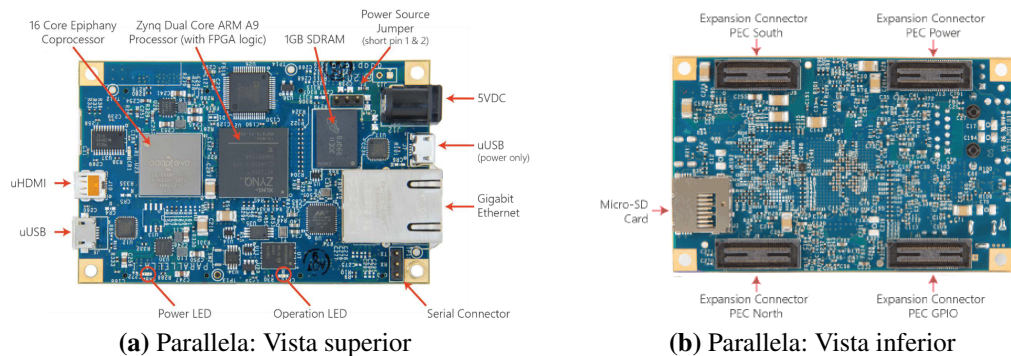


Figura 4.20: Vista superior e inferior de la tarjeta de computación Parallela [198].

El MPPA se ejecuta a una frecuencia de 600 MHz con un pico de computación de 25 GFLOPS. Tiene un ancho de banda de acceso a memoria de 32 Gb/s y entre procesadores de 8 Gb/s, con solo 1.5 ns por salto. Dispone de dos comunicaciones externas para la conexión con otros MPPA a 2.6 GB/s, que permiten escalar el procesador paralelo. La comunicación con la CPU se realiza a través de una lógica propia de 48 pines desarrollada en la FPGA llamada eLink, consiguiendo un ancho de banda de 1.3 GB/s.

La CPU basada en ARM se ejecuta a una frecuencia de 667 Mhz, la cual dispone de diferentes periféricos de comunicación ampliamente utilizados como Ethernet, CAN, UARTs o SPI, aumentando la versatilidad de la solución. Además, al ser de doble núcleo, es posible utilizar una de ellas con sistema operativo Linux para aplicaciones de gestión, y la otra con otro sistema operativo centrado en la ejecución de procesos en tiempo real. Al estar dentro del mismo encapsulado que la FPGA, estos dos elementos se encuentran fuertemente acoplados, gracias al bus interno AXI² El modelo más completo de FPGA de Parallela dispone de 85k celdas lógicas programables, 53.2k de “look-up tables” y de 106.4k “flip-flops”. El ancho de banda de comunicación entre la FPGA y el MPPA es de 2.85 GB/s.

¹<https://www.xilinx.com/products/silicon-devices/soc/zynq-7000.html> (Último acceso: 27/03/2022).

²https://support.xilinx.com/s/article/1053914?language=en_US (Último acceso: 27/03/2022).

4.4 Sistema de simulación en tiempo real

Esta plataforma permite dividir la simulación en dos subsistemas con dos frecuencias de ejecución independientes, necesarios para la implementación del algoritmo **MRP**. El subsistema de menor paso de cálculo sería ejecutado en la **FPGA**, mientras que el de mayor paso de cálculo se ejecuta en la **CPU** con la ayuda del **MPPA** para la aceleración en el cálculo de matrices. En la **Figura 4.21** se muestra el esquema de comunicación entre los diferentes elementos del sistema de simulación en tiempo real planteado.

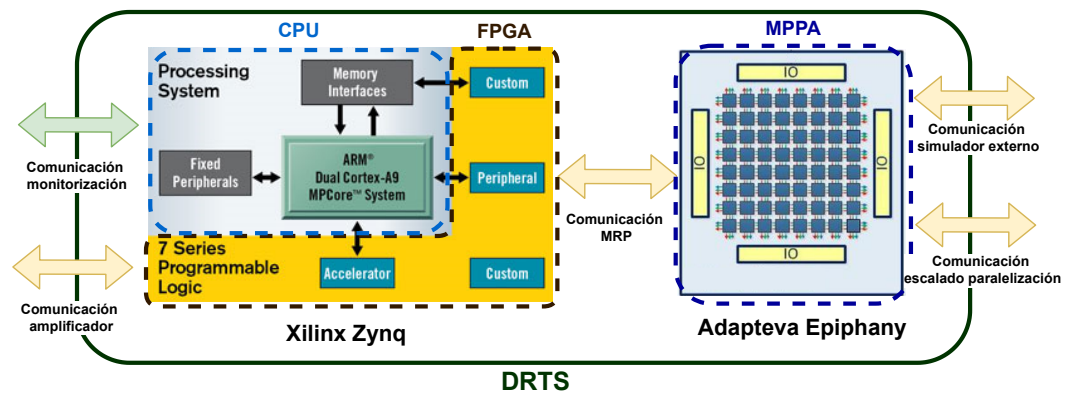


Figura 4.21: Esquema de comunicación entre los diferentes elementos del sistema de simulación en tiempo real planteado para la realización de una plataforma de pruebas **PHIL** de gran ancho de banda.

La comunicación con el amplificador de potencia se realiza directamente con la **FPGA**, la cual ejecuta el subsistema más rápido. La **FPGA** también se encarga de la comunicación con otros simuladores, gracias a la posibilidad de funcionar como interfaz de comunicaciones de reducida latencia entre los diferentes elementos de la tarjeta. Para la comunicación entre procesadores, si se quiere ampliar la computación paralela, el **MPPA** dispone de dos puertos de comunicación propios para su escalado. La monitorización y gestión del **DRTS** se realiza a través de la **CPU**, la cual, dado que permite su funcionamiento con sistema operativo Linux, ofrece un gran número de recursos, incluyendo la posibilidad de creación de un **HMI**.

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

4.4.5 Pruebas realizadas

4.4.5.1 Verificación de funcionamiento

Para la prueba de simulación de un modelo *FMU*, utilizando la librería de *Jmodelica* [193] y código propio, tal y como se definió en la *Figura 4.18*, se elige realizar una simulación sencilla de un circuito eléctrico para su verificación. Esta simulación se puede ver en la siguiente *Figura 4.22*.

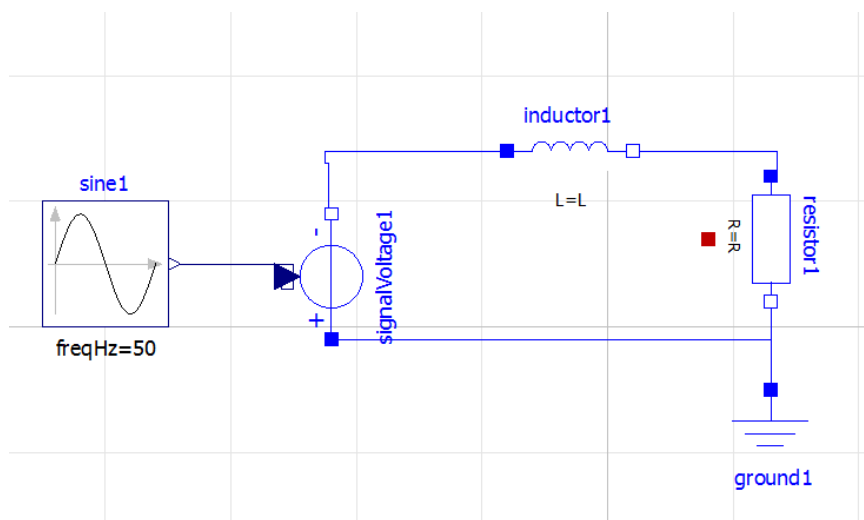


Figura 4.22: Modelo de un circuito eléctrico simple para la comprobación del correcto funcionamiento del modelo *FMU*.

La simulación está basada en un circuito eléctrico sencillo, con un generador de tensión a 100 V de amplitud y 50 Hz, una inductancia “Inductor1” de 1 H inicializada con corriente nula, y una resistencia “Resistor1” de 1 Ω . En la *Figura 4.23a* se muestra el resultado de la corriente por la resistencia durante el primer segundo de simulación en *OpenModelica*. Para la comprobación del funcionamiento del simulador, se exporta este mismo modelo a formato *FMU*, gracias a la herramienta integrada en el simulador. Utilizando el flujograma descrito en la *Figura 4.18*, se compila el código y se ejecuta en la *CPU* externa con sistema operativo Linux. Los resultados obtenidos en cada paso de simulación se exportan a un fichero *.txt*, los cuales se representan gráficamente en la *Figura 4.23b*.

Se puede observar que los resultados obtenidos tanto en el entorno de simulación *OpenModelica* como en la *CPU* utilizando el modelo exportado *FMU* son

4.4 Sistema de simulación en tiempo real

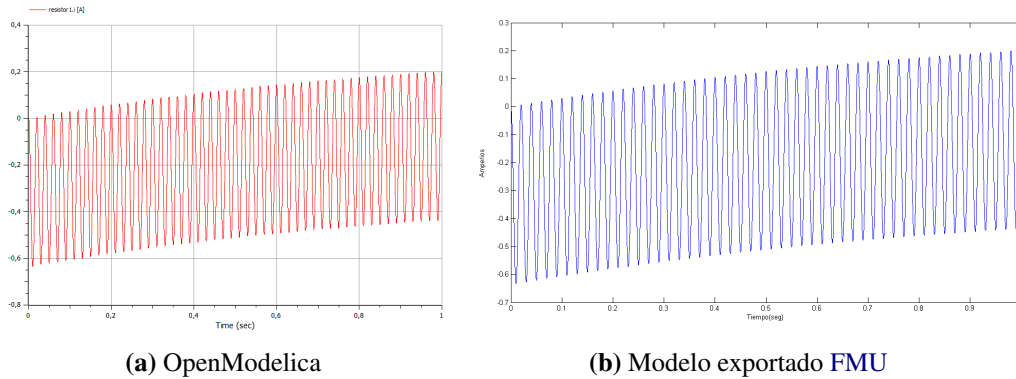


Figura 4.23: Resultado de la simulación del modelo desarrollado en Figura 4.22: (a) Simulación en software OpenModelica (b) Simulación del modelo exportado FMU en CPU externa con sistema operativo Linux.

idénticos. Por lo tanto, estos resultados verifican el funcionamiento correcto de la herramienta implementada.

4.4.5.2 Simulación con interacción externa

En el anterior apartado se ha demostrado que es posible realizar simulaciones de modelos FMU fuera del entorno de simulación en el que fueron creados. Pero para la comprobación de esta solución para la simulación en tiempo real y pruebas en PHIL, es necesario confirmar que el modelo puede interactuar con elementos externos a la simulación original. Es decir, que los valores de corriente o tensión con los que reacciona el HUT, afecten a la simulación en tiempo real. Para ello se ha realizado el modelo mostrado en la Figura 4.24 para su comprobación en OpenModelica.

En esta Figura 4.24 se ha realizado un modelo sencillo con una fuente de tensión de 100 V de amplitud a una frecuencia de 50 Hz. A esta fuente de tensión hay conectadas dos resistencias en serie “Resistor1” y “Resistor2”, de 1 Ω cada una. Para comprobar la interacción, se ha incluido un generador de corriente en paralelo con la resistencia “Resistor2”. Este generador de corriente permitirá al simulador encargado de la ejecución del modelo FMU la modificación de la corriente en el circuito. De esta manera, se comprueba que el resultado de la simulación cambia y varía dependiendo del valor que adopte este generador de corriente, el cual emula

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

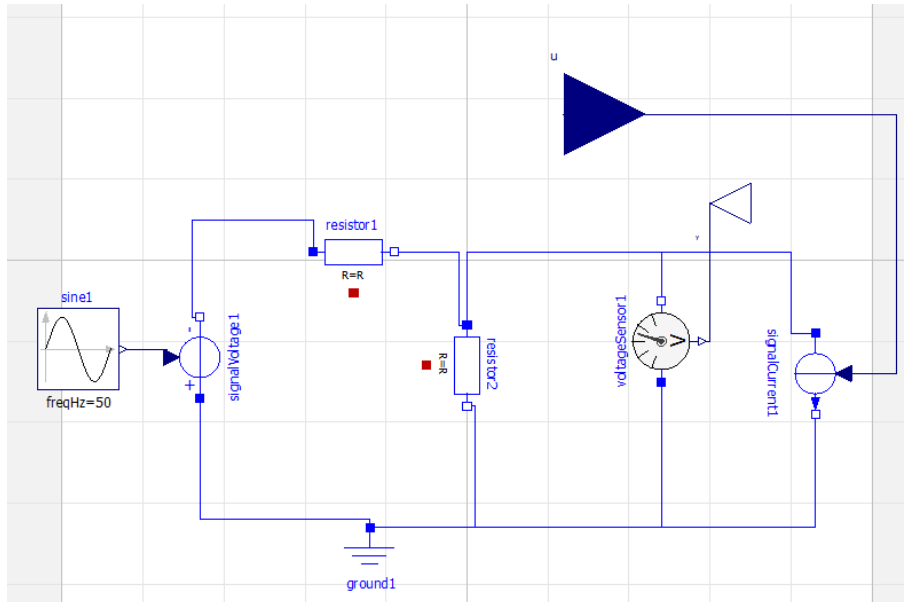


Figura 4.24: Modelo realizado en Open Modelica para la comprobación del funcionamiento con interacción externa.

la medida recibida por el PA en una prueba real PHIL.

Primero, para comprobar el funcionamiento del circuito sin la interacción de medidas externas, se ejecuta la simulación con una consigna nula en el generador de corriente. El resultado de la corriente circulando en la “Resistor1” de esta simulación en OpenModelica se muestra en la Figura 4.25. Una vez obtenido este resultado, se exporta el modelo de OpenModelica a modelo FMU. Después se implementa la simulación siguiendo el proceso descrito en Figura 4.18, pero con la peculiaridad de que con cada paso de simulación ($t=0.0001$ s) la corriente se incrementa 0.1 A en el generador de corriente. Es decir, se emula el comportamiento que tendría este circuito en PHIL si el PA, fuera midiendo un incremento de corriente de 1 A/ms. El resultado obtenido se muestra en la Figura 4.26.

Se puede comprobar en esta última figura que el resultado es satisfactorio, debido a que la corriente continua por la resistencia ha aumentado hasta los 250 A en rampa de manera lineal. Es por ello que la solución es apta para la interacción con otros elementos externos y por tanto para pruebas HIL y PHIL, dado que el resultado de la simulación ha cambiado respecto al modelo original y de manera coherente.

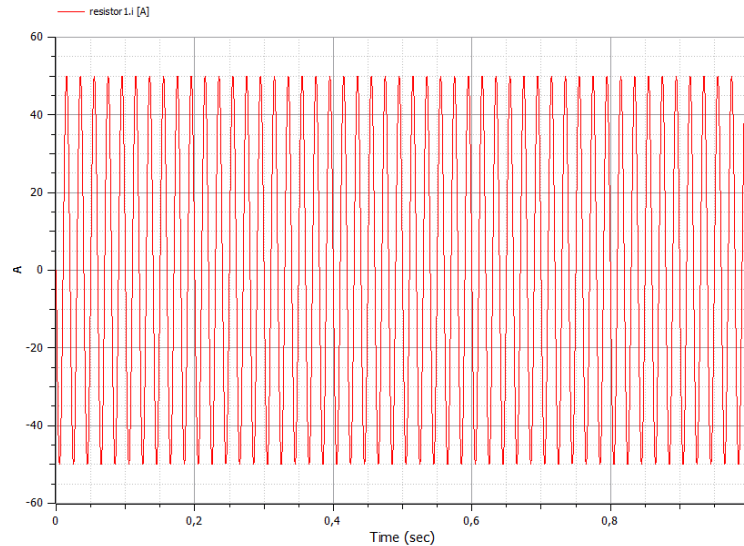


Figura 4.25: Resultado de simulación de la corriente por la “Resistor1” que se visualiza en la [Figura 4.24](#).

4.4.5.3 Cálculo de la capacidad de computación necesaria

Es difícil conocer de antemano los límites de ejecución de la plataforma en tiempo real, debido a que la plataforma de simulación es lo suficientemente versátil como para poder ejecutar diferentes modelos de sistemas eléctricos. Para estimar la capacidad de ejecución de la misma, se toma el ejemplo realizado en [199]. En él, se realiza un modelo con 8 variables de estado como el que se ve en la [Figura 4.27](#), y se va escalando a 16, 32 y 64 para medir el rendimiento de su simulador.

Se realizan estos modelos en OpenModelica, y se exportan a formato FMU para ser ejecutados en la plataforma externa. Este fichero es abierto por el programa utilizando la librería JModelica. Mediante la librería PAPI [200], se calculan los tiempos de ejecución introduciendo una medida en cada paso de cálculo de la simulación. Este resultado es exportado a un fichero .csv con los valores de los FLOPS necesarios para cada ciclo de ejecución ([Figura 4.18](#)). Una vez obtenida la información de los FLOPS que han sido necesarios para ejecutar cada ciclo de ejecución, se guardan y se visualizan los resultados, los cuales se pueden ver en la [Figura 4.28](#).

En los datos mostrados en la [Figura 4.28](#), se puede ver como si las variables de estado del modelo aumentan, los FLOPS necesarios para ejecutar cada ciclo de

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

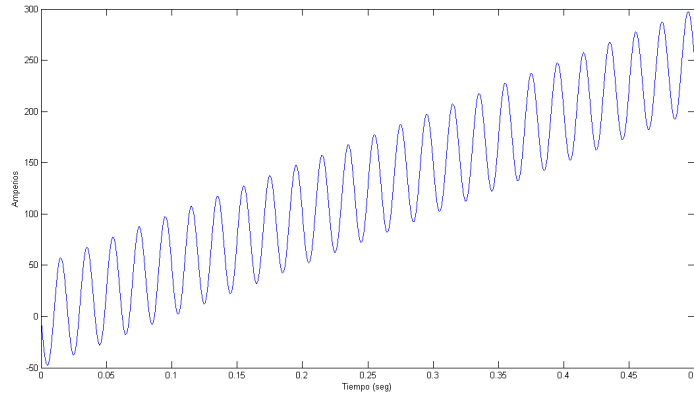


Figura 4.26: Resultado del código de ejecución del modelo **FMU** exportado por Open Modelica, añadiéndole 0.1 A al generador de corriente por cada paso de simulación.

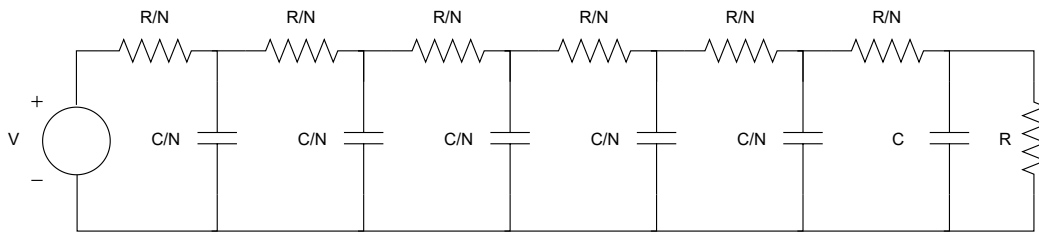


Figura 4.27: Modelo de ejemplo utilizado para medir el rendimiento del simulador.

ejecución también se incrementan. Además, el simulador tiene un pico de cálculo al iniciar la simulación de los modelos, llegando a converger pasado un número determinado de ejecuciones. En la [Tabla 4.1](#) se tratan estos datos para obtener el número máximo y mínimo de **FLOPS** obtenidos por variable de estado en cada uno de los modelos.

Tabla 4.1: **FLOPS** necesarios por cada variable de estado (VE) en cada modelo.

Variables de Estado	Max FLOPS	Min FLOPS	Conver. FLOPS	Conver. FLOPS/VE	FLOPS Max/VE	FLOPS Min/VE
8	53904	47939	48097	6012,125	6738	5992,375
16	104435	87713	88640	5540	6527,187	5482,062
32	209851	166061	166424	5200,75	6557,843	5189,406
64	526526	322265	48097	5035,390	8226,968	4131,468

Tomando los **FLOPS** obtenidos en la zona de convergencia de las simulacio-

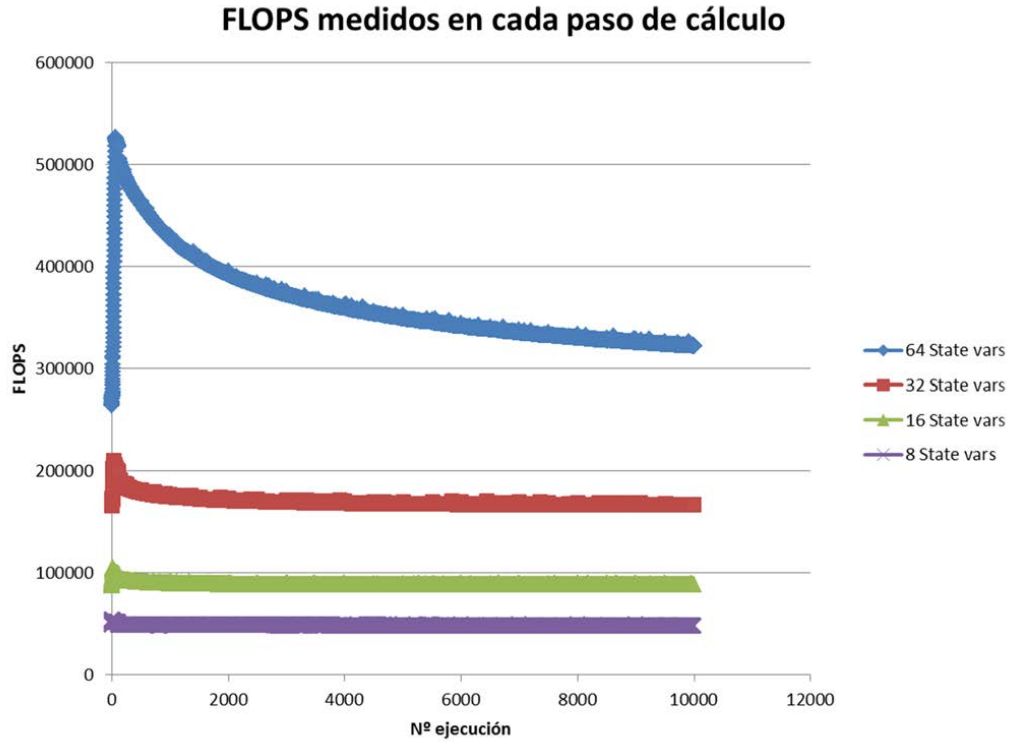


Figura 4.28: FLOPS medidos en cada paso de cálculo en cada uno de los cuatro modelos ejecutados.

nes, se obtiene que el máximo valor de FLOPS por variable de estado es de 6012 FLOPS/VE. Este dato se va a utilizar como referencia aproximada para conocer los límites del simulador. Uno de los tiempos más utilizados de paso de cálculo para simular sistemas eléctricos en tiempo real es de 50 μ s (20 kHz) [105, 201, 202, 203]. Si multiplicamos este valor de 20000 ejecuciones por segundo por el número de FLOPS/VE calculado anteriormente, obtenemos el número mínimo de FLOPS por variable de estado (VE) necesarios para ejecutar un modelo en tiempo real:

$$6012 \frac{FLOPs}{VE} \cdot 20000 \text{ s}^{-1} \simeq 120 \frac{MFLOPs}{VE \cdot s} \quad (4.1)$$

Este resultado obtenido en la Ecuación 4.1 sirve como orientación para conocer los límites de ejecución de un simulador en tiempo real con el software de simulación desarrollado. Teniendo en cuenta que el Epihany-III 16-core [198] llega hasta los 32 GFLOPS de pico, teóricamente se podrían ejecutar modelos en tiempo real

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

a un paso de cálculo de 20 kHz de hasta 266 variables de estado.

4.5 Amplificador de potencia

4.5.1 Objetivo

En [Subsección 4.2.5](#) se ha llegado al objetivo de desarrollo de un amplificador de potencia que actúe principalmente como fuente de corriente. Esto es debido a que el ancho de banda en corriente de los desarrollos actuales no supera los pocos kHz [204], tal y como se ha podido ver en [Subsección 4.2.4](#). Estos amplificadores de corriente permiten la prueba de aquellos equipos que funcionen como fuente de tensión, como es el caso de los transformadores inteligentes tanto en AC como en DC. Las características eléctricas a buscar en este amplificador se detallan en la [Tabla 4.2](#).

Parámetros eléctricos amplificador	
Potencia Nominal AC	10 kW
Eficiencia	>90 %
Vbus	800 V
Tensión nominal (AC RMS)	230 V
Tensión nominal (DC, AC pico)	350 V
Tensión máxima (P_{AC})	≥ 375 V
Corriente (AC RMS)	≥ 43.5 A
Corriente (DC, AC pico)	≥ 61.5 A
Rizado máximo corriente	< 3 % Inom
Número máximo ramas	≤ 32
Ancho de banda en corriente a Pnom	> 5 kHz
Número de cuadrantes	4
EMI Conducidas	CISPR 11, Class A [205]

Tabla 4.2: Tabla con los parámetros eléctricos del amplificador.

Para las pruebas [PHIL](#) donde sea necesario la utilización de un amplificador como fuente de tensión, se propone la hibridación de este amplificador de corriente conmutado con un amplificador lineal. El amplificador lineal trabajaría como fuente de tensión, mientras que el amplificador propuesto se encargaría del suministro de la corriente demandada por el [HUT](#). De esta manera, se obtendría un ancho de banda en tensión elevado, el cual se obtiene gracias al amplificador lineal, y la

eficiencia de los amplificadores conmutados, debido a que el amplificador propuesto sería el encargado principal del suministro de potencia. Un ejemplo gráfico de utilización se muestra en la [Figura 4.29](#).

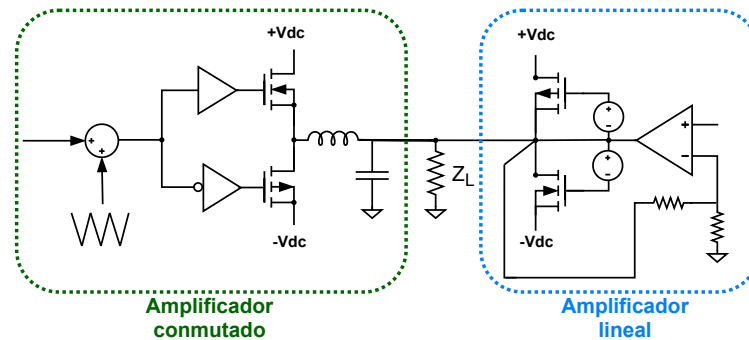


Figura 4.29: Hibridación del amplificador conmutado de corriente propuesto con un amplificador lineal, obteniendo una mejora en el ancho de banda respecto a los amplificadores conmutados de tensión y una mejora en la eficiencia respecto a los amplificadores lineales de tensión.

4.5.2 Topología propuesta

Los convertidores basados en la topología Buck-Boost, son ampliamente utilizados para el control de corriente y tensión en numerosas aplicaciones de electrónica de potencia. Esto es debido a que es una topología simple que facilita el diseño y el control en todo el rango de funcionamiento. Es por ello que se elige como base de diseño para el amplificador de corriente. A fin de aumentar el ancho de banda del convertidor, es necesario incrementar la frecuencia de conmutación de los transistores. Pero este incremento en frecuencia tiene un frontera superior, principalmente determinada por el límite térmico de los componentes. Dependiendo de la aplicación y su uso, este límite se puede encontrar tanto en el propio transistor como en los elementos pasivos necesarios para el filtrado, como por ejemplo las inductancias. A su vez, si se utilizan técnicas de conmutación duras, el límite en frecuencia del transistor también es dado por la corriente nominal del mismo, ya que las pérdidas de conmutación aumentan si la corriente y tensión nominal del convertidor aumentan.

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

Para superar esta barrera que limita el ancho de banda de los convertidores, se propone una paralelización masiva de convertidores Buck-Boost, distribuyendo la corriente total por el número total de ramas. Esta distribución de la corriente permite el uso de transistores de una corriente nominal más reducida pero con un mejor comportamiento en conmutación, debido a la reducción de la capacidad de sus elementos parásitos. Además, realizando una conmutación con portadoras desfasadas y entrelazadas entre si, el rizado final de la corriente de salida puede ser reducida por un factor N^2 , siendo N el número de ramas totales del convertidor. En la Figura 4.30 se muestra el esquemático propuesto del amplificador de potencia.

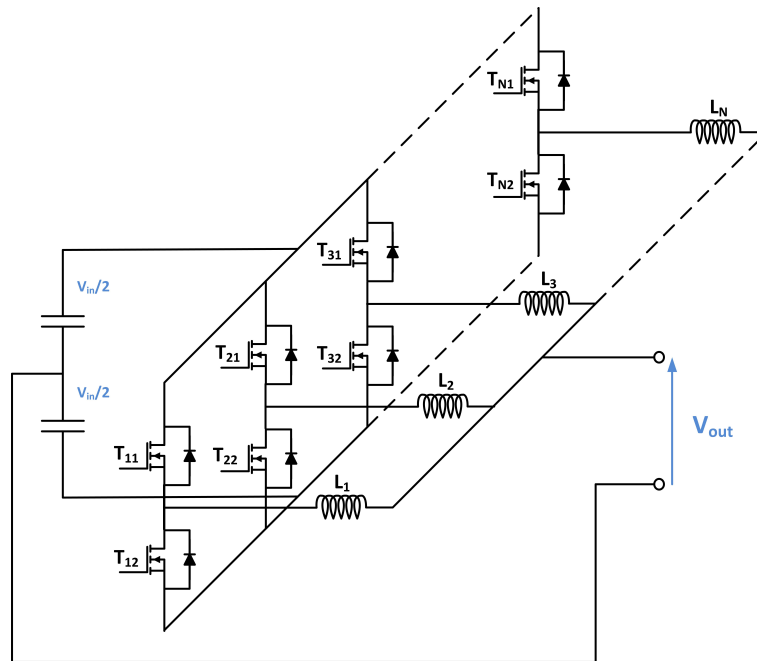


Figura 4.30: Esquemático del amplificador de potencia propuesto.

A su vez, la paralelización de etapas de electrónica de potencia ofrece las siguientes mejoras:

- Reducción de pérdidas:
 - Se paralelizan las resistencias internas de los transistores, obteniendo una resistencia final de salida más reducida.
 - A potencias reducidas, es posible trabajar con un menor número de ramas, permitiendo obtener eficiencias altas en todo el rango de potencias.

- Reducción de volumen:
 - Se divide el tamaño del convertidor y de sus elementos en etapas más pequeñas, las cuales permiten montar un amplificador con un factor de forma más adaptado a la aplicación.
 - La mejora en la eficiencia permite reducir el tamaño del disipador.
 - Reducción del tamaño de los pasivos a utilizar para su filtrado, debido a la reducción del rizado de corriente en $1/N^2$, siendo N el número de etapas paralelizadas.
- Reducción de peso:
 - La mejora en la eficiencia permite reducir el tamaño del disipador, y por tanto, el peso total del convertidor.
 - Se reduce el peso de los pasivos a utilizar para su filtrado, debido a la reducción del rizado de corriente en $1/N^2$, siendo N el número de etapas paralelizadas.
- Reducción de coste:
 - La reducción del tamaño de los elementos permite la fabricación completa del convertidor por máquinas de ensamblado. Esto reduce la mano de obra final a utilizar, lo que reduce sensiblemente los costes.
- Aumento de la robustez ante fallo:
 - Debido a la paralización, el equipo puede seguir funcionando en caso de fallo de una etapa de potencia, con una reducción de la potencia final de P_{nom}/N . Esto supone una mejora importante respecto a los equipos de una sola etapa o de etapas serializadas, en la que el fallo de un transistor inutiliza el equipo completo.
 - La completa mecanización del montaje reduce la tasa de fallo debido a problemas de fabricación humanos.

El reto del desarrollo del convertidor reside en el aumento de complejidad en el control, ya que se eleva el número de etapas a manejar. Esto incrementa el coste debido a la elevada utilización de sensores de corriente de cada una de las ramas, y a la utilización de controladores de elevadas prestaciones que puedan medir y procesar todas estas señales. También, el diseño hardware presenta importantes retos para conseguir la interacción de un número elevado de ramas con solo un controlador.

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

4.5.3 Elección del modo de conducción

Una de los modos de conducción más utilizados es el modo **CCM**, en el cual la corriente circula de modo continuo por la bobina de salida. Sin embargo, existe la posibilidad de utilización de un modo de conducción discontinuo o **DCM** para el amplificador propuesto. Las ventajas de la conducción **DCM** respecto a la conducción **CCM** son:

- **No existen ceros en el plano derecho:** en un funcionamiento como boost, si hay una demanda de corriente elevada de la carga, la tensión de esta carga se ve reducida. Para aumentar la salida de tensión (V_{out}), el control aplica más duty ($D=1-V_{in}/V_{out}$). Al aplicar más duty, este está más rato en conducción y durante el mismo la tensión baja y tarda más tiempo en subir. Es decir, se cambia de fase y pasa a re-alimentación positiva. Otra forma de explicarlo es que el control aplica una acción pero la tensión baja, hasta que el **SR** de corriente de la bobina es capaz de alcanzar la corriente necesaria para compensar la caída de tensión, y este comienza a subir la misma. Dependiendo de la frecuencia de localización de ese cero, si este está dentro del ancho de banda del sistema puede llegar a desestabilizarlo. Una elevada inductancia de salida aumenta este problema debido al incremento en el tiempo de respuesta. Además en [206] se establece que:
 - Como la evolución de la corriente en la bobina depende según la ecuación $I_L = (V_L x t) / L$, la utilización de una inductancia elevada empeora el comportamiento.
 - Si se aplica un ciclo de trabajo por encima del **SR** de la corriente de la bobina, el voltaje de salida disminuye y oscila la salida.
- **Función de transferencia de un solo polo:** Si se utiliza esta forma de conducción en un Buck, se elimina la afección que tiene la bobina a la salida. Por tanto, el único polo existente será el del condensador de salida, por lo que el sistema es estable en todo el rango de frecuencias.
- **Eliminación de sensores de corriente:** En la conmutación **CCM** se utiliza un sensor de corriente por cada rama para realizar un control en lazo cerrado de la corriente. Dado el **SR** de la corriente por la bobina, el cual tiene que ser

lo suficientemente lento para reducir el rizado de corriente de salida, es necesario medir la corriente media que circula por esta, la cual permite el control de su evolución en el tiempo. Esta media se obtiene gracias a la utilización de un filtro paso bajo, que filtra la componente armónica del rizado. Para el control **DCM**, la inductancia de la bobina es mucho más reducida, por lo que su **SR** es muy elevado. De tal manera que en cada periodo de conmutación la corriente en la bobina empieza y termina en $\cong 0$ A. Si se deja el suficiente tiempo entre la finalización de la corriente y el comienzo del siguiente periodo, es posible asegurar el control correcto de esta sin necesidad de sensores para su medición y realimentación.

- **Reducción pérdidas de conmutación:** debido a que en cada ciclo, la corriente empieza y termina en 0 A, las pérdidas de encendido del primer **MOSFET** en conmutar y las de recuperación inversa del último en hacerlo son nulas. Este también tiene unas pérdidas de conmutación nulas en su paso a encendido, ya que en ese momento la corriente circula por el diodo en antiparalelo, por lo que su tensión es prácticamente nula.

Pero la conducción **DCM** también tiene las siguientes desventajas respecto a la conducción **CCM**:

- **El ciclo de trabajo depende de la carga:** en convertidores que funcionan como fuente de tensión, la acción es muy dependiente de la corriente que consume la carga. Es decir, en un convertidor **CCM** ideal donde se desprecia la caída de tensión en la resistencia en serie equivalente de la bobina, la tensión de salida es la aplicada por el ciclo de trabajo independientemente del consumo de la carga. En **DCM**, la acción de salida tiene que ajustarse continuamente a la corriente consumida por la carga en el caso de control en tensión de la misma. Para el control en corriente, es el amplificador el que determina la corriente consumida por el **HUT**, siendo este el elemento que impone la tensión dependiendo de esta corriente.
- **Oscilación cuando la corriente llega a 0 A:** cuando la corriente llega a 0 A y no se conmutan los **MOSFETs** de la rama, se crea una resonancia entre las capacidades parásitas de los **MOSFETs** y la bobina de salida, que puede llegar a producir importantes interferencias electromagnéticas. Por ello, es

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

muy importante la elección de elementos discretos de una reducida capacidad parásita, ya que la energía será menor. Esto provoca una mitigación más rápida de la resonancia debido a la resistencia interna de la bobina.

En la anterior comparativa se ha podido observar las ventajas de la utilización de un modo de conducción discontinuo o DCM. Sin embargo, la oscilación o resonancia de la corriente supone una gran desventaja y por ello, en el siguiente apartado se va a realizar un análisis más exhaustivo de la misma, necesario para la posterior medida correctora que se expondrá más adelante en la [Subsubsección 4.5.4.4](#).

4.5.3.1 Análisis de la resonancia

Para el estudio de este problema, en la siguiente [Figura 4.31](#) se puede ver el esquema del convertidor Buck-Boost, donde se muestran los principales elementos parásitos de los transistores.

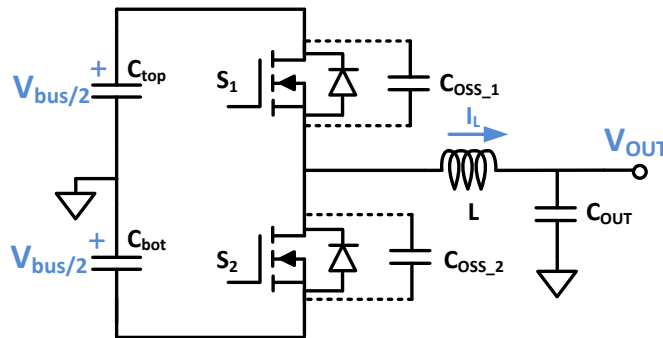


Figura 4.31: Diagrama de bloques del convertidor Buck-Boost en el que se muestran tanto las capacidades parásitas C_{OSS_1} y C_{OSS_2} de los MOSFET.

Como se ha explicado antes, en la parte del periodo que no se produce conmutación ni del transistor S_1 ni del S_2 , se crea una resonancia entre la bobina de salida y las capacidades parásitas de los MOSFETs. A esta capacidad parásita se le nombra en la literatura como C_{oss} , la cual es la suma de la capacidad entre drenador y fuente C_{ds} y la capacidad entre puerta y drenador C_{gd} [207]. En la [Figura 4.32](#) se muestra un ejemplo de la evolución de la corriente y la tensión en el punto medio de los MOSFET S_1 y S_2 en dos periodos de conmutación, donde en más del 65 % del periodo no conmuta ningún transistor.

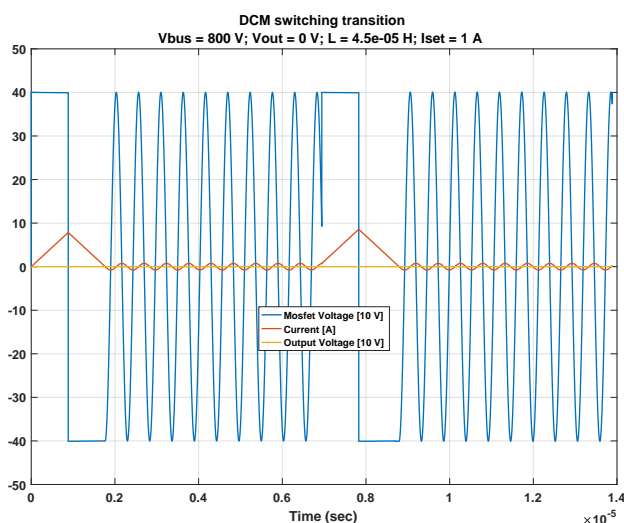
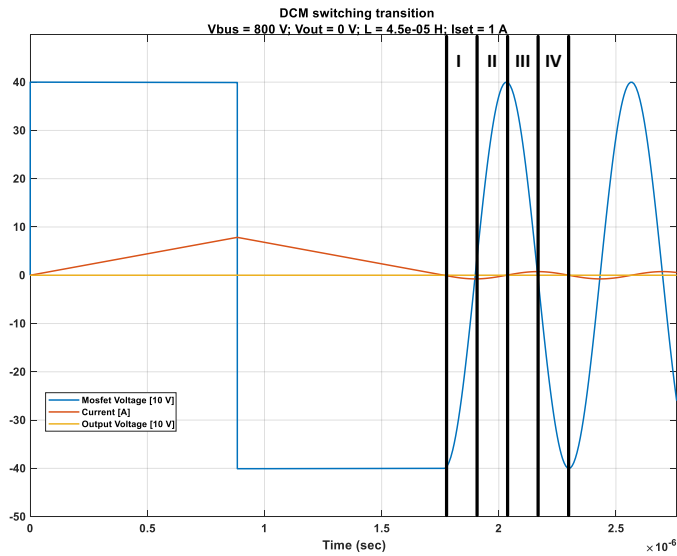


Figura 4.32: Ejemplo que muestra la resonancia producida entre las capacidades parásitas C_{oss} del transistor y la inductancia ideal de salida, cuando no conmuta ningún transistor de la rama conducción DCM. En este caso, en más del 65 % del periodo de conmutación se produce la oscilación no deseada de la tensión en el punto medio de los MOSFET S_1 y S_2 .

Para analizar mejor el porqué de esta oscilación, en la Figura 4.33 se ha realizado un aumento del primer periodo de conmutación de la Figura 4.32 y se ha dividido en cuatro zonas diferentes para estudiar los valores de tensión y corriente tanto por los condensadores parásitos de los transistores como de la bobina respectivamente. Además, se muestra el esquema eléctrico en cada zona, dejando en el caso de los transistores S_1 y S_2 sus capacidades parásitas, ya que son los elementos que resuenan con la bobina de salida, y quitando el resto de elementos. Esto es debido a que la evolución en tensión evita alcanzar el valor necesario para que el diodo se polarice en directa y conduzca.

Se puede ver en este caso que, en el instante en el que el transistor S_2 se abre, este tiene una tensión de 0V, teniendo el transistor S_1 toda la tensión del bus completo. Dado que V_{out} tiene el mismo potencial que el punto medio del bus de continua, los condensadores parásitos de S_2 y S_1 se irán cargando y descargando respectivamente hasta alcanzar el punto de equilibrio de V_{out} (Zona I). Cuando alcanzan este potencial, la bobina L está cargada con la misma energía consumida y generada por cada uno de los condensadores [208], hecho que provoca el aumento de

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA



(a) Diferenciación de 4 zonas en un periodo completo de resonancia.

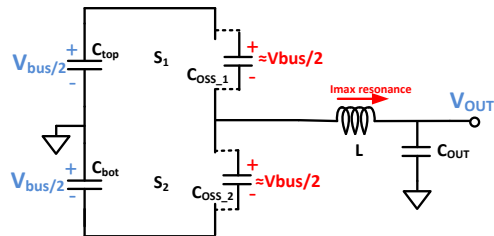
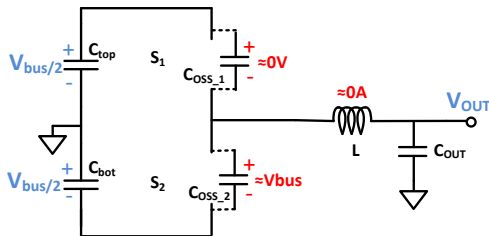
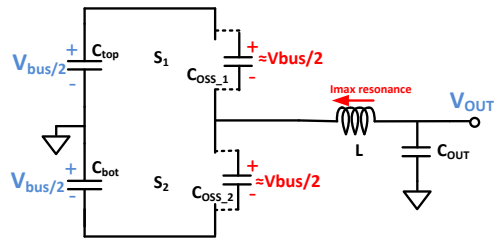
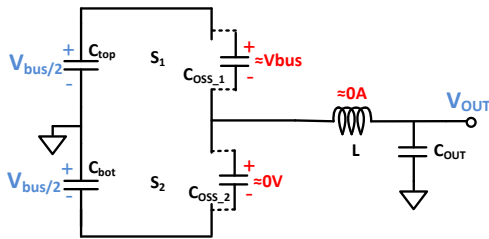


Figura 4.33: Evolución de la corriente por la bobina y la tensión en las capacidades parásitas durante la resonancia.

la tensión de C_{oss2} hasta V_{bus} y la descarga a 0 V de C_{oss2} (Zona II). Llegados a este punto, las Zonas III-IV son análogas a las Zonas I-II, salvo que en este caso S_1 es el transistor descargado y S_2 está cargado a V_{bus} , teniendo la corriente un sentido inverso. Dado que no existe un elemento disipativo elevado que amortigüe la resonancia, esta continua casi sin pérdida de amplitud hasta el periodo siguiente de conmutación.

Las siguientes gráficas de la [Figura 4.34](#) muestran la evolución de la corriente y tensión a diferentes valores de consigna y tensión de salida. Se puede observar como la amplitud de la oscilación de tensión producida en el tiempo muerto a tensión de bus constante, depende única y exclusivamente de la tensión de salida. El peor caso se da a tensión de salida 0 V, ya que la amplitud de la oscilación corresponderá a la mitad de la tensión de bus.

4.5.4 Diseño

En este apartado se analiza las características propias del convertidor y cuales son los factores limitantes de cara a realizar el diseño del mismo para cumplir con las especificaciones mostradas en la [Tabla 4.2](#).

4.5.4.1 Frecuencia de conmutación

La elección de la frecuencia de conmutación del convertidor es un parámetro clave para su diseño. Esta afecta directamente al ancho de banda del convertidor, al tamaño final del mismo, al rendimiento, al cumplimiento de los estándares electromagnéticos (EMI) de la normativa CISPR 11 [205] y al comportamiento en general de todos los componentes. Uno de los parámetros eléctricos más restrictivos mostrados en la [Tabla 4.2](#) es el ancho de banda de 5 kHz a potencia nominal, lo que fuerza a una frecuencia de conmutación mínima de 20 veces la frecuencia a generar [209], es decir, una frecuencia mínima de conmutación de 100 kHz. Si no hay restricciones de tiempos de ejecución por parte del control, cuanta más frecuencia de conmutación, más ancho de banda, mejorando la dinámica del mismo.

La limitación por arriba de esta frecuencia de conmutación la marca la normativa CISPR 11 Clase A [205], la cual mide la emisión electromagnética conducida en el espectro comprendido entre 150 kHz - 30 MHz. Al imponer grandes restricciones

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

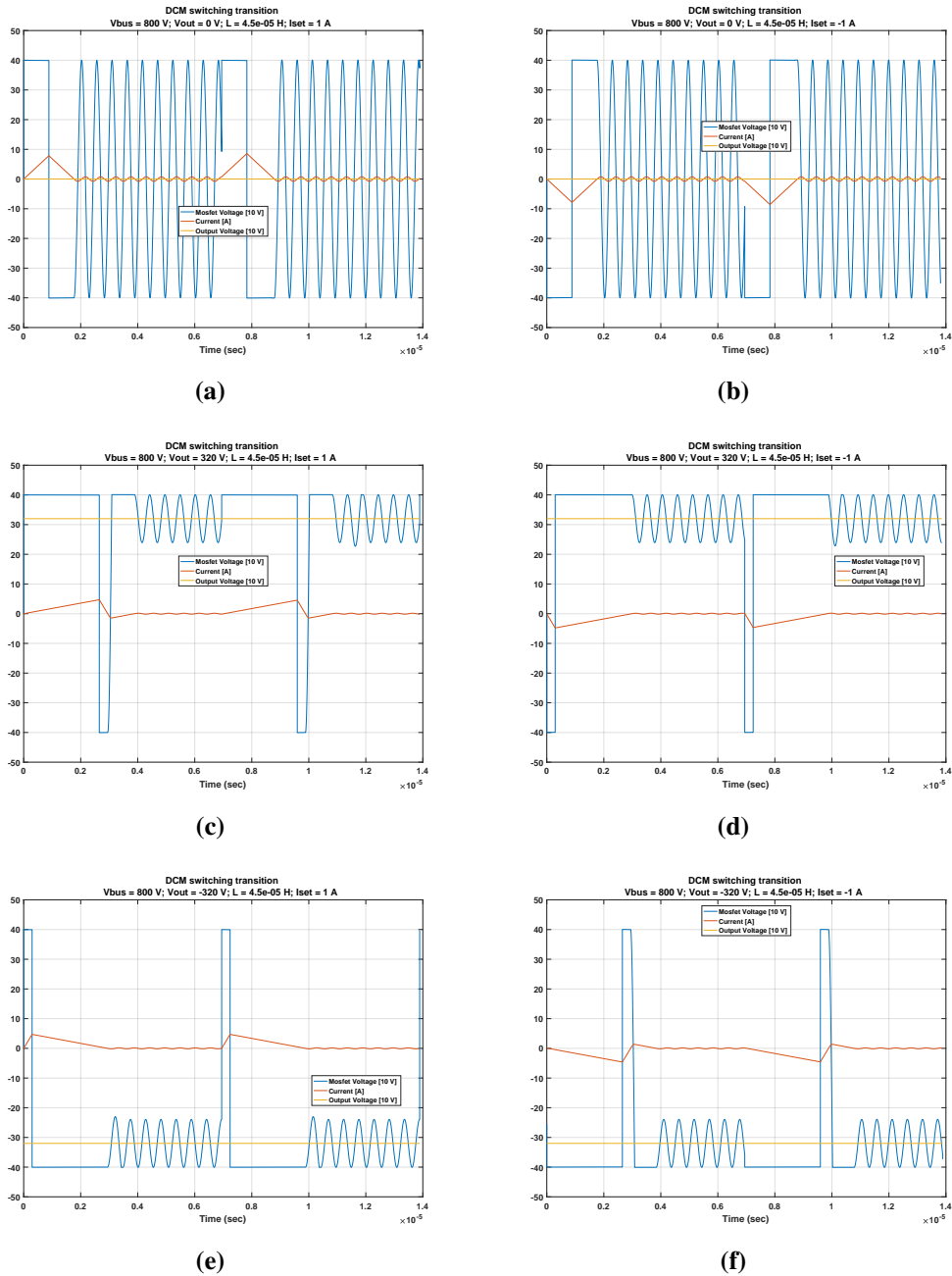


Figura 4.34: Simulaciones de distintos puntos de funcionamiento para la visualización de la corriente por la bobina, la tensión en el punto medio de los MOSFET y la tensión de salida.

en el rizado de la corriente de salida, la elección de una frecuencia de conmutación dentro del espectro implica sobrecostos para su cumplimiento. Es por ello conveniente elegir una frecuencia de conmutación por debajo del espectro marcado por la norma, consiguiendo que el resto de los armónicos se encuentren a unas frecuencias superiores más atenuadas por el filtro. Además, debido a que la topología del convertidor es masivamente paralelo, cuyas ramas van a estar desfasadas unas de otras, la frecuencia resultante final de la corriente de salida tendrá un componente muy elevada.

Como el procedimiento de medida para las EMI conducidas utiliza un ancho de banda de ± 4.5 kHz alrededor del espectro central de frecuencia, la frecuencia mínima a la que se empieza a medir es de $150 \text{ kHz} - 4.5 \text{ kHz} = 145.5 \text{ kHz}$. Esto supone que una frecuencia de conmutación de 144 kHz se quedaría fuera del rango de medida y situaría al segundo armónico a una frecuencia de 288 kHz . Escogida esta frecuencia máxima de 144 kHz , el rango de la frecuencia de conmutación del equipo se situará entre $100 \text{ kHz} - 144 \text{ kHz}$. Si durante el resto del diseño del convertidor no hay ningún componente que marque una restricción en frecuencia, la frecuencia máxima de 144 kHz será la frecuencia de conmutación elegida por sus ventajas en ancho de banda y reducción del tamaño de los componentes pasivos.

4.5.4.2 Número de ramas

El número elevado de ramas, en este caso 36 ramas máximo, supone un reto en el diseño. Esto es debido a que garantizar la integridad de las señales de disparo desde una unidad de control a 72 MOSFETs, distribuidos en una o varias PCBs, no es algo trivial. Aunque esta complejidad va a ser tenida en cuenta durante todo el proceso de diseño, es muy difícil llegar a predecir en etapas tempranas posibles problemas insalvables en la fase de finalización del prototipo. Por lo tanto, se toma la decisión conociendo que en la etapa de ruteado de las PCBs, puede que sea necesario revisar y reducir el número de ramas. Otro límite superior puede ser el elevado precio de los MOSFET capaces de conmutar a estos niveles de tensiones, aunque el desarrollo de la electrónica de potencia hace esperar que si se diseña para unos MOSFET con encapsulados ampliamente utilizados en el mercado, es posible que el precio de estos se reduzca, siendo posible intercambiarlos en un futuro [210].

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

Para determinar el número mínimo de ramas, si tomamos el rizado máximo de corriente de salida mostrado en la [Tabla 4.2](#), obtenemos en la [Ecuación 4.2](#) que el valor máximo que puede tener el convertidor es:

$$I_{max} \cdot \%Rizado = 61,5A \cdot 2\% = 1,23 A \quad (4.2)$$

Teniendo en cuenta que en la conmutación **DCM**, la corriente tiene una forma triangular que empieza y acaba en 0 A, si queremos sacar una determinada corriente media por rama, tenemos que sacar un valor de pico de al menos el doble de corriente. Utilizando la [Ecuación 4.3](#) mostrada en [211], podemos calcular el número de ramas mínimo necesario para alcanzar el rizado.

$$\begin{aligned} \Delta I_{max,N} &= \frac{\Delta I_{max}}{N^2} \\ 1,84A &= \frac{61,5 \cdot 2}{N^2} \end{aligned} \quad (4.3)$$

$$N > 9 \text{ ramas}$$

Por lo tanto, idealmente el número mínimo de ramas para alcanzar el rizado buscado es de 9 ramas. Pero este valor es inalcanzable, debido a que se desea tener una frecuencia de conmutación constante para garantizar el mismo ancho de banda en todo el rango de funcionamiento. Esto provoca que el valor de pico de corriente a tensiones de salida intermedias es más elevado que a valores extremos, obteniendo un rizado más elevado de corriente de salida, haciendo aumentar el número de ramas necesarias. En la siguiente [Figura 4.35](#) se observa dos formas de corriente con el mismo valor medio, donde la tensión de salida de la figura superior está en el límite del convertidor y la tensión de salida de la figura inferior está dentro del rango.

Para observar el comportamiento del rizado de corriente de salida del convertidor, en la [Figura 4.36](#) se realiza un barrido del sistema a diferentes valores de corriente media, de ramas, de inductancias y de tensión.

En la [Figura 4.36](#) se puede ver como el rizado de corriente de salida se va reduciendo conforme se aumenta el número de ramas del convertidor y la inductancia de cada rama. Otra información importante apreciada en [Figura 4.36](#), es que el rizado máximo prácticamente no se ve afectado de la corriente media de salida del

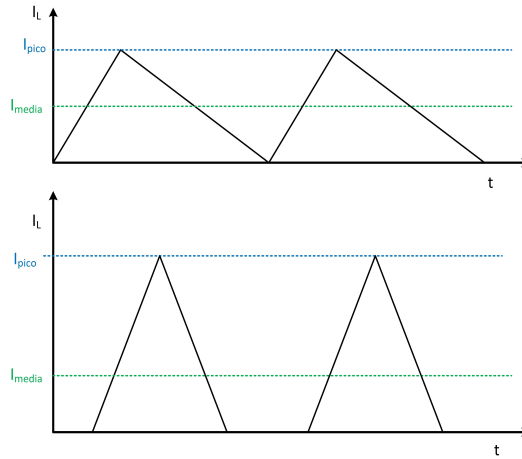


Figura 4.35: Diferencia del pico de corriente de salida a tensión de salida mínima y máxima (arriba) y a tensión de salida intermedia (abajo).

convertidor ante el mismo número de ramas e inductancia. Por lo tanto, un número elevado de ramas será positivo para la reducción del rizado de salida.

4.5.4.3 Inductancia

La elección de la inductancia marca los valores de corriente y tensión alcanzados por cada rama, una vez que ya se ha fijado la frecuencia. Teniendo en cuenta los parámetros eléctricos mostrados en la [Tabla 4.2](#), donde la tensión de bus es impuesta por el lado de red a 800 V, para encontrar la inductancia que permitiría llegar a las tensiones de salida máxima marcadas, se ha realizado un barrido de las inductancias.

Se puede observar en la [Figura 4.37](#) varios detalles importantes. Destaca que cuanto menor es la inductancia, la frecuencia máxima alcanzable es más alta. Esto es debido principalmente a que la pendiente de la corriente es más pronunciada dada la ecuación $\Delta I_L = (V/L) \cdot t$, por lo que necesita menos tiempo que una inductancia más elevada para alcanzar la corriente media necesaria. También se puede observar que la frecuencia máxima de conmutación alcanzable es mucho mayor en las tensiones medias que en los extremos. Esto es debido a que si la tensión de salida está en los límites inferior o superior, por ejemplo, cuando la tensión es cercana a 0 V, la diferencia de tensión cuando conmutamos el **MOSFET** superior de

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

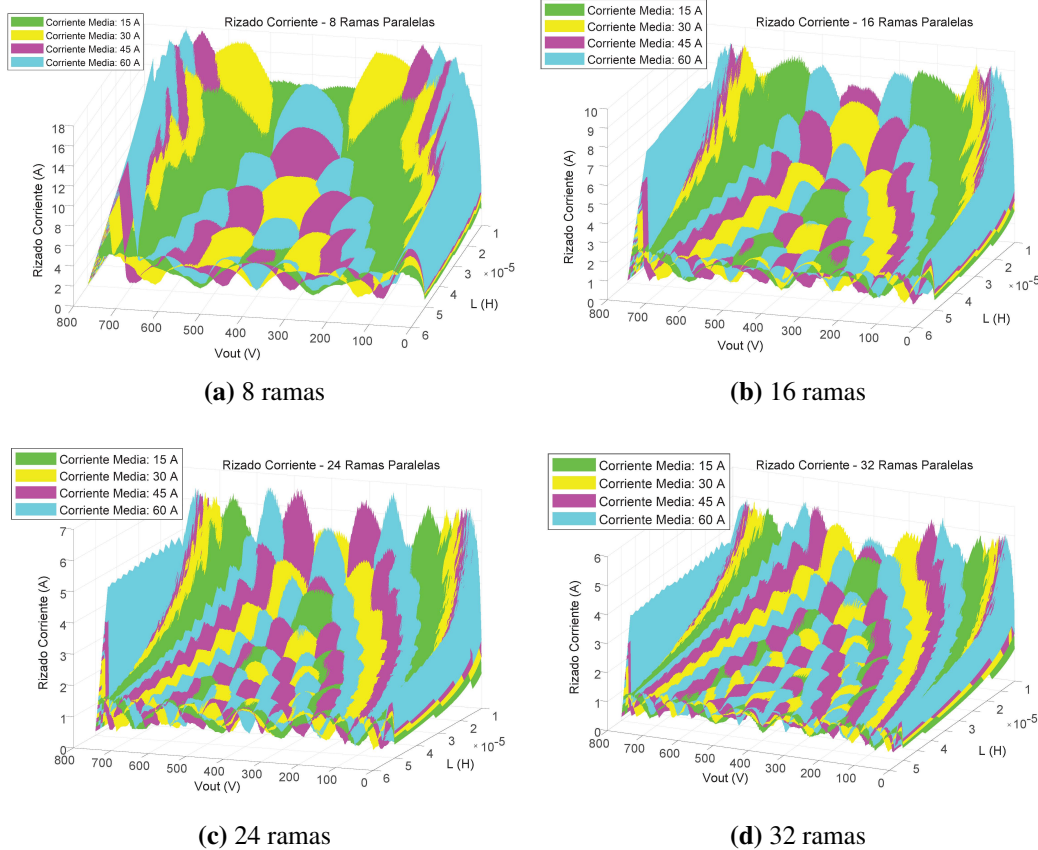


Figura 4.36: Barrido del sistema a diferentes valores de corriente media (Verde: 15 A; Amarillo: 30 A; Fucsia: 45 A; Azul: 60 A), de ramas ((a): 8 ramas; (b): 16 ramas; (c): 24 ramas; (d): 32 ramas), de inductancias (eje X) y de tensión de salida (eje Y) para conocer el rizado de corriente de salida (eje Z).

la rama es cercana a la tensión completa de bus. Esta diferencia de tensión provoca que la corriente por la bobina aumente con una pendiente muy pronunciada.

Sin embargo, para garantizar la conmutación DCM, la corriente se tiene que anular antes de que termine el periodo de conmutación, y debido a que la diferencia de tensión cuando conmutamos el MOSFET inferior es prácticamente nula, la pendiente de esta corriente es muy pequeña. Esto impide que el tiempo de conmutación del MOSFET superior sea muy elevado y por lo tanto, reduce la corriente media de salida de la rama a esa tensión de salida. Si realizamos un corte a la frecuencia de conmutación elegida a 144 kHz y mostrando solo la gráfica entre 0-100 V, se puede apreciar mejor el resultado de la frecuencia máxima.

4.5 Amplificador de potencia

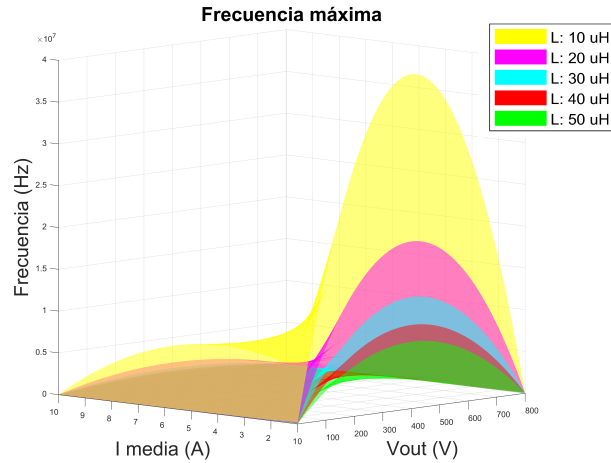


Figura 4.37: Frecuencia máxima de conmutación dependiendo de la corriente media por rama, la tensión de salida y la inductancia de la bobina.

Se puede ver en la [Figura 4.38](#), como conforme la tensión de salida se hace menor y la corriente media de salida incrementa, las inductancias de mayor valor no pueden llegar a la frecuencia de conmutación de 144 kHz. Este hecho es a causa de la no consecución de la conducción discontinua (DCM), pasando a una conducción continua (CCM). Si se visualiza esta gráfica en dos dimensiones ([Figura 4.39](#)), se

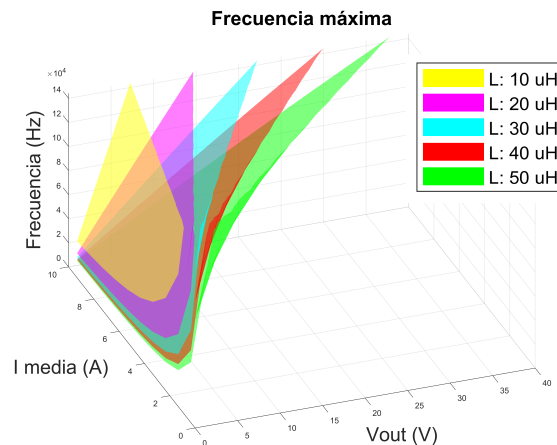


Figura 4.38: Corte a 144 kHz y a 40 V de la anterior [Figura 4.37](#), donde se observa que con las inductancias de mayor valor no se pueden obtener corrientes elevadas a tensiones próximas a la de entrada.

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

aprecian mejor los límites de la inductancia para una corriente y tensión de salida deseada a la frecuencia de conmutación de 144 kHz.

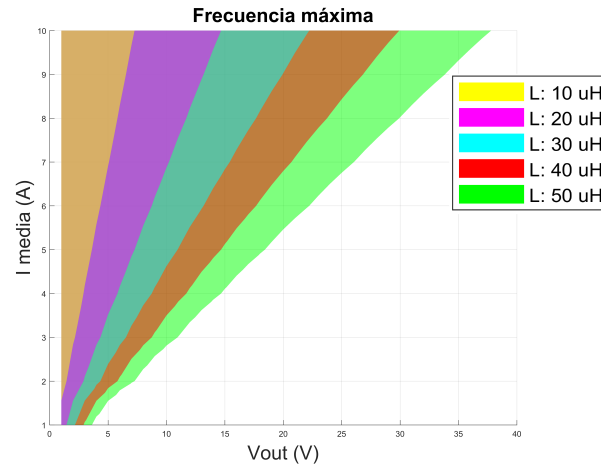


Figura 4.39: Plano en dos dimensiones del corte a 144 kHz de la [Figura 4.38](#) para conocer la corriente media máxima que se puede obtener con cada inductancia dependiendo de la tensión de salida V_{out} .

Según el rango de tensión a alcanzar en la [Tabla 4.2](#), se necesita que pueda llegar a una salida de tensión de al menos 25 V. Por seguridad, debido a las tolerancias de los distintos componentes, tomamos una tensión de salida de 20 V. A esta tensión, como se puede observar en la [Figura 4.39](#), con una inductancia de 50 μH se puede llegar a una corriente media de 5 A, y con una de 30 μH hasta casi los 9 A. Por lo tanto, una inductancia de valor reducido es más apropiada para alcanzar los valores extremos de tensión. Pero la elección de una inductancia muy baja tiene otros inconvenientes. Si realizamos un barrido en inductancias de 1 μH a 50 μH y en tensión de salida de 0 V - 800 V, tomando diferentes corrientes medias por cada rama podemos observar la corriente de pico necesaria para obtener dicha corriente media en la [Figura 4.40](#).

Se puede observar en la [Figura 4.40](#), que para inductancias reducidas (en torno a 1 μH), la corriente de pico necesaria para obtener 10 A de corriente media cuando la tensión de salida está justo a la mitad de la tensión de entrada, es de más de 140 A. Este valor de pico es muy elevado, teniendo consecuencias negativas tanto para el rizado de salida como para el rendimiento. Esta pérdida en el rendimiento es

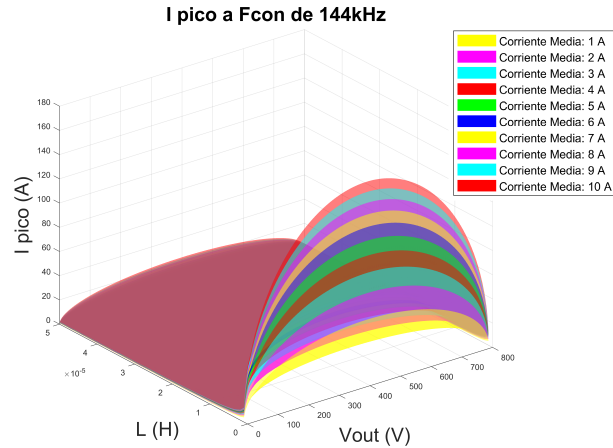


Figura 4.40: Corriente de pico necesaria para obtener las diferentes corrientes medias dependiendo de la inductancia y de la tensión de salida.

causado por las pérdidas en la conmutación del transistor, las cuales aumentan considerablemente, siendo mayores en la conmutación a off del MOSFET superior y la conmutación a off del inferior. A su vez, la fabricación de una bobina que soporte esta corriente de pico sin saturarse y sin producir elevadas pérdidas es una labor complicada. También tiene consecuencias negativas por el aumento de la emisión electromagnética causada por una pulsación de esa corriente en varias ramas del convertidor, y en el propio diseño de la PCB para esos niveles de corrientes.

Otro problema del uso de inductancias pequeñas, es la necesidad de tener una portadora en la unidad de control a un periodo muy reducido, con el fin de alcanzar la precisión necesaria para conseguir la corriente media requerida en cada momento. Como la pendiente de la corriente es muy elevada a este valor de inductancias, una portadora de poca resolución causaría variaciones grandes en la corriente de pico, y por tanto en la corriente media final. Esto también provocaría un problema elevado para conseguir en todo momento la conducción DCM, evitando el paso a CCM. Como ventaja, una inductancia pequeña resuena a más frecuencia con las capacidades parásitas de los MOSFET, y debido a que hay más pérdidas en la bobina a más frecuencia, la amortiguación de la corriente es mayor. Por ello, una elección de una inductancia lo más elevada posible, siempre que permita alcanzar las tensiones de salida necesarias, es la mejor opción en cuanto pérdidas, ruido electro-

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

magnético, controlabilidad y diseño. Un valor entre 20-50 μH sería adecuado para este propósito.

4.5.4.4 Filtro snubber

Para mitigar el efecto de la resonancia, se añade un snubber RC en paralelo con los transistores, el cual se muestra en el esquema [Figura 4.41](#).

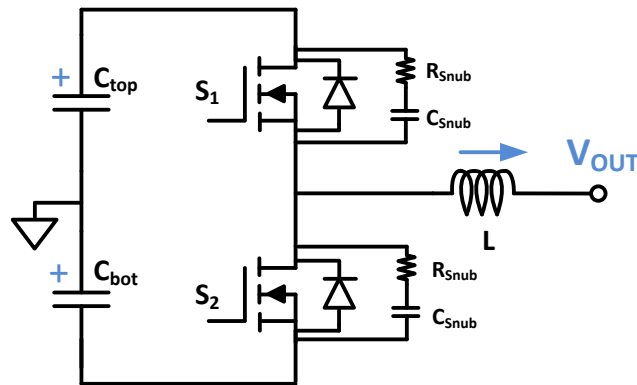


Figura 4.41: Snubber RC en paralelo con los transistores.

Este circuito $R_{Snub}C_{Snub}$ en paralelo con los transistores amortigua la resonancia, disipando la energía de la misma en la resistencia. El principal problema radica en el aumento de las pérdidas de conmutación. Para su comprobación, se calcula un filtro resonante amortiguado siguiendo el ejemplo realizado en la [Figura 4.32](#). En esta simulación, se tomaba el valor $C_{oss1} = C_{oss2} = 80 \text{ pF}$ y una $L = 45 \mu\text{H}$. Basándonos en [212], primero elegimos un C_{Snub} el cual se encuentre entre $\frac{1}{2}$ y 2 veces el tamaño del condensador parásito del transistor C_{oss} . Esto es debido a que valores mucho más pequeños de C_{oss} reducirían mucho el factor de amortiguación, y valores muy altos aumentarían las pérdidas de conmutación del transistor. En este caso tomamos el valor más bajo:

$$C_{Snub} = \frac{1}{2}C_{oss} = \frac{1}{2} \cdot 80 \text{ pF} = 40 \text{ pF} \quad (4.4)$$

Elegido el condensador, calculamos la R_{Snub} para obtener un factor de amortiguamiento $\xi = 1$:

$$\xi = \frac{1}{2R} \sqrt{\frac{L}{C}} \Rightarrow R_{Snub} = 2\xi \sqrt{\frac{L}{C_{oss}}} = 2 \cdot 1 \cdot \sqrt{\frac{45 \cdot 10^{-6}}{80 \cdot 10^{-12}}} = 1,5 \text{ k}\Omega \quad (4.5)$$

Si simulamos el sistema con el snubber calculado obtenemos las siguientes formas de onda de la [Figura 4.42](#).

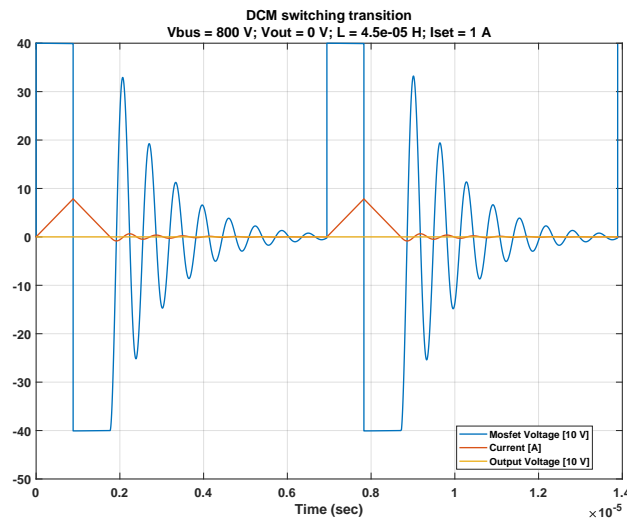


Figura 4.42: Simulación del sistema con el snubber RC calculado.

Si comparamos esta [Figura 4.42](#) con la figura [Figura 4.32](#), podemos ver el efecto de la atenuación de la resonancia gracias al snubber RC. Esta atenuación reduciría considerablemente las emisiones EMI del convertidor. Además, aquí no se tienen en cuenta las resistencias internas de los elementos, por lo que la amortiguación con elementos no ideales sería mayor. Sin embargo las pérdidas de conmutación aumentarían. En este caso, las pérdidas de conmutación en el snubber por cada transistor serían:

$$P_{Snub} = \frac{1}{2} C_{Snub} V_{Snub}^2 f_{con} = \frac{1}{2} \cdot 40 \cdot 10^{-12} \cdot 800^2 \cdot 144 \cdot 10^3 = 1,84 \text{ W} \quad (4.6)$$

Esta solución de añadir un snubber RC en paralelo con los transistores es sencilla y de reducido coste en la fabricación del producto. Dependiendo de las características buscadas en el diseño, puede ser una opción a tener en cuenta.

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

4.5.4.5 Características finales

Teniendo en cuenta las especificaciones de la [Tabla 4.2](#) y las condiciones de diseño mostradas durante esta [Subsección 4.5.4](#), en la [Tabla 4.3](#) se muestran las principales características del amplificador de potencia propuesto.

Características amplificador propuesto	
Potencia nominal DC	20.8 kW
Potencia nominal AC	10 kW
Tensión nominal (DC, AC pico)	± 325 V
Tensión nominal (AC RMS)	230 V
Tensión máxima (P_{AC})	± 375 V
Corriente (DC, AC pico)	64 A
Corriente (AC RMS)	45 A
Frecuencia de conmutación	144 kHz
Frecuencia de conmutación efectiva	2.3 MHz
Ancho de banda	> 48 kHz
Número de ramas	16
Máxima corriente media por rama	± 4 A
Máxima corriente pico por rama	± 15 A
Vbus	800 V
Inductancia rama	50 μ H
MOSFET	C3M0350120D ¹

Tabla 4.3: Tabla con los parámetros eléctricos del convertidor.

El número total de ramas elegido es de 16 ramas, permitiendo el control del convertidor completo tanto por una [DSP](#) como por una [FPGA](#), ampliando el rango de soluciones para la implementación. La frecuencia de conmutación elegida es de 144 kHz, facilitando la obtención del máximo ancho de banda sin superar el límite inferior de medida de la normativa CISPR 11 [205]. Al realizar un entrelazado de las portadoras [PWM](#), la frecuencia de rizado de la corriente de salida total es de 2.3 MHz, simplificando la atenuación necesaria para el cumplimiento de esta normativa. La inductancia por rama de 50 μ H reduce el pico de corriente máxima por cada una de estas, reduciendo las pérdidas totales del convertidor y asegurando el rango de tensión de salida.

Para la amortiguación de la resonancia ocurrida durante el tiempo de no conducción en [DCM](#), se calcula un nuevo filtro snubber. Debido a la reducida capacidad

4.5 Amplificador de potencia

de salida del MOSFET elegido ($C_{oss} = 20 \text{ pF}$), se elige una capacidad para el filtro del mismo valor, la cual permita una amortiguación mayor que en la propuesta en la anterior Ecuación 4.4. Para la obtención de la resistencia con el mejor coeficiente de amortiguamiento, en la Figura 4.43 se realiza un barrido de diferentes resistencias. En esta se puede ver que el valor con mayor amortiguamiento para un $C_{oss} = 20 \text{ pF}$ es la utilización de una resistencia con valor $R_{S_{nub}} = 3750 \Omega$.

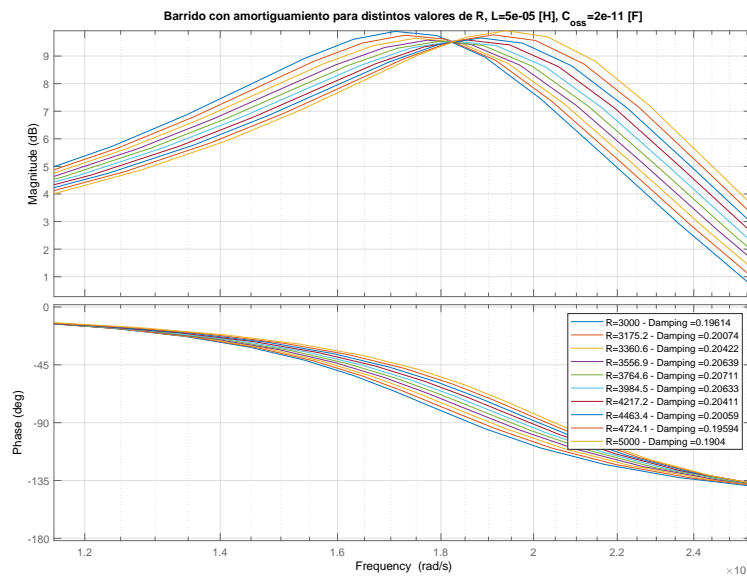


Figura 4.43: Barrido de diferentes resistencias para encontrar la que ofrece un mayor amortiguamiento, la cual se encuentra en torno a los 3750Ω para un valor de capacidad $C_{S_{nub}} = C_{oss} = 20 \text{ pF}$.

Este filtro snubber en paralelo con cada MOSFET, consigue reducir el pico de tensión de resonancia a menos del 10% de tensión en solo dos oscilaciones de la misma, tal y como se puede ver en la Figura 4.44. Las pérdidas de cada filtro snubber $P_{S_{nub}}$ y las pérdidas acumuladas en todos los filtros snubber $P_{S_{nub}-Total}$ se muestran en la siguiente Ecuación 4.7:

$$P_{S_{nub}} = \frac{1}{2} C_{S_{nub}} V_{S_{nub}}^2 f_{con} = \frac{1}{2} \cdot 20 \cdot 10^{-12} \cdot 800^2 \cdot 144 \cdot 10^3 = 0,92 \text{ W} \quad (4.7)$$

$$P_{S_{nub}-Total} = 2 P_{S_{nub}} N_{ramas} = 2 \cdot 0,92 \cdot 16 = 29,44 \text{ W}$$

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

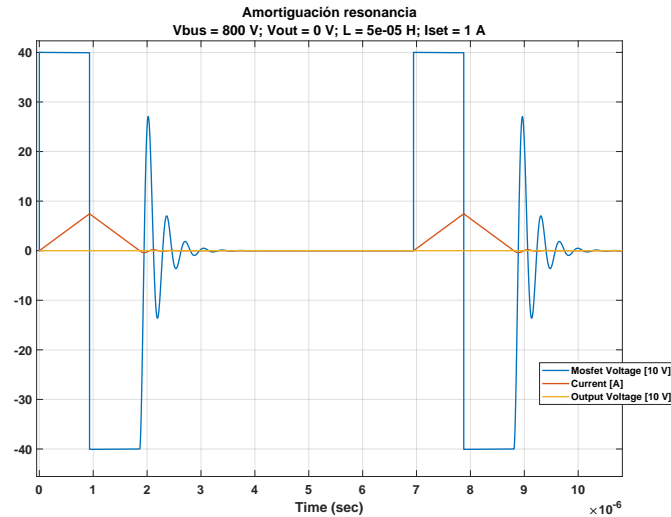


Figura 4.44: Amortiguación de la resonancia obtenida con el MOSFET y el filtro snubber propuesto.

Las pérdidas de conducción total del convertidor por los MOSFETs se calculan en la Ecuación 4.8:

$$P_{Cond-Total} = N_{ramas} I_{Nom}^2 R_{DS} = 16 \cdot 4^2 \cdot 0,35 = 89,6 \text{ W} \quad (4.8)$$

Como se ha podido ver en Subsección 4.5.3, una de las ventajas de la utilización de DCM es la eficiencia obtenida en la conmutación. El único punto donde existe conmutación dura es el paso a apagado del primer MOSFET que entra en conducción, ya que corta la corriente de pico necesaria por la rama. Las pérdidas máximas de esta conmutación P_{off} se obtienen cuando el pico de corriente es máximo. El valor de estas pérdidas en cada MOSFET y la suma total se muestra en la Ecuación 4.9.

$$P_{off} = \frac{1}{2} V_{bus} I_{peak} t_{off} f_{con} = \frac{1}{2} \cdot 800 \cdot 15 \cdot 17 \cdot 10^{-9} \cdot 144 \cdot 10^3 = 14,68 \text{ W} \quad (4.9)$$

$$P_{off-Total} = P_{off} N_{ramas} = 235,01 \text{ W}$$

La suma de las pérdidas totales en los MOSFET y el porcentaje de pérdidas

¹<https://assets.wolfspeed.com/uploads/2020/12/C3M0350120D.pdf> (Último acceso: 27/03/2022).

que supone respecto del total se pueden ver en Ecuación 4.10 y en Ecuación 4.11 respectivamente.

$$P_{MOSFET-Totales} = P_{Snub-Total} + P_{Cond-Total} + P_{off-Total} = 354,05 W \quad (4.10)$$

$$\%Perdidas_{MOSFET} = \frac{P_{MOSFET-Totales} \cdot 100}{PotenciaNominal} = \frac{354,05 \cdot 100}{9660} = 3,66 \% \quad (4.11)$$

Las pérdidas máximas en los transistores obtenidos, dejan un margen de eficiencia del 6.34 %, el cuál es valor lo suficientemente holgado para el resto de elementos, permitiendo cumplir con las especificaciones marcadas en Tabla 4.2. Respecto del cumplimiento del rizado máximo, en la Figura 4.45 el rizado a diferentes valores de corriente de salida (15, 30, 45 y 60 A) en todo el rango de tensión de salida. Se puede observar como en ningún momento, el rizado de salida supera el límite marcado en la Tabla 4.2 de 3 % de la corriente nominal.

4.5.5 Simulación

Con el fin de comprobar el funcionamiento del amplificador propuesto, se realiza una simulación completa del amplificador. Para ello, se ha utilizado el entorno de simulación MATLAB/Simulink[®] ¹, el cual permite tanto el modelado del hardware como del software de control. El modelo completo realizado del amplificador se muestra en la Figura 4.46.

Para independizar el amplificador del AFE, se ha emulado el bus de continua como dos fuentes independientes de continua, a los niveles de tensión marcados en Tabla 4.3. También se ha utilizado una fuente de continua a la salida, permitiendo probar el convertidor en diferentes puntos de operación. Conectados a este bus de entrada y de salida, cuelgan los bloques que contienen cada una de las 16 ramas del amplificador. El control de la corriente de salida, que marca los tiempos de conmutación según la referencia de corriente y las tensiones de entrada y salida, se realiza en el bloque “Control”. Estos tiempos son enviados al bloque “Gen_PWM”,

¹<https://es.mathworks.com/products/simulink.html> (Último acceso: 27/03/2022).

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

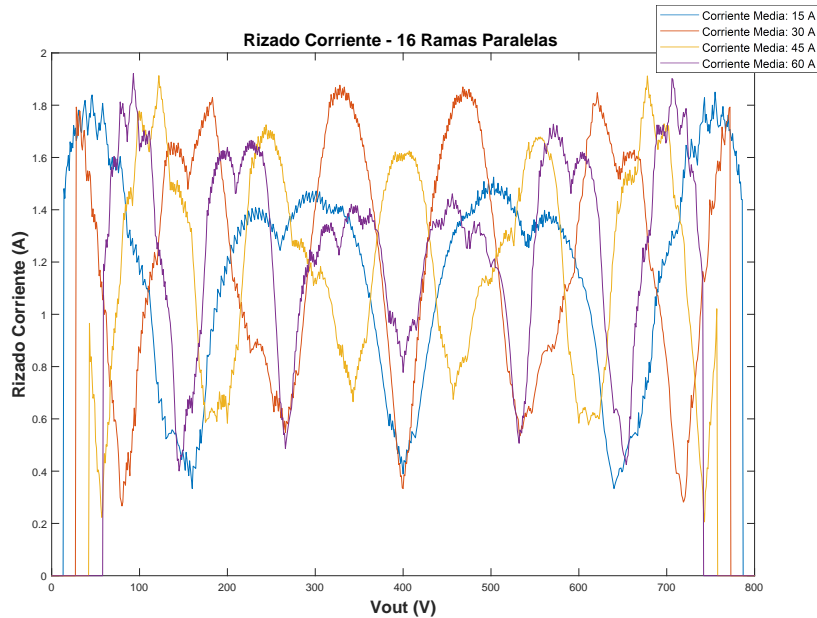


Figura 4.45: Rizado de salida a diferentes valores de corriente de salida (Azul: 15 A; Rojo: 30 A; Amarillo: 45 A; Morado: 60 A) en todo el rango de tensión de salida, corroborando que el rizado de salida se queda por debajo de la especificación impuesta en la [Tabla 4.2](#) de menos de un 3 % Inom.

el cual se encarga de la generación de las **PWM** que van a cada rama, desfasando cada una de ellas para aumentar la frecuencia del rizado de corriente de salida.

El modelo de cada rama del convertidor se puede ver en la [Figura 4.47](#). Se han utilizado transistores no ideales, configurándolos con los datos obtenidos en la hoja de características del **MOSFET** indicado en la [Tabla 4.3](#). De esta misma tabla se ha cogido también el valor de la inductancia de salida del punto medio L_1 . Los valores de la red snubber RC han sido tomados del barrido realizado en la [Figura 4.43](#).

Para la comprobación del funcionamiento del modelo, se realizan varias simulaciones con diferentes consignas de corriente. Debido a que una de las principales características buscadas es el elevado ancho de banda, estas consignas de prueba son de elevada frecuencia. Por ejemplo, en la [Figura 4.48](#) la consigna emula el comportamiento en corriente de un convertidor que conmuta a 5 kHz. Se puede observar como la corriente de salida del convertidor es capaz de seguir la referencia marcada. Esta corriente varía su rizado dependiendo del punto de operación, no llegando a superar los 2 A como se mostró también en la [Figura 4.45](#).

4.5 Amplificador de potencia

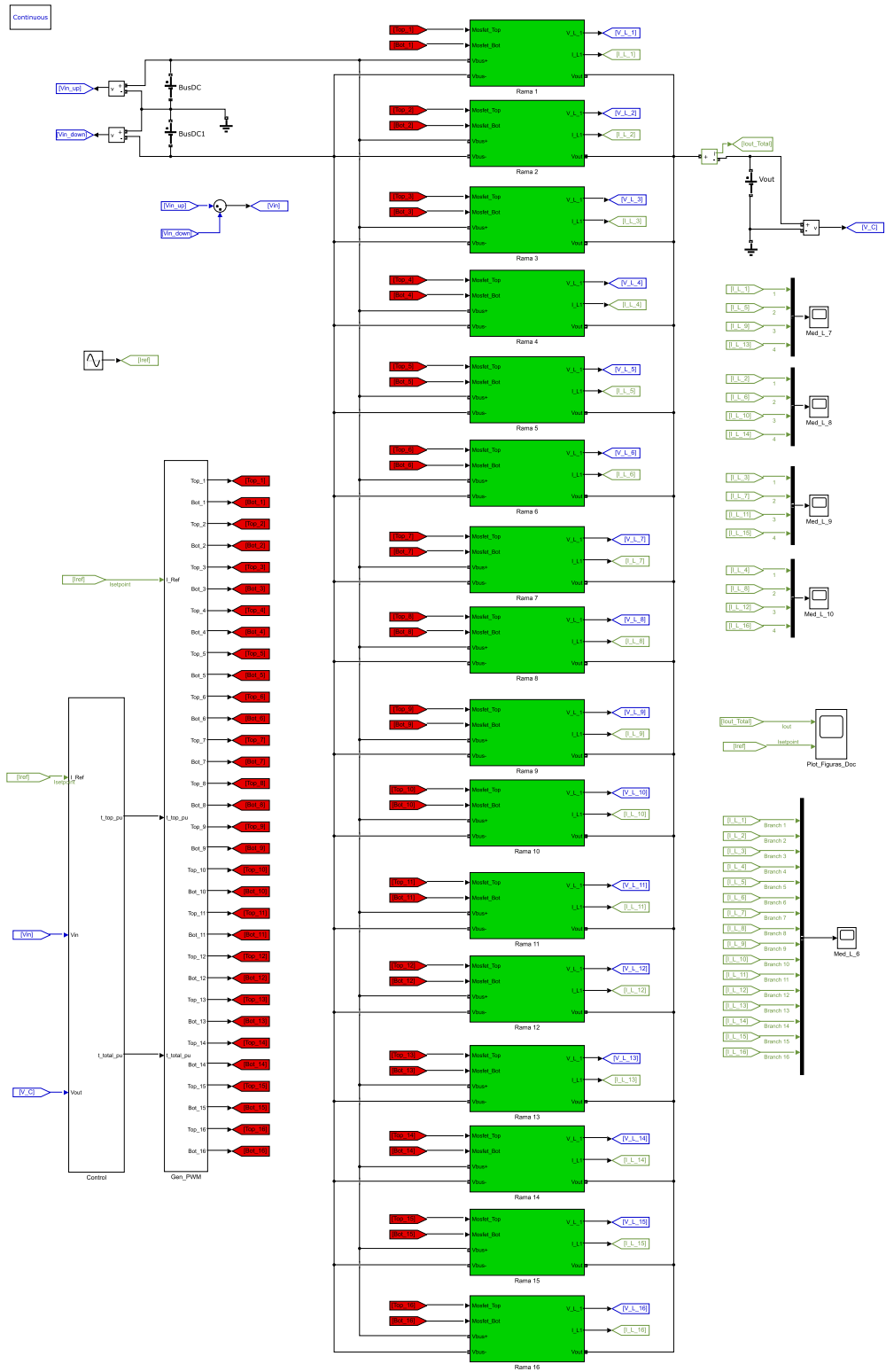


Figura 4.46: Modelo completo en MATLAB/Simulink® del amplificador de potencia propuesto.

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

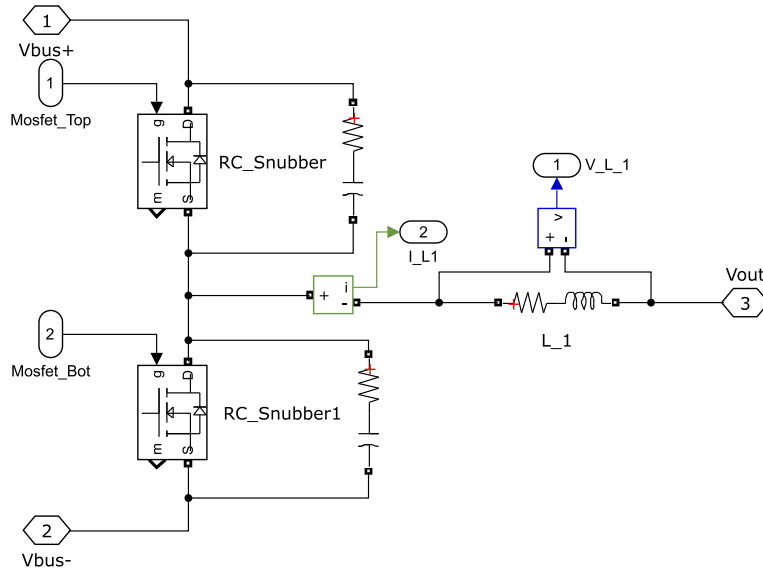


Figura 4.47: Modelo de cada rama del convertidor, el cual está contenido en cada una de los bloques verdes de la figura [Figura 4.46](#). La configuración de los MOSFET se ha realizado según la hoja de características del transistor mostrado en la [Tabla 4.3](#).

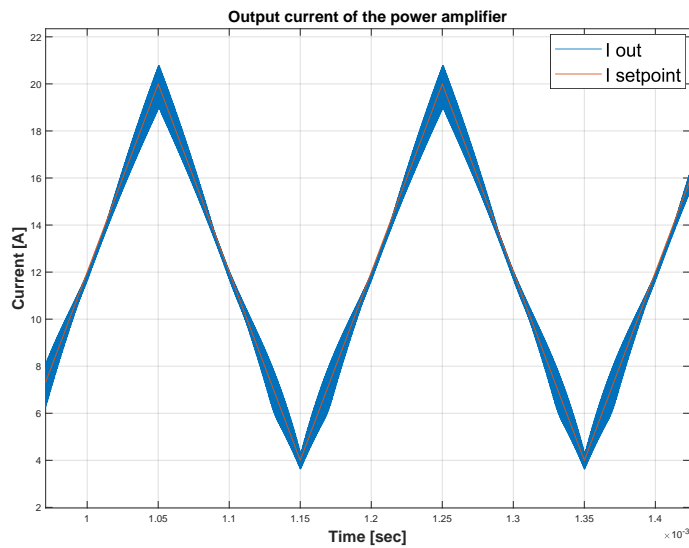


Figura 4.48: Emulación de la corriente producida por la conmutación de un convertidor trabajando a 5 kHz. En rojo se muestra la consigna de corriente y en azul la respuesta en corriente del amplificador.

4.6 Comparación de la solución propuesta

En la Figura 4.49a se muestra otra prueba, utilizando en este caso una consigna de corriente bipolar de 20 A de pico a 20 kHz. Las corrientes de salida por cada una de las ramas se puede observar en la Figura 4.49b. En esta se aprecia el entrelazado realizado en cada una de ellas, desfasando los disparos 22.5° entre las mismas. Es notable remarcar la resonancia visible en cada una de las ramas cuando dejan de conmutar en el cruce por cero de la corriente. Esta resonancia, gracias al snubber obtenido en la Figura 4.44, es amortiguada consiguiendo una distorsión reducida en la corriente de salida.

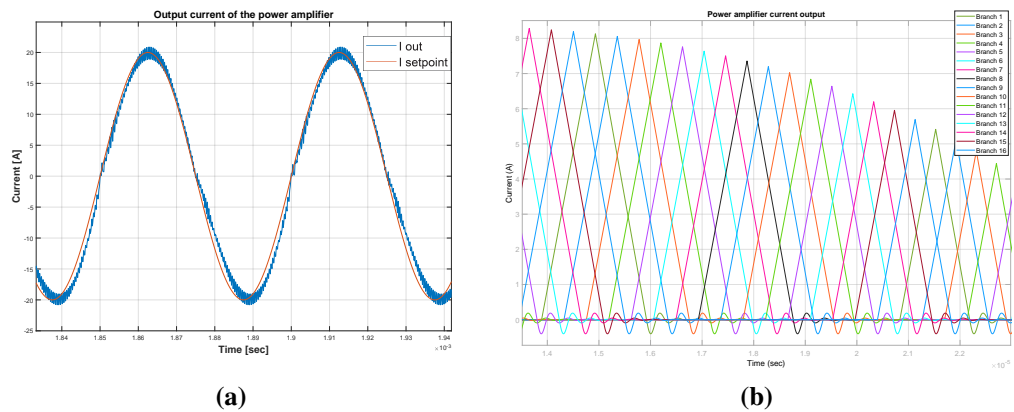


Figura 4.49: Emulación de una onda de corriente bipolar de 20 A de pico a 20 kHz (a) Consigna y corriente total de salida del amplificador (b) Ampliación de la corriente de salida de cada una de las ramas del amplificador.

4.6 Comparación de la solución propuesta

Para conocer cual es el rango de mejora de la solución propuesta para las bancadas de pruebas PHIL, es necesario la comparación de esta con bancadas anteriores que se pueden encontrar en la literatura. Por ello, se realiza un estudio de la respuesta frecuencial en bucle abierto de la bancada PHIL propuesta y de las dos bancadas que se muestran en [176], pudiendo también ser consultadas en la Sección 3.4. Estas dos bancadas están compuestas por un amplificador conmutado y uno lineal, ambos comerciales. Cada uno de estos dos amplificadores está conectado a un DRTS con las mismas características de paso de cálculo y retrasos de entrada y salida. Dado que no se ha encontrado en la literatura la función de transferencia

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

de estos amplificadores en corriente, se va a utilizar las funciones disponibles en tensión.

Para el modelado de las bancadas mostradas en [176], se utiliza el diagrama de bloques presentado anteriormente en Figura 4.1. Los datos se toman de este mismo artículo, cuya información es recogida en la Tabla 4.4. La función de transferencia

Tabla 4.4: Datos obtenidos de [176] para la comparación en bucle abierto con la solución propuesta. Estos corresponden al diagrama de bloques presentado anteriormente en la Figura 4.1.

	Conmutado [176]	Lineal [176]
$e^{-s\tau_{DRTS_{out}}}$	50 μs	50 μs
$e^{-s\tau_{DRTS-PA}}$	2,5 μs	2,5 μs
$G_{filter_{PA}}(s)$	$\frac{1}{1 + \frac{180 \cdot 10^{-6}}{3}s}$	$\frac{1}{1 + \frac{8 \cdot 10^{-6}}{3}s}$
$e^{-s\tau_{PA_{step}}}$	90 μs	4 μs
$G_{PA}(s)$	$\frac{(-5849s^2 + 2,2 \cdot 10^9 s + 2,2 \cdot 10^{12})}{2,2 \cdot 10^{12} + (2,5 \cdot 10^9)s + (181 \cdot 10^3)s^2 + s^3}$	$\frac{1}{1 + (8 \cdot 10^{-7})s + (2,64 \cdot 10^{-13})s^2}$
$Z_2(s)$	1	1
$G_{sensor}(s)$	1	1
$e^{-s\tau_{DRTS-Sensor}}$	4 μs	4 μs
$G_{filter_{DRTS}}(s)$	$\frac{1}{1 + \frac{100 \cdot 10^{-6}}{3}s}$	$\frac{1}{1 + \frac{100 \cdot 10^{-6}}{3}s}$
$e^{-s\tau_{DRTS_{in}}}$	50 μs	50 μs
$Z_1(s)$	1	1

$G_{filter_{PA}}(s)$ es un filtro paso bajo cuyo tiempo de respuesta es el doble del paso de ejecución del amplificador, necesario para evitar ruidos de la señal de consigna enviada por el DRTS. También, la función de transferencia $G_{filter_{DRTS}}(s)$ es un filtro paso bajo necesario para el mismo motivo, pero en este caso su tiempo de respuesta es el doble que el paso de cálculo del DRTS. Los bloques $Z_1(s)$ y $Z_2(s)$, correspondientes al modelo simulado y al HUT respectivamente, son configurados como una función de transferencia unidad para no desvirtuar la respuesta frecuencial obtenida, permitiendo una comparación más clara de los resultados. Del mismo modo, también se ha definido con ganancia unidad a la función de transferencia de

4.6 Comparación de la solución propuesta

los sensores utilizados para la prueba, debido a que su estudio y mejora no se tienen en cuenta en esta tesis.

Respecto a la plataforma PHIL propuesta, se utiliza el diagrama de bloques con la incorporación de las mejoras, el cual se muestra en la Figura 4.9. Los valores incluidos en ambas tablas son datos conservadores de las características desarrolladas en este capítulo. La función de transferencia $G_{filter_{PA}}(s)$ es un filtro paso bajo cuyo tiempo de respuesta es el doble del paso de ejecución del amplificador. Como ya se ha explicado en el anterior párrafo, para facilitar la comparación entre las diferentes bancadas, se utilizan funciones de transferencia unidad para $Z_1(s)$, $Z_2(s)$ y $G_{sensor}(s)$.

Tabla 4.5: Datos del diagrama de bloques presentado anteriormente en la Figura 4.1, donde se han incluido todas las mejoras propuestas de la Sección 4.2 para la comparación en bucle abierto con las bancadas descritas previamente en la Tabla 4.4.

	Plataforma PHIL propuesta
$e^{-s\tau_{DRTS_{calc}}}$	$1 \mu s$
$e^{-s\tau_{DRTS-PA}}$	$0,5 \mu s$
$e^{-s\tau_{PA_{calc}}}$	$1 \mu s$
$G_{PA}(s)$	$\frac{1,579 \cdot 10^{10}}{(s + 1,257 \cdot 10^5)^2}$
$Z_2(s)$	1
$G_{sensor}(s)$	1
$G_{filter_{PA}}(s)$	$\frac{1}{1 + \frac{4 \cdot 10^{-6}}{3}s}$
$e^{-s\tau_{DRTS-PA}}$	$0,5 \mu s$
$e^{-s\tau_{DRTS_{in}}}$	$2 \mu s$
$Z_1(s)$	1

La respuesta en frecuencia de las dos bancadas mostradas en la Tabla 4.4 junto con la bancada de la solución propuesta de la Tabla 4.5 se muestra en la Figura 4.50. Se ha trazado una línea discontinua a -180° de fase, la cual marca el punto en frecuencia a partir del cual una bancada PHIL se hace inestable. Además, se ha obtenido en cada una de ellas la frecuencia en la que ganancia corta los -3 dB, la

4. DISEÑO DE UNA PLATAFORMA PHIL INTEGRADA DE BAJA LATENCIA

cual marca el ancho de banda. En el caso de la bancada del artículo [176] utilizando un amplificador conmutado, el ancho de banda es de 875.3 Hz y el punto de inestabilidad se encuentra por debajo de 1.5 kHz. Para el caso de la misma bancada pero con amplificador lineal, el cual tiene una mejor respuesta en frecuencia, este ancho de banda sube hasta los 4.73 kHz, pero debido a los retrasos en la cadena el punto de inestabilidad se ubica en los 3.5 kHz. Sin embargo, la plataforma PHIL propuesta en este capítulo consigue un ancho de banda de 12.7 kHz y su frecuencia máxima con un desfase menor de -180° llega hasta los 20 kHz. Esta frecuencia de la plataforma supera en más de 5 veces la frecuencia respecto a la configuración con el amplificador lineal, y en 13 veces respecto a la configuración con el amplificador conmutado, suponiendo una mejora notable en la estabilidad, precisión y seguridad de las pruebas realizadas con el método PHIL.

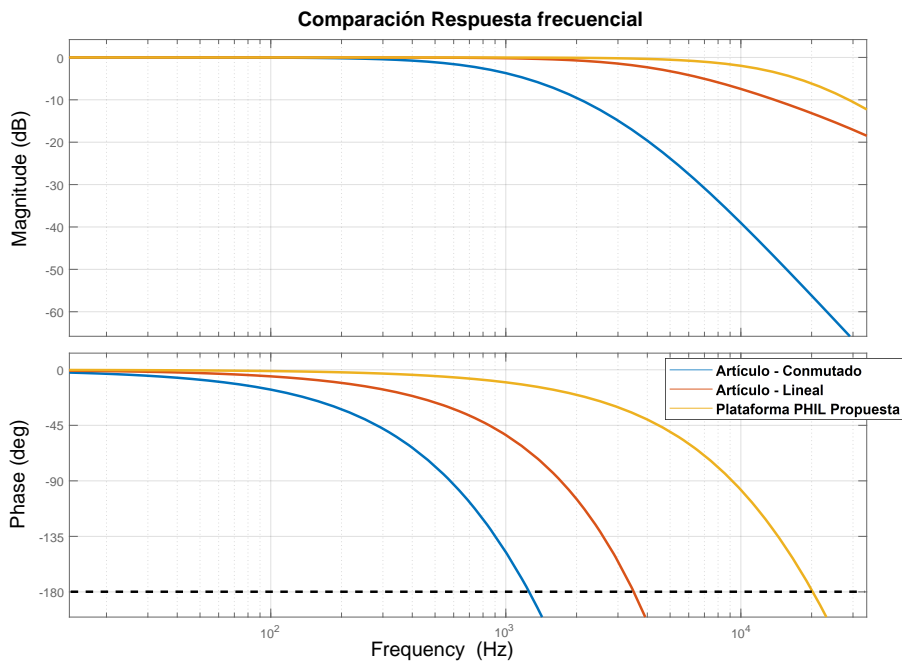


Figura 4.50: Comparación de la respuesta en frecuencia en bucle abierto de la bancada PHIL propuesta en esta tesis con las usadas en el artículo [176], donde se utilizan dos configuraciones: una con un amplificador conmutado y otra con un amplificador lineal. Se puede observar que la plataforma PHIL propuesta supone una mejora en el ancho de banda de 13 veces y 5 veces respectivamente.

“Nuestra memoria no es más que una imagen de la realidad, por lo que nuestra realidad es sólo nuestra imaginación.”

Michael Ende

CAPÍTULO

5

Diseño sistema de pruebas para cargadores V2G

Este capítulo es una versión revisada y extendida de la siguiente publicación:

- *García-Martínez, E.; Muñoz-Cruzado-Alba, J.; Sanz-Osorio, J.F.; Perié, J.M. Design and Experimental Validation of Power Electric Vehicle Emulator for Testing Electric Vehicle Supply Equipment (EVSE) with Vehicle-to-Grid (V2G) Capability. Appl. Sci. 2021, 11, 11496. <https://doi.org/10.3390/app112311496>*

PREGUNTAS: ¿Qué papel van a tener los vehículos eléctricos? ¿Qué infraestructura eléctrica van a necesitar para su recarga? ¿Qué protocolos de carga permiten un flujo bidireccional de potencia? ¿Por qué es necesario un emulador de vehículo eléctrico para las pruebas de los sistemas de carga? ¿Qué partes necesita el emulador de vehículo y cómo se diseña su filtro de salida? ¿Qué técnica de control se utiliza para la emulación de la batería? ¿Cómo son sus respuestas de salida reales en tensión y corriente ante diferentes eventos?[[Resumen capítulo](#)]

En el [Anexo A](#) se realiza un estado del arte sobre los cargadores eléctricos actuales y los estándares de carga DC que permite la funcionalidad **V2G**. Además,

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

se muestran las perspectivas existentes sobre el número de cargadores a instalar en los próximos años. En el escenario más conservador, se espera que el número de cargadores aumente en casi 100 veces a los instalados actualmente. Esto demuestra la necesidad presente de desarrollo de emuladores para la prueba de estos sistemas.

A continuación, se analizan los sistemas de prueba actuales para los cargadores de vehículo eléctrico. Más adelante se presenta el esquema, el diseño, el control y los resultados de un nuevo emulador de vehículo eléctrico para la validación de cargadores V2G.

5.1 Sistemas de prueba para cargadores de vehículo eléctrico

La utilización de vehículos eléctricos reales para la prueba de cargadores reducen la vida útil de su batería interna. Por ello, sistemas que no dependan de batería ahorran costes y no suponen limitaciones de tiempos de prueba, debido a que se pueden realizar varias cargas seguidas ininterrumpidas. Para la prueba del sistema de potencia, una bancada de pruebas basada en PHIL sería capaz de la comprobación del sistema de potencia. Pero dada que la carga en DC va fuertemente ligada a un protocolo cerrado de comunicación y gestión digital, sería necesario realizar un equipo de comunicaciones para la verificación de todo el sistema. Como los amplificadores de potencia en el mercado son elementos cerrados, la introducción de una capa intermedia de comunicaciones no es una tarea trivial. Además, dado que los protocolos de carga en DC tienen implementadas dinámicas lentas de evolución de la corriente y a su vez, las baterías tienen tiempos de respuesta en tensión muy lentos, no siempre será necesario una simulación en tiempo real con pasos de ejecución rápidos del orden de pocos microsegundos. Es por ello que, dado el elevado volumen de cargadores a validar y su funcionalidad acotada, un sistema específico de pruebas de cargadores de vehículo eléctrico puede adaptarse mejor a las necesidades.

En la literatura existen varios ejemplos de emuladores de vehículo eléctrico desarrollados. En [213] se ha realizado un banco de pruebas en el que se ha implementado el protocolo CHAdeMO, tanto de vehículo eléctrico como de cargador, para

5.2 Esquema general y necesidades del emulador de vehículo eléctrico

la depuración de errores en la comunicación. La emulación del comportamiento de un cargador de vehículo eléctrico, realizado para el estudio de su integración dentro de las líneas de continua del metro de Madrid, se puede ver en [214]. En [215] se ha realizado un sistema de pruebas basado en PHIL para el estudio del impacto de los cargadores en AC en la red eléctrica, simulando en tiempo real una red con diferentes puntos de carga y generación fotovoltaica.

Un sistema completo para la comprobación tanto del cargador como del vehículo se ha realizado en [216]. Para ello, se ha utilizado como cargador 12 emuladores fotovoltaicos conectados en serie, y como vehículo una carga de 10Ω , todo ello conectado a una red de comunicaciones para la obtención de información de los diversos parámetros. En [62] se ha realizado un emulador de vehículo eléctrico con protocolo CHAdeMO. En este caso, el sistema disipa la energía proporcionada por el cargador a unas resistencias, lo que permite poder estudiar mejor la calidad de corriente proporcionada por el cargador puesto a prueba. En [217] se realiza un estudio para un banco de pruebas de cargadores de vehículo eléctrico basado en PHIL. Este banco permite probar cargadores de batería de hasta 25 V conectados a la red eléctrica. Tiene un amplificador de potencia lineal comercial para la emulación física de la red eléctrica de 900 W, y han desarrollado un convertidor DC/DC conmutado de 125 W para la emulación física de la batería. Estos dos sistemas están conectados a un simulador en tiempo real, que emula matemáticamente el comportamiento de la red eléctrica y de la batería respectivamente. Todo ello se realiza sin la implementación de un protocolo de carga DC para vehículo eléctrico.

5.2 Esquema general y necesidades del emulador de vehículo eléctrico

Para cubrir las necesidades de estudio de la integración del vehículo eléctrico en la red eléctrica, es importante la implementación de la funcionalidad V2G en el emulador. Esto obliga a que el diseño de la electrónica de potencia encargada, tanto de la emulación de la tensión de la batería como el AFE, tengan que ser topologías bidireccionales. Además, esta característica consigue una recirculación de la potencia activa durante la prueba, por lo que solo se consume la energía eléctrica de las

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

pérdidas de eficiencia tanto del cargador como del emulador. Adicionalmente, si se utiliza el AFE para compensar la reactiva que pueda llegar a consumir el cargador, permite tener un sistema de pruebas capaz de examinar el cargador a probar a un nivel de potencia más elevado que la potencia contratada en la instalación.

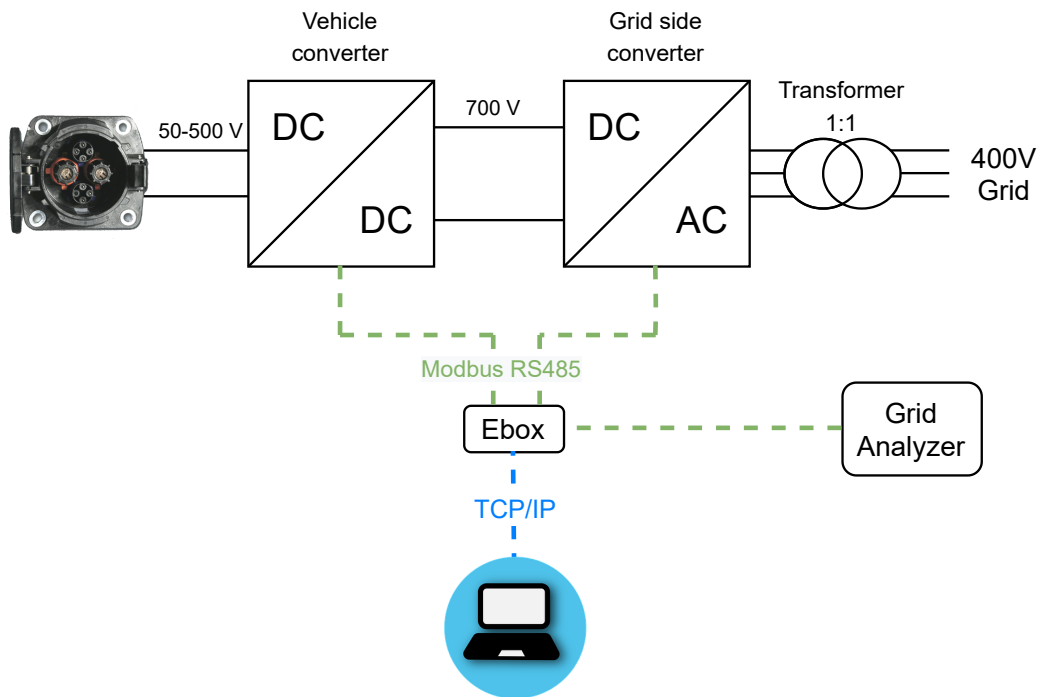


Figura 5.1: Diagrama de bloques conceptual del emulador de vehículo eléctrico.

El diagrama de bloques del emulador completo se puede ver en la [Figura 5.1](#). Para la compensación de reactiva se ha añadido un analizador de red, el cual se puede colocar en dos puntos diferentes: a la entrada del cargador de vehículos a probar, o al punto de conexión eléctrica común, permitiendo a su vez compensar la reactiva de todas las demás cargas conectadas. Este analizador se conecta por comunicación a un sistema embebido, que a su vez está comunicándose con ambos convertidores, permitiendo enviar la consigna necesaria al convertidor AC/DC para la compensación de esta reactiva. Este a su vez se puede comunicar con un ordenador donde está implementada la interfaz de usuario.

Para garantizar la seguridad del operario ante posibles descargas en el manejo durante las pruebas del emulador, el convertidor AC/DC se conecta a la red eléctrica

5.2 Esquema general y necesidades del emulador de vehículo eléctrico

a través de un transformador 1:1, en este caso con una conexión \star/Δ . Este transformador aísla galvánicamente al equipo, y a su vez evita posibles recirculaciones de corriente por tierra que el cargador en pruebas pudiera generar.

Como se ha podido ver anteriormente en la [Figura A.2](#), se prevé que la gran mayoría de cargadores sean de uso privado. Este hecho junto con el económico, conlleva a que existirá un mayor número de cargadores de reducida potencia, con una potencia nominal de menos de 15 kW-20 kW. Por consiguiente, el emulador a desarrollar deberá tener una potencia superior a esta para garantizar su utilidad. En la [Tabla A.1](#) se pudo ver que los dos únicos estándares que actualmente soportan la funcionalidad **V2G** son CHAdeMO y ChaoJi. Como este último todavía está en desarrollo, ya que ningún vehículo comercial actualmente lo tiene implementado, el emulador tiene que ser compatible con el estándar CHAdeMO v1.1 o superior, las cuales ya tienen añadidas la funcionalidad **V2G**.

Por consiguiente, las características eléctricas del emulador a diseñar se muestran en la [Tabla 5.1](#). En esta quedan definidas tanto las características generales del sistema, así como los requisitos necesarios tanto por la entrada trifásica del emulador como la salida en DC para la emulación de la batería. La frecuencia de conmutación del sistema deberá ser al menos de 20 kHz, consiguiendo de esta manera que la conmutación se encuentre por encima del espectro audible humano. Esta característica hace del emulador un sistema que puede ser utilizado en todo tipo de instalaciones, ya que no perturba a las personas ubicadas en el entorno de trabajo. El control por tanto, deberá llegar a este periodo de conmutación, logrando de esta manera el máximo ancho de banda posible que la conmutación permite.

Los niveles de tensión de entrada y frecuencia están pensados para la utilización del sistema en el continente Europeo. La corriente máxima de entrada tiene que ser suficiente para poder cubrir las pérdidas producidas por el sistema completo, garantizando la entrega de 50 kW cuando el emulador funcione como **V2G**, el cual es el caso más desfavorable. Su corriente de rizado debe ser reducida para garantizar un contenido armónico a red que no perturbe a otros elementos conectados. Para conseguir unas condiciones de tensión similares a las reales, el rizado de tensión también tiene que ser reducido debido a que las baterías son casi una fuente ideal de tensión.

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

Tabla 5.1: Principales características del emulador de vehículo eléctrico.

Emulador EV	
Potencia nominal	50 kW
Eficiencia	$\geq 95 \%$
Frecuencia de conmutación	≥ 20 kHz
Frecuencia de control	≥ 20 kHz
Estándar compatible	CHAdeMO 1.1 o superior
Entrada	
Tensión nominal RMS fase	230 V
Corriente nominal RMS fase	80 A
Rizado máximo corriente	1 % Inom
Frecuencia nominal red	50 Hz
Salida	
Rango de tensión	50 V a 500 V
Rango de corriente	-100 A a 100 A
Máximo rizado de tensión	$< 2 \%$ Vmax

5.3 Elementos y desarrollos del emulador de vehículo eléctrico

En la anterior [Figura 5.1](#) se ha visto el diagrama de bloques conceptual del emulador de vehículo eléctrico. En esta sección se realiza una descripción más en detalle de cada uno de los elementos e implementaciones que conforman el emulador de vehículo eléctrico. Estos elementos se dividen en tres subsecciones dependiendo de sus aportaciones:

- Elementos comerciales utilizados ([Subsección 5.3.1](#)): en esta sección se exponen los diferentes elementos comerciales utilizados en fabricación del emulador.
- Prototipos utilizados ([Subsección 5.3.2](#)): son los elementos de innovación realizados para el desarrollo del emulador, pero que no entran en el ámbito de esta tesis.
- Desarrollos realizados ([Subsección 5.3.3](#)): son los elementos e implementaciones desarrolladas en el ámbito de esta tesis para la creación del emulador de vehículo eléctrico.

5.3.1 Elementos comerciales utilizados

5.3.1.1 Analizador de red

Para el analizador de red se ha utilizado un modelo ¹ que permita el acceso a la medida mediante protocolo Modbus RS-485, posibilitando la compatibilidad con el resto de equipos. Este analizador permite tomar medidas de corriente y tensión en cada una de las fases, además de la potencia activa y reactiva total. Tiene un error de precisión en la medida de tensión de $0.5\% \pm 1$ dígito, además de cumplir con diversa normativa de medición en redes de baja tensión. La velocidad máxima de comunicación de este dispositivo por protocolo Modbus RS-485 es de 19200 baudios.

5.3.1.2 Transformador y filtro EMI

Como transformador para el requerido aislamiento galvánico del sistema, se ha adquirido uno comercial de una potencia nominal de 60 kVA. Tiene conexión \sphericalangle/Δ , debido a que el AC/DC es un sistema trifásico completamente equilibrado con un bus de continua flotante. Se le ha añadido un filtro EMI² entre la salida del transformador y la conexión a red eléctrica. Este filtro añade varias etapas de filtrado en modo común y modo diferencial, las cuales atenúan el contenido armónico de alta frecuencia. Esta atenuación garantiza la compatibilidad electromagnética del equipo, no afectando a los elementos conectados dentro de las instalaciones.

5.3.2 Prototipos utilizados

5.3.2.1 Convertidor AC/DC

Para la transferencia de energía entre la red eléctrica y el convertidor DC/DC, se utiliza un convertidor AC/DC. Este AFE es un equipo utilizado anteriormente en otros proyectos de investigación y que no entra en el alcance de esta tesis. El esquema de este convertidor se puede ver en la Figura 5.2. Esta es una topología trinivel NPC, la cual permite minimizar el tamaño del filtro de red en comparación

¹<https://circuitor.com/pdf/pdfdatasheet.php?lang=es&prod=M52081>. (Último acceso: 27/03/2022).

²<http://www.emikon.com//admin/index.php?pagina=descargar&doc=1393933364-0-1.pdf> (Último acceso: 27/03/2022).

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

con un binivel, además de obtener una distorsión armónica de corriente de salida más reducida. Se puede ver el funcionamiento de este convertidor explicado más al detalle en [218].

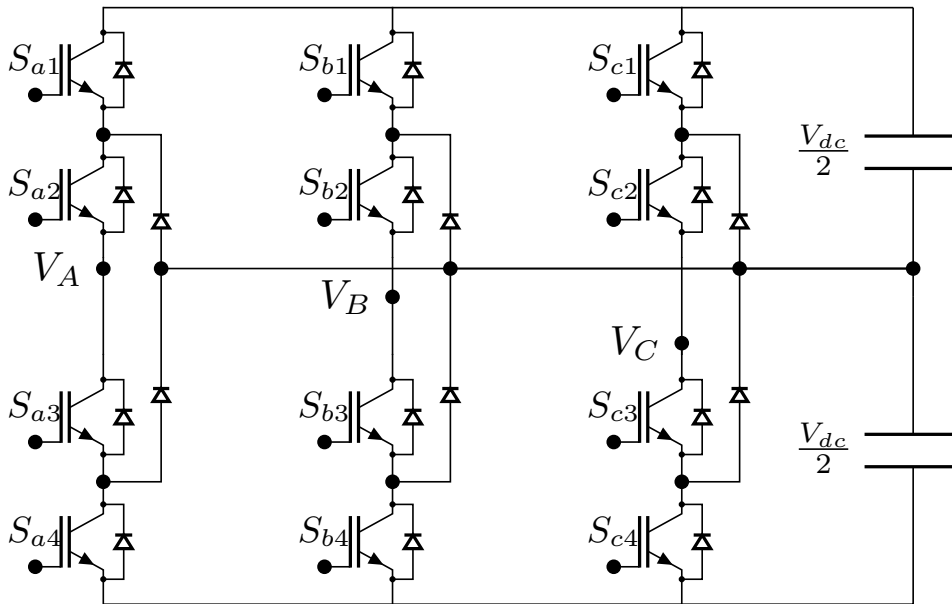


Figura 5.2: Esquema del convertidor trinivel NPC de lado de red utilizado en el emulador.

Para el desarrollo de este emulador, se ha tenido que realizar una adaptación del código a un nuevo entorno de desarrollo, dado que estaba programado en un entorno obsoleto. También una adaptación de la envolvente para su montaje en bastidor de 19 pulgadas.

5.3.2.2 Energy Box (Ebox)

La Energy Box (Ebox) es un sistema embebido de bajo coste, el cual fue utilizado por primera vez en [219]. Tiene la capacidad de comunicarse mediante varios protocolos y estándares. Para la comunicación entre la electrónica de potencia y el analizador de red se ha utilizado el protocolo Modbus RS-485. A su vez, la comunicación con un ordenador que hace de HMI se realiza mediante TCP/IP.

5.4 Control de compensación de reactiva

Este sistema contiene dos implementaciones principales. La primera es un **SCADA** que permite el control del emulador por parte del usuario y la posibilidad de cargar diferentes patrones de carga de vehículo eléctrico. La segunda es un control de compensación de la reactiva consumida por el **HUT**, el cual es un algoritmo desarrollado dentro del ámbito de esta tesis y que se describe más en detalle en la [Sección 5.4](#).

5.3.3 Desarrollos realizados

Los desarrollos e implementaciones realizadas del emulador de vehículo eléctrico en el ámbito de esta tesis son dos:

- Control de compensación de reactiva: se han desarrollado varios algoritmos de control para la compensación de potencia reactiva del cargador bajo prueba. Este control permite reducir el consumo eléctrico del laboratorio que lleva a cabo el experimento, posibilitando incluso la compensación de cargas ubicadas dentro del mismo. Se ha diseñado para la implementación en la Ebox ([Sección 5.3.2.2](#)) y ofrece diferentes ventajas y prestaciones, dependiendo de las necesidades de prueba del laboratorio. El desglose de este desarrollo en detalle se expone en la [Sección 5.4](#).
- Convertidor DC/DC: es el elemento encargado de la generación de tensión que emula el comportamiento real de una batería de vehículo eléctrico. El desarrollo de este convertidor al completo se expone en la [Sección 5.5](#). En esta se explica la topología utilizada, el diseño del filtro de salida y del control en tensión del mismo. En la última [Sección 5.6](#) se muestran los resultados experimentales del emulador, centrándose principalmente en el desempeño de este convertidor y su análisis mediante diferentes puntos de funcionamiento.

5.4 Control de compensación de reactiva

Para la compensación de reactiva por parte del emulador se ha diseñado un control discreto para su implementación en la Ebox ([Sección 5.3.2.2](#)). Este control asegura realizar las pruebas del **HUT** con un consumo mínimo de reactiva durante el ensayo. Para ello, el lado de red del emulador debe recibir las consignas necesarias para la

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

compensación de esta potencia. El elemento encargado del envío de esas consignas es la Ebox que, mediante comunicación, recibe las medidas de un analizador de red eléctrica. Dependiendo de la ubicación de este analizador, el tipo de control y la respuesta de la compensación varían. Para la compensación se han desarrollado tres estrategias:

- Control en bucle abierto - Medida en el cargador
- Control en bucle cerrado - Medida en el punto de acoplo común
- Control en bucle cerrado con realimentación perturbación

El periodo de control para estos tres tipos es de un segundo, tanto la medida como el envío de las consignas de funcionamiento. A continuación se explican más en detalle cada uno de estos controles, realizando al final una comparativa de sus respuestas temporales.

5.4.1 Control en bucle abierto - Medida en el cargador

Para este tipo de control, el analizador de redes se coloca a la salida del sistema a probar, midiendo únicamente la potencia que consume este tal y como se puede observar en la [Figura 5.3](#).

En la [Figura 5.4](#) se puede ver el esquema de este control, el cual es sencillo de implementar debido a que solo es necesario enviar la medida de potencia negada al emulador. Este control, tiene como principales ventajas su bajo coste computacional y su reducido tiempo de respuesta, ya que la potencia es compensada en un periodo de ejecución de control. La mayor desventaja de esta topología es la indeterminación de la potencia consumida en el punto común de conexión eléctrica, a consecuencia de que no se registra los consumos en el mismo. Además, para una correcta compensación es necesario una calibración precisa tanto del analizador como del emulador, así como una verificación del sentido de las corrientes y el orden de las fases. Esto es debido a que una medida incorrecta en el signo de la corriente podría hacer que la reactiva, en vez de compensarse, se duplicara.

5.4 Control de compensación de reactiva

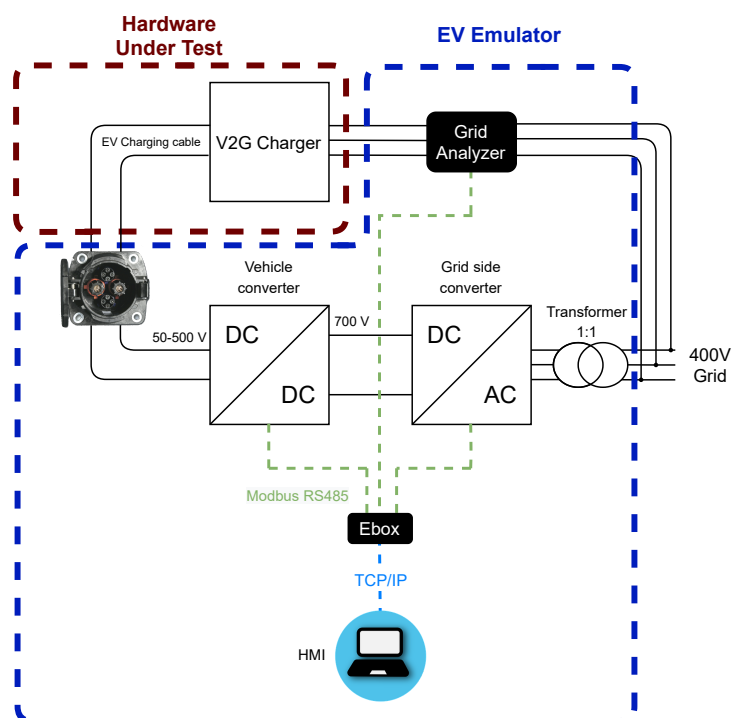


Figura 5.3: Control de potencia reactiva en bucle abierto, midiendo directamente el consumo del cargador.

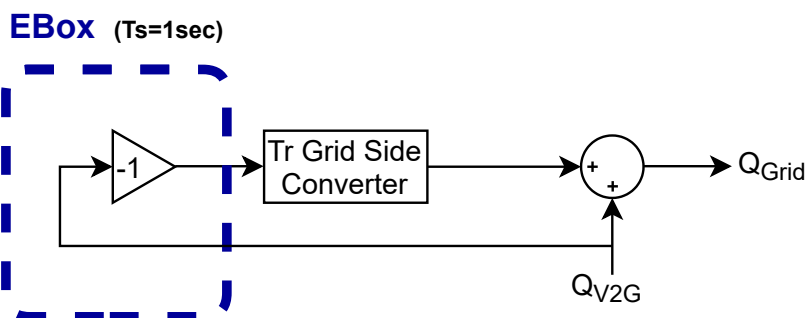


Figura 5.4: Esquema de control en bucle abierto, en la que la medida de reactiva se niega para compensarla.

5.4.2 Control en bucle cerrado - Medida en el punto de acoplamiento común

En este control se coloca el analizador de red en el punto de conexión eléctrica, tal y como muestra la [Figura 5.5](#). Por lo tanto, la potencia del emulador es vista también

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

por el analizador. Este hecho impone un control de reactiva en bucle cerrado, ya que la consigna enviada al emulador afecta a la propia medida.

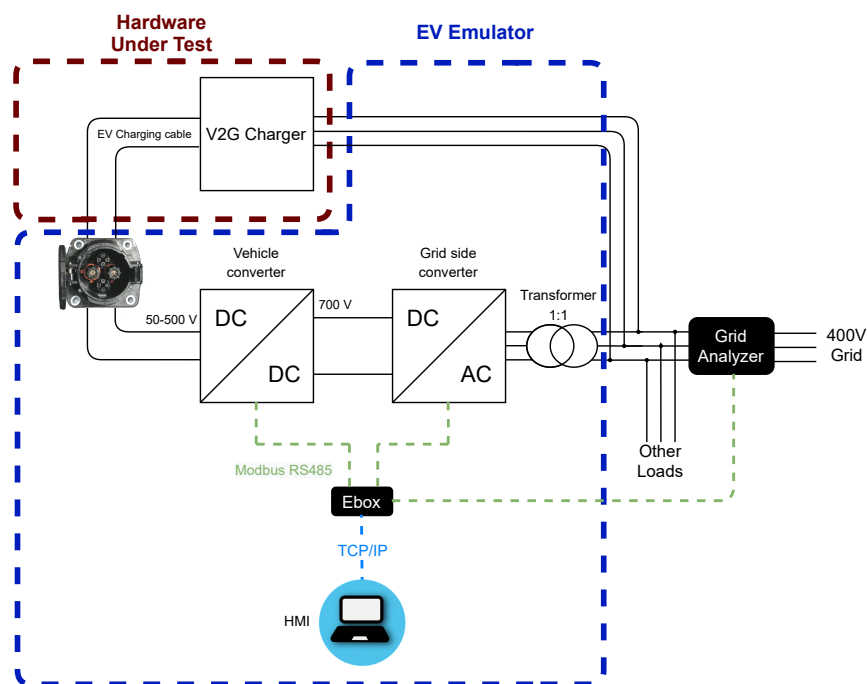


Figura 5.5: Control de potencia reactiva en bucle cerrado, midiendo el consumo de toda la instalación.

El esquema de control se muestra en la [Figura 5.6](#). El error obtenido de la resta de la consigna de reactiva respecto de la medida, es llevado a un regulador PI. Este regulador asegura la obtención de un error de posición cero con un tiempo de respuesta de pocos ciclos de control. La salida de este regulador es enviada al AFE del emulador, el cual ejecuta la consigna recibida con un tiempo de respuesta determinado.

Como principal ventaja, este control permite asegurar que en el punto de conexión el consumo de reactiva sea el deseado. Además, no solo compensa la potencia del equipo en pruebas, sino también cualquier sistema conectado dentro del mismo punto de conexión. El problema reside en el tiempo de respuesta del sistema, ya que si hay un incremento del consumo de reactiva abrupto, la potencia en el punto de conexión podría estar demasiado tiempo fuera del límite requerido.

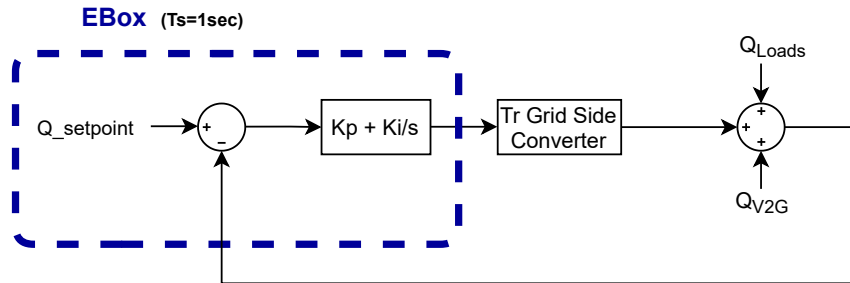


Figura 5.6: Esquema de control en bucle cerrado, donde la medida de la instalación se realimenta y se controla con un regulador PI.

5.4.3 Control en bucle cerrado con realimentación de la perturbación

En la [Figura 5.7](#) se muestra la distribución de los diferentes elementos necesarios para este tipo de control. En este caso, se colocan dos medidores: uno a la salida del sistema a probar y otro en el punto de conexión común. Por lo tanto es una combinación de los controles mostrados anteriormente.

En la [Figura 5.8](#) se puede visualizar el esquema de control. En este caso, también se realiza un control en bucle cerrado como el que se podía ver en la anterior [Figura 5.6](#). Sin embargo, para este nuevo tipo de control propuesto, se añade la compensación de la medida negada del cargador a la salida del regulador. Para evitar que la potencia consumida del sistema a probar se añada al error de control del integrador, se suma al error del algoritmo de control la derivada de esta medida. Esto posibilita la compensación del consumo del cargador de manera directa, es decir, fuera del bucle de control en lazo cerrado del regulador.

Esta forma de control consigue una respuesta rápida en la compensación reactiva del cargador a probar, sin perder la capacidad de compensación de cualquier carga conectada dentro de la instalación. El principal problema reside en el sobre coste que supone la introducción de un analizador extra, por lo tanto su utilización dependerá de las características propias de las demás cargas conectadas.

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

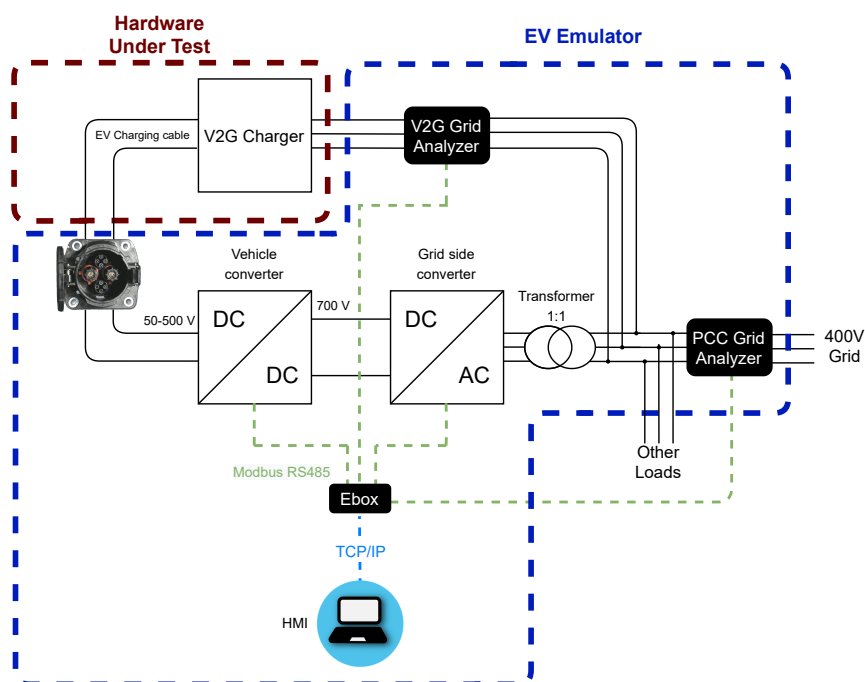


Figura 5.7: Control de potencia reactiva en bucle cerrado, midiendo el consumo de toda la instalación y del cargador.

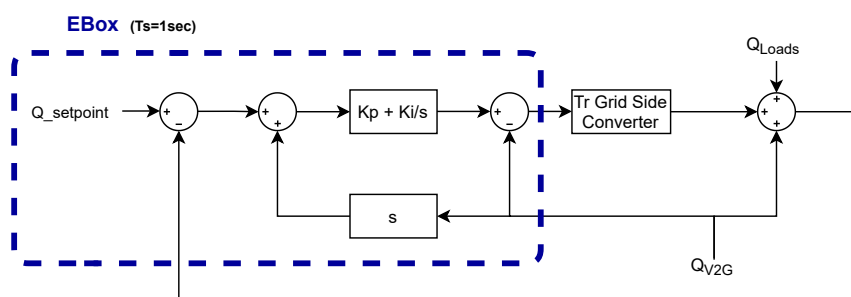


Figura 5.8: Esquema de control en bucle cerrado, con la regulación PI anterior, añadiendo la medida de reactiva V2G derivada.

5.4.4 Comparativa de las respuestas de control de reactiva

La Figura 5.9 muestra la comparación entre los distintos métodos de control desarrollados en esta sección. En la Figura 5.9a, la simulación se ha realizado sin cargas externas conectadas a la red, por lo que el único equipo que consume reactiva es el cargador bajo prueba V2G. Se puede observar que la respuesta obtenida con el control en bucle abierto es idéntica a la conseguida con el control en bucle

cerrado con compensación **V2G**. Sin embargo, la respuesta en bucle cerrado con el regulador **PI** obtenida en el punto de conexión eléctrica sin compensación es sensiblemente más lenta. Por lo tanto, en situaciones donde no haya cargas con alto consumo de reactiva dentro de la instalación, un control en bucle abierto puede ser la mejor opción debido a su sencillez de implementación y rapidez de respuesta.

Sin embargo, si existen cargas con un consumo importante dentro de la instalación, el resultado obtenido varía, tal y como se puede ver en la Figura 5.9b. En este caso, con un control en bucle abierto, el consumo en el punto de conexión en estado estacionario es el mismo que el demandado por las cargas. Por otro lado, con el control en bucle cerrado, el emulador es capaz de compensar toda la reactiva de la instalación pero con un tiempo de respuesta reducido. Este hecho podría llegar a activar las protecciones del punto de conexión si se producen cambios bruscos de demanda de reactiva del cargador.

Con el control en bucle cerrado con compensación del cargador **V2G**, se puede observar la rápida compensación de picos abruptos de demanda de reactiva del equipo en pruebas, pudiendo a su vez compensar la reactiva de cargas externas. Cabe destacar cómo la realimentación al regulador de la derivada de la medida de reactiva, no afecta a la integración del error por parte del regulador (segundo 32 de la simulación), aumentando notablemente las prestaciones de este. Por esta razón, la realización de este control en escenarios con grandes cargas en la instalación es el más apropiado.

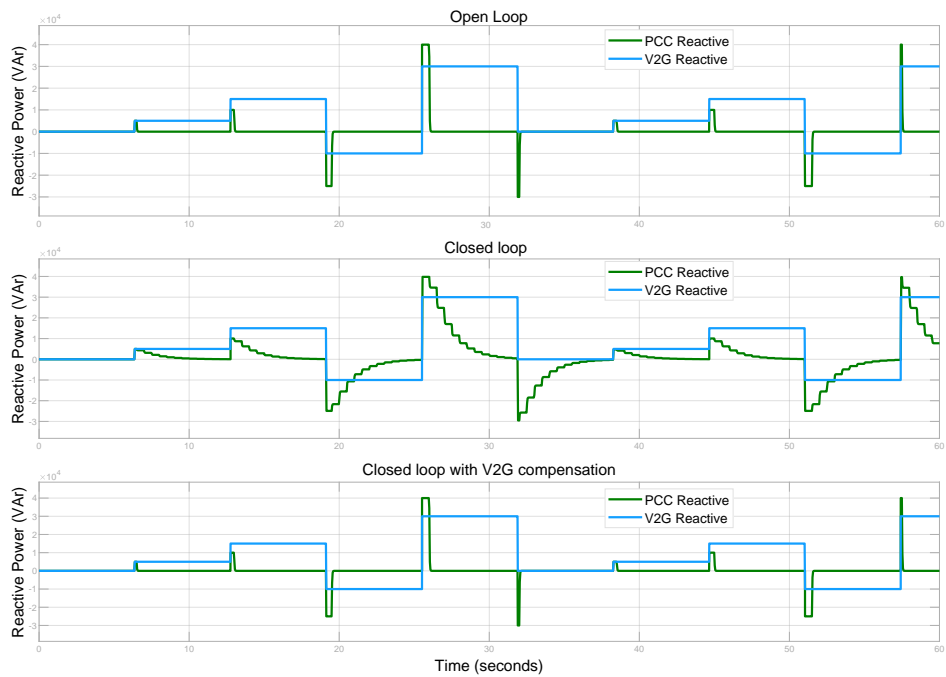
5.5 Convertidor DC/DC

5.5.1 Evaluación de la topología

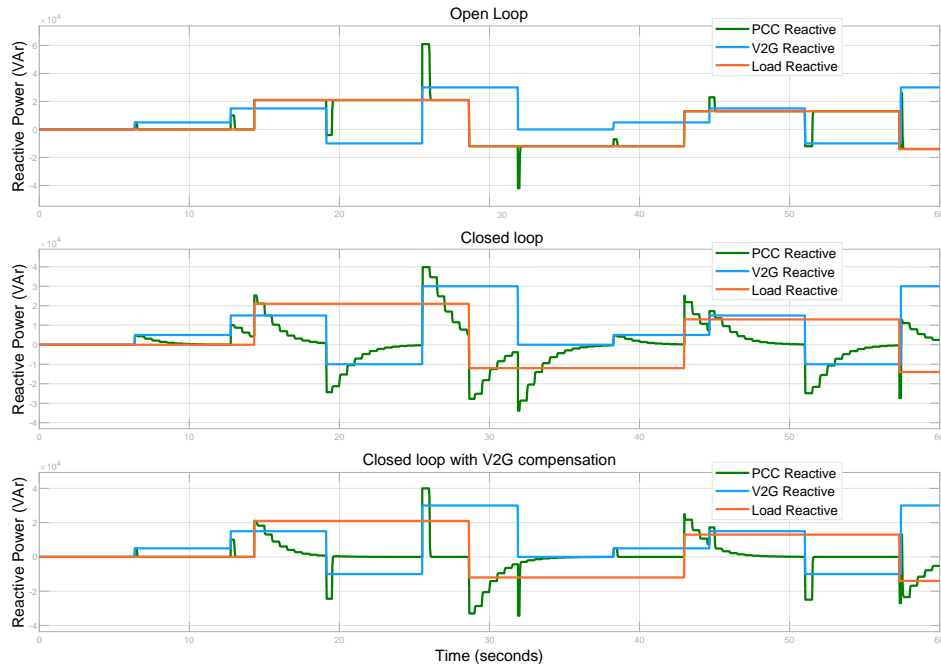
Una revisión de las topologías utilizadas para la emulación de baterías se puede ver en [217], donde se listan las siguientes configuraciones:

- Convertidor DC/DC Buck-Boost.
- Convertidor Boost entrelazado de tres fases.
- Convertidor Buck DC/DC de tres fases sincronizadas.
- Convertidor Buck DC/DC de fases múltiples.
- Convertidor en cascada de puente activo dual.

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G



(a)



(b)

Figura 5.9: Comparativa del consumo de potencia reactiva con los tres tipos diferentes de control, aplicando cambios bruscos de consumo de reactiva para ver mejor su respuesta: (a) sin consumo por cargas externas (b) mismo consumo del cargador V2G anterior pero con consumo de cargas externas.

Una topología basada en un convertidor Buck-Boost posibilita la conducción bidireccional de la corriente, necesaria para la emulación de un vehículo con funcionalidad **V2G**. Además, la utilización de esta topología con tres fases sincronizadas, permite conseguir un buen equilibrio entre calidad de la respuesta y versatilidad, ya que el convertidor de potencia puede ser reutilizado para otros usos, como por ejemplo, un lado de red trifásico. Este convertidor, junto con el filtro de salida, se muestra en la **Figura 5.10**.

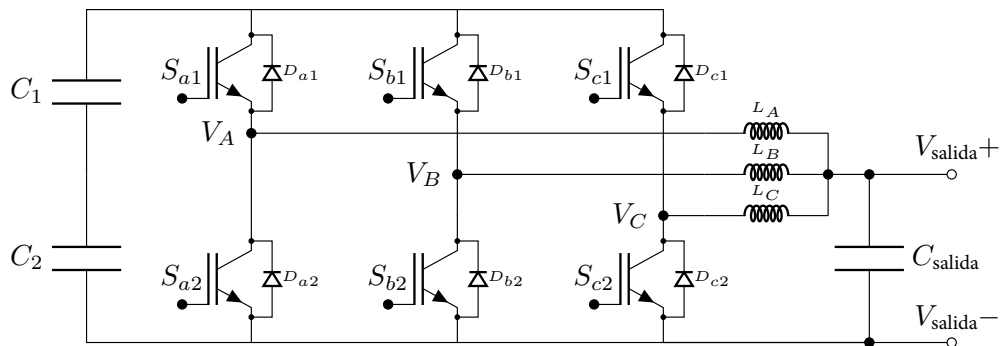


Figura 5.10: Topología del convertidor Buck-Boost con tres ramas entrelazadas, utilizado para el lado de emulación de baterías de vehículo eléctrico.

5.5.2 Diseño del filtro de salida

Para el diseño del filtro de salida, se va a utilizar el concepto de Espacio de Diseño (**DS**), el cual fue presentado por primera vez en [220], siendo utilizado también en posteriores publicaciones [160, 221]. Esta técnica de diseño permite visualizar de manera gráfica los límites de diseño del filtro, consiguiendo encontrar el rango de valor de los componentes que aseguren satisfacer los requisitos marcados. Las especificaciones eléctricas del convertidor DC/DC se pueden ver en la **Tabla 5.2**. En esta se observan las nomenclaturas de las especificaciones del sistema que se utilizarán posteriormente para el cálculo de las restricciones de diseño del filtro de salida.

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

Tabla 5.2: Principales especificaciones eléctricas del lado DC/DC del emulador.

Especificaciones eléctricas lado DC/DC	
Potencia nominal - P_{nom}	50 kW
Máxima Tensión de salida - V_{max}	500 V
Mínima Tensión de salida - V_{min}	50 V
Máxima corriente de salida - I_{max}	100 A
Tensión nominal bus de continua - V_{bus}	700 V
Número de ramas - N_{ramas}	3
Eficiencia	$\geq 95 \%$
Frecuencia de conmutación - F_{conm}	≥ 20 kHz
Frecuencia de control - $F_{control}$	≥ 20 kHz
Máximo rizado de tensión	$< 0.1 \%$ Vmax

Los límites utilizados para el diseño del filtro son los siguientes:

- Rizado de corriente total (Sección 5.5.2.1).
- Rizado de tensión de salida (Sección 5.5.2.2).
- Transitorio en tensión ante escalón de corriente (Sección 5.5.2.3).
- Tiempo de respuesta (Sección 5.5.2.4).
- Máxima frecuencia de resonancia (Sección 5.5.2.5).
- Combo slew rate (Sección 5.5.2.6).

5.5.2.1 Rizado de corriente total

Dado que el equipo emula el comportamiento de una batería, es necesario que la corriente de salida del puente que se encarga de la estabilización de la tensión de salida sea muy reducida. La Ecuación 5.1 indica la forma de calcular el rizado de corriente en un convertidor Buck-Boost de una sola rama. Se puede apreciar que el rizado es directamente proporcional a la tensión de entrada V_{bus} e inversamente proporcional a la frecuencia de conmutación F_{conm} y a la inductancia de la rama L_{rama} ($L_A = L_B = L_C$).

$$\Delta I_{salida} = \frac{V_{bus} \cdot D \cdot (1 - D)}{L_{rama} \cdot F_{conm}} \quad (5.1)$$

Debido a que este rizado depende del ciclo de trabajo D , en la Ecuación 5.2 se muestra a que valor de D se obtiene el máximo rizado.

$$\begin{aligned}
 f(D) &= D \cdot (1 - D) = D - D^2 \quad [0, 1] \\
 f'(D) &= 1 - 2D \\
 f''(D) &= -2 \\
 D_{max} &= 0,5
 \end{aligned}
 \tag{5.2}$$

Para este caso en el que se realiza un convertidor de tres ramas entrelazadas (Figura 5.10), es necesario incluir a la Ecuación 5.1 la afección de las ramas al rizado de salida [222]:

$$\Delta I_{salida} = \frac{V_{bus} \cdot D \cdot \left(\frac{1}{N_{ramas}} - D\right)}{L_{rama} \cdot F_{conm}}
 \tag{5.3}$$

Sabiendo que con una rama el máximo rizado se consigue a $D = 0,5$, si normalizamos el valor este ciclo de trabajo a $D = 0,5/N_{ramas}$ y sustituimos en la Ecuación 5.3 obtenemos la siguiente Ecuación 5.4.

$$\Delta I_{salida} = \frac{V_{bus}}{4 \cdot N_{ramas}^2 \cdot L_{rama} \cdot F_{conm}}
 \tag{5.4}$$

Considerando que la tensión del bus (V_{bus}), el número de ramas (N_{ramas}) y la frecuencia de conmutación (F_{conm}) son valores que vienen especificados en la Tabla 5.2, el rizado va a depender de la bobina seleccionada para cada rama. Para esta selección, y por tanto para el cálculo del rizado de corriente del puente, es necesario encontrar un balance entre una inductancia lo suficientemente elevada que garantice un rizado pequeño, facilitando a su vez la controlabilidad de la corriente, y lo suficientemente pequeña para que no suponga un tamaño excesivo en relación al conjunto del sistema.

Dado que es un equipo pensado para instalaciones de corte industrial, no tiene excesivas restricciones en tamaño, ya que el elemento que más espacio va a ocupar es el transformador de entrada que garantiza el aislamiento galvánico del sistema. Por ello se toma un rizado máximo de pico a pico en la bobina de $\Delta I_{salida} = 0,5 \text{ A}$, el cual supone un valor en porcentaje de $\pm 0,5\%$ de la corriente total de entrada/salida entre la bobina y el condensador de salida. A continuación, en la Ecuación 5.5, se utilizan los valores anteriormente calculados para obtener el límite de diseño para la inductancia, respecto a su rizado máximo:

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

$$\begin{aligned}\Delta I_{salida} &= \frac{V_{bus}}{4 \cdot N_{ramas}^2 \cdot L_{rama} \cdot F_{conm}} \\ L_{rama} &\geq \frac{700}{4 \cdot 3^2 \cdot 0,5 \cdot 20000} \\ L_{rama} &\geq 1,9 \text{ mH} = L_{max.rizado}\end{aligned}\quad (5.5)$$

Este resultado marca uno de los límites inferiores del espacio de diseño del filtro, cuyo resultado se puede ver en la [Figura 5.12](#) con línea continua de color negro.

5.5.2.2 Rizado de tensión de salida

Al igual que con el cálculo de rizado de corriente, el rizado de la tensión de salida también se desea que sea muy reducido para poder asemejarse al comportamiento de una batería real. La [Ecuación 5.6](#) muestra la ecuación para el cálculo del rizado de tensión ΔV_{salida} en una rama en una topología Buck-Boost:

$$\Delta V_{salida} = \frac{V_{bus} \cdot D \cdot (1 - D)}{8 \cdot L_{rama} \cdot C_{salida} \cdot F_{conm}^2} \quad (5.6)$$

Esta ecuación se asemeja a la [Ecuación 5.1](#), calculada anteriormente para la obtención del rizado de corriente por la rama. Esta vez ΔV_{salida} es directamente proporcional a la tensión de entrada V_{bus} e inversamente proporcional a la frecuencia de conmutación F_{conm} , a la inductancia de la rama L_{rama} y a la capacidad de salida C_{salida} . Sin embargo, para este caso concreto en el que se utiliza un convertidor de tres ramas entrelazadas ([Figura 5.10](#)), se añaden a la [Ecuación 5.6](#) la afectación de las ramas a este rizado de salida.

$$\Delta V_{salida} = \frac{V_{bus} \cdot D \cdot \left(\frac{1}{N_{ramas}} - D\right)}{8 \cdot L_{rama} \cdot C_{salida} \cdot F_{conm}^2} \quad (5.7)$$

Como se ha visto anteriormente en la [Ecuación 5.2](#), el rizado máximo en un convertidor de una sola rama se obtiene cuando $D = 0,5$. Si normalizamos también el valor este ciclo de trabajo a $D = 0,5/N_{ramas}$ y sustituimos en la [Ecuación 5.7](#) obtenemos la siguiente [Ecuación 5.8](#).

$$\Delta V_{salida} = \frac{V_{bus}}{32 \cdot L_{rama} \cdot C_{salida} \cdot N_{ramas}^2 \cdot F_{conm}^2} \quad (5.8)$$

Dadas las prestaciones de calidad de salida que se quieren obtener, se especifica un rizado de tensión por debajo de un 0,1 % respecto a la salida máxima V_{max} , lo que supone un rizado de tensión pico a pico de $\Delta V_{salida} = 500 \text{ mV}$. Utilizando los valores anteriormente calculados, podemos obtener con la [Ecuación 5.9](#) la relación mínima entre L_{rama} y C_{salida} para el cálculo del límite según el rizado de tensión de salida para la obtención del espacio de diseño.

$$\Delta V_{salida} = \frac{V_{bus}}{32 \cdot L_{rama} \cdot C_{salida} \cdot N_{ramas}^2 \cdot F_{conm}^2} \quad (5.9)$$

$$L_{rama} \cdot C_{salida} \geq \frac{700}{32 \cdot 32 \cdot 20000^2 \cdot 0,5}$$

Para la comprensión de este resultado, es necesario realizar un barrido a diferentes inductancias para la obtención del condensador que marque este límite, o viceversa. El resultado se puede observar en la [Figura 5.12](#) en línea continua de color azul, donde marca un límite inferior en el espacio de diseño.

5.5.2.3 Transitorio en tensión ante escalón de corriente

Ante un cambio abrupto en la demanda de corriente por el sistema a probar (tanto corriente de carga como de descarga), el sistema responde con una desviación en la tensión de salida. Esta variación de la tensión dependiente de la demanda de corriente, también contribuye a definir uno de los límites de diseño del filtro. En este caso, se busca unos parámetros del filtro que permitan que ante una variación de la corriente de $\Delta I_{salida} = 1 \text{ A}$, el voltaje de salida no varíe en más de $\Delta V_{salida} = 1,5 \text{ V}$. Para cumplir esta especificación, la solución es dependiente tanto de la elección del filtro como del tipo de control implementado. Como en esta fase de diseño del filtro no es posible conocer el tipo de control a implementar y su tiempo de respuesta, se calcula solo la respuesta del filtro ante esta perturbación.

La ecuación de la corriente ante un escalón en tensión de un circuito LC es la siguiente:

$$i(t) = \sqrt{\frac{C}{L}} \cdot V_{escalón} \cdot \sin(\omega_0 t) \quad (5.10)$$

Por lo tanto, según el esquema de la [Figura 5.10](#), la amplitud máxima de corriente ante un escalón de tensión, o la máxima variación de tensión ante un escalón de corriente, vendrá dada por:

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

$$\begin{aligned}\Delta I_{salida} &= \sqrt{\frac{3 \cdot C_{salida}}{L_{rama}}} \cdot V_{escalón} \\ \Delta V_{salida} &= \sqrt{\frac{L_{rama}}{3 \cdot C_{salida}}} \cdot I_{escalón}\end{aligned}\tag{5.11}$$

Teniendo en cuenta que $\Delta I_{salida} = I_{escalón}$ y que $\Delta V_{salida} = V_{escalón}$, en la siguiente Ecuación 5.12 se muestra la relación máxima entre la bobina y el condensador:

$$\begin{aligned}\sqrt{\frac{L_{rama}}{3 \cdot C_{salida}}} &\leq \frac{\Delta V_{salida}}{\Delta I_{salida}} \\ \frac{L_{rama}}{C_{salida}} &\leq 3 \cdot \left(\frac{\Delta V_{salida}}{\Delta I_{salida}}\right)^2 = 6,75\end{aligned}\tag{5.12}$$

En la Figura 5.12 se muestra el límite marcado por este máximo de transitorio en tensión ante un escalón de corriente en la línea roja discontinua.

5.5.2.4 Tiempo de respuesta

El convertidor recibe las consignas de funcionamiento de la Energy Box (Subsección 5.3.2.2). Al ser un sistema embebido de alto nivel, no están preparados para un tiempo real duro por debajo del milisegundo. Aunque actualmente el periodo de actualización de las consignas está fijado a 500 ms, puede ser previsible que en el futuro se necesite realizar algún ajuste en tiempos para permitir simulación en tiempo real del comportamiento físico de una batería. A pesar de que en software es relativamente fácil cambiar, en hardware es complicado ya que supondría el rediseño completo de todo el sistema. Por tanto, se toma como que las consignas de funcionamiento podrían ser enviadas a un periodo de 10 ms, el cual equivale a una frecuencia de envío de 100 Hz.

En modo de adelanto de lo que se explica en la próxima Sección 5.5.3.2, el regulador a implementar para el control de la tensión de salida está basado en un PI. Para que el conjunto completo de filtro y regulador pueda seguir la frecuencia de envío de consignas, debe tener como mínimo ese tiempo de respuesta. Además, para evitar una sobreoscilación, el margen de fase no debe reducirse a menos de 70°. Para conocer la frecuencia mínima de resonancia del filtro que garantice las anteriores condiciones, se utiliza la herramienta Sisotool de MATLAB/Simulink®.

En la **Figura 5.11** se puede ver la condición límite mínima de localización de la frecuencia de resonancia del filtro, el cual está ubicado en 250 Hz.

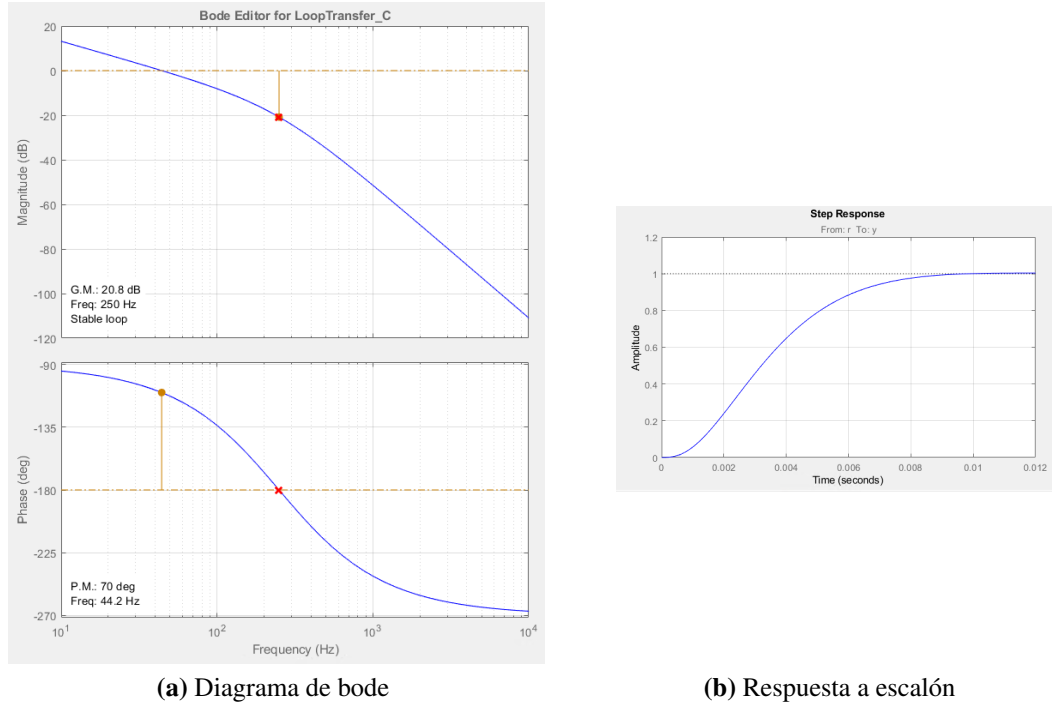


Figura 5.11: Utilización de la herramienta Sisotool de MATLAB/Simulink[®] para conocer la frecuencia de resonancia mínima del filtro que garantice un tiempo de respuesta mínimo de 10 ms: **(a)** Diagrama de bode del filtro LC con un regulador integrador que asegure un margen de fase mayor de 70° **(b)** Tiempo de respuesta del sistema.

Si la frecuencia de resonancia del filtro se reduce, el margen de fase disminuye, produciendo una sobreoscilación a la salida no deseada. Para reducirla, sería necesario bajar la ganancia del regulador PI, aumentando su tiempo de respuesta a valores por encima del deseado. Por tanto, el filtro de salida LC deberá cumplir:

$$F_{respuesta} = \frac{1}{2 \cdot \pi \sqrt{\frac{L_{rama}}{3} \cdot C_{salida}}} \quad (5.13)$$

$$L_{rama} \cdot C_{salida} = \frac{3}{(2 \cdot \pi \cdot F_{respuesta})^2}$$

$$L_{rama} \cdot C_{salida} \leq 19 \cdot 10^{-9}$$

Este límite se puede ver en línea discontinua de color negro en la **Figura 5.12**.

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

5.5.2.5 Máxima frecuencia de resonancia

El filtro de salida LC del convertidor, es un circuito que contiene dos polos complejos en el eje imaginario, respondiendo con una oscilación ante un escalón. Aunque es necesario incluir algún elemento activo o pasivo para su amortiguación, es preciso alejar la frecuencia de resonancia del filtro de la frecuencia de conmutación F_{comm} . Un valor utilizado extensamente en la literatura, es colocar esta frecuencia de resonancia al menos una década antes de la de conmutación, por lo tanto:

$$F_{reso} = \frac{F_{comm}}{10} = 2000 \text{ Hz} \quad (5.14)$$

Según la F_{comm} calculada en la ecuación anterior, se pueden obtener los valores límites máximos de los componentes del filtro de salida en la siguiente [Ecuación 5.15](#).

$$F_{reso} = \frac{1}{2 \cdot \pi \sqrt{\frac{L_{rama}}{3} \cdot C_{salida}}} \quad (5.15)$$
$$L_{rama} \cdot C_{salida} = \frac{3}{(2 \cdot \pi \cdot F_{reso})^2}$$
$$L_{rama} \cdot C_{salida} \geq 19 \cdot 10^{-9}$$

La [Figura 5.12](#) contiene la frontera en línea discontinua de color azul, que señala el valor máximo de frecuencia de resonancia que el filtro de salida LC puede tener.

5.5.2.6 Combo slew rate

Para el diseño del filtro de salida del emulador, se han tomado en cuenta las características principales de tensión y corriente de los vehículos CHAdeMO. Sin embargo, el desarrollo de este hardware de potencia también sería funcional para la emulación de otros protocolos de carga de vehículo eléctrico, como puede ser CCS. En este protocolo, se especifica que la derivada de tensión de salida en el cargador no debe superar los $SR_{Combo} = \frac{250V}{ms}$. Para el diseño del emulador se va a mantener esta especificación, la cual permite preservar la coherencia de los dos sistemas, tanto emulador como cargador. Por lo tanto, el filtro de salida no debe

variar la tensión establecida en más de este valor cuando la demanda de corriente de salida sea máxima I_{max} .

La Ecuación 5.16 muestra el cálculo del condensador necesario de salida C_{salida} para cumplir este requisito:

$$\begin{aligned}
 SR_{Combo} &= \frac{I_{max} \cdot t}{C_{salida}} \\
 C_{salida} &= \frac{I_{max} \cdot t}{SR_{Combo}} \\
 C_{salida} &\geq 400 \mu F
 \end{aligned}
 \tag{5.16}$$

Este límite se puede ver en línea continua de color roja vertical en la Figura 5.12.

5.5.2.7 Espacio de diseño

Una vez obtenidos los límites de diseño del filtro, en la Figura 5.12 representamos estos límites gráficamente según los determinados valores de inductancia y condensador del filtro de salida del emulador.

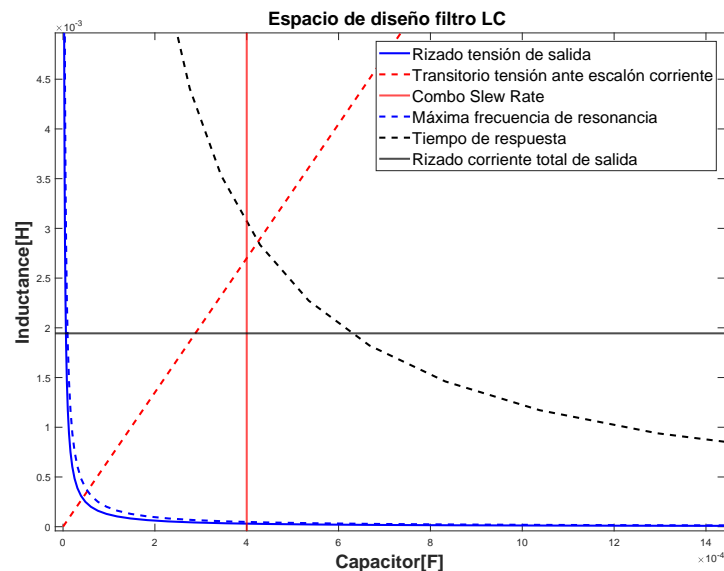


Figura 5.12: Barrido de los valores del filtro para el cálculo del espacio de diseño para el filtro DC.

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

Cada uno de estos límites acota el diseño del filtro reduciendo el número de posibilidades a elegir. En este caso, la restricción calculada por el **SR** de la especificación de carga CCS en la Sección 5.5.2.6, limita por la izquierda el uso de filtros con condensadores más pequeños. También por la izquierda en diagonal se encuentra el límite marcado por el transitorio de tensión ante un escalón de corriente (Sección 5.5.2.3), el cual limita el uso de diferentes valores de bobina mucho más elevados que el valor de condensador utilizado. En el caso del rizado de corriente total de salida, calculado en la Sección 5.5.2.1, restringe los valores de inductancias para la L_{rama} de la zona inferior del límite horizontal marcado.

El resto de los límites calculados son valores exponenciales. En este caso, tanto la exponencial marcada por el mínimo rizado de tensión de salida como la máxima frecuencia de resonancia, limitan la zona izquierda e inferior del espacio de diseño del filtro de salida. Por otro lado, la exponencial marcada por el tiempo de respuesta, limita la zona derecha y superior marcada por su línea discontinua de color negro, calculado anteriormente en la Sección 5.5.2.4.

Teniendo en cuenta todas estas zonas limitadas del espacio creado por los valores de los componentes del filtro de salida LC, en la **Figura 5.13** se muestra la zona final resultante. Este espacio de diseño está marcado con un área rayada limitada por flechas, indicando la dirección de las diferentes restricciones. Todos los valores comprendidos dentro de esta zona cumplen con los diferentes requisitos marcados anteriormente. Teniendo en cuenta esto, los valores del filtro LC elegidos son: $C_{salida} = 400 \mu F$ y $L_{rama} = 2 mH$. El punto que ocupa este filtro en el espacio de diseño se puede observar en la **Figura 5.14**. Este filtro garantiza una de las posibles combinaciones obtenidas en el espacio de diseño de menor tamaño y más económicas, con valores de bobina y condensador con amplia oferta en el mercado.

5.5.3 Diseño del control en tensión

En esta sección se va a realizar el diseño del control de salida del sistema para la emulación de la batería de un vehículo eléctrico, cuyos principales componentes ya han sido calculados en la anterior **Subsección 5.5.2**.

5.5 Convertidor DC/DC

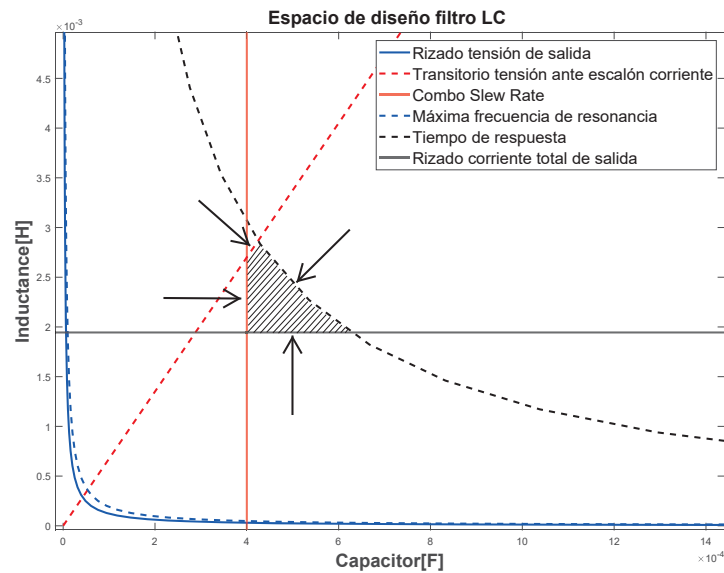


Figura 5.13: Barrido de los límites de diseño del filtro LC realizado en [Figura 5.12](#), donde se muestra la zona resultante en la que cualquier combinación de los componentes del filtro cumplen con los requisitos propuestos en la [Subsección 5.5.2](#).

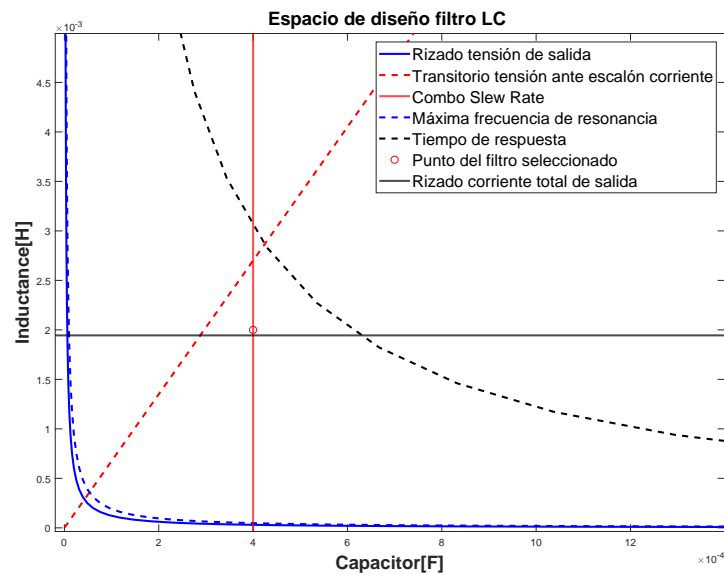


Figura 5.14: Punto elegido del filtro LC contenido dentro del espacio de diseño: $C_{salida} = 400 \mu F$, $L_{rama} = 2 mH$.

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

5.5.3.1 Amortiguación del filtro de salida

El filtro de salida necesario para la atenuación del rizado de tensión del puente está basado en un filtro LC, el cual resuena a una frecuencia determinada. En este caso, la frecuencia de resonancia obtenida con los elementos calculados anteriormente se muestra en la siguiente [Ecuación 5.17](#):

$$F_{reso} = \frac{1}{2 \cdot \pi \sqrt{\frac{L_{rama}}{3} \cdot C_{salida}}} \quad (5.17)$$
$$F_{reso} = 308,2 \text{ Hz}$$

Para amortiguar la resonancia a dicha frecuencia existen dos métodos principales, pasivo y activo. El amortiguamiento pasivo consiste en la colocación de una resistencia en el filtro, la cual absorbe la energía de la oscilación. El principal problema de este método es el aumento de las pérdidas en el filtro provocadas por esta resistencia, que reduce la eficiencia global del sistema. Aunque actualmente existen diferentes configuraciones pasivas que permiten un buen equilibrio entre atenuación y eficiencia [223], el uso de una amortiguación activa puede llegar a amortiguar correctamente el filtro sin la contrapartida de pérdida de eficiencia. Por ello, para esta aplicación, dado que $F_{reso} \ll F_{control}$, el control puede tener el suficiente ancho de banda para asegurar una buena amortiguación en la resonancia de la salida del filtro. Existen hasta cuatro posibles configuraciones para la colocación de esta resistencia virtual, como se puede ver en la [Figura 5.15](#).

En la literatura se han encontrado numerosos ejemplos para el desarrollo y diseño de la resistencia virtual [224, 225, 226, 227, 228], siendo en [228] donde se hace un desarrollo completo del diagrama de bloques y del control funcionando como fuente de tensión. En este artículo se puede observar que para realizar una implementación de las resistencias virtuales en paralelo, casos b) y d) de la [Figura 5.15](#), es necesario derivar la tensión de la bobina y del condensador respectivamente. La introducción de estas derivadas hace muy sensible el sistema a ruidos, por lo que las implementaciones de las resistencias en serie correspondientes a los casos a) y c) son recomendadas.

En la [Figura 5.10](#) se puede ver que la topología elegida se basa en la utilización de un convertidor con tres ramas, cada una de estas con una bobinas en serie conec-

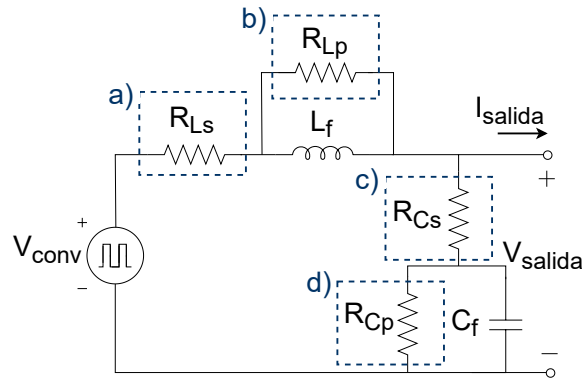


Figura 5.15: Cuatro posibles ubicaciones de la resistencia virtual para el amortiguamiento del filtro. (a) Colocando una resistencia en serie con la bobina R_{Ls} (b) Colocando una resistencia en paralelo con la bobina R_{Lp} (c) Colocando una resistencia en serie con el condensador R_{Cs} (d) Colocando una resistencia en paralelo con el condensador R_{Cp} .

tadas en el otro extremo a un único condensador. Para conseguir que las corrientes por cada una de las ramas se mantengan equilibradas, y no se desvíen debido a las variaciones paramétricas de los componentes, es necesario medir independientemente la corriente por cada una de las ramas. Por este motivo, se elige la opción a), donde se coloca la resistencia virtual en serie con la bobina, ya que no es necesario utilizar un sensor de corriente extra en serie con el condensador.

En la [Figura 5.16](#) se muestra el diagrama de bloques del filtro de salida, junto con la colocación de una resistencia virtual en serie con la bobina. Debido a que la salida del regulador de control va a ser la misma para cada una de las ramas, se han unido todas las salidas V_A , V_B y V_C en un mismo punto. A modo de adelanto, en la [Figura 5.18](#) se puede observar como la acción de salida de cada una de las ramas solo se diferencia por las diferentes acciones de cada una de las resistencias virtuales R_v .

La función de transferencia de este filtro de continua es:

$$G_{DC\ filter}(s) = \frac{1}{\frac{L_{rama}C_{salida}}{3}s^2 + \frac{R_vC_{salida}}{3}s + 1} \quad (5.18)$$

Con el propósito de conocer la respuesta en frecuencia del filtro de salida a diferentes valores de resistencia virtual colocada en serie con la bobina, en la [Figura](#)

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

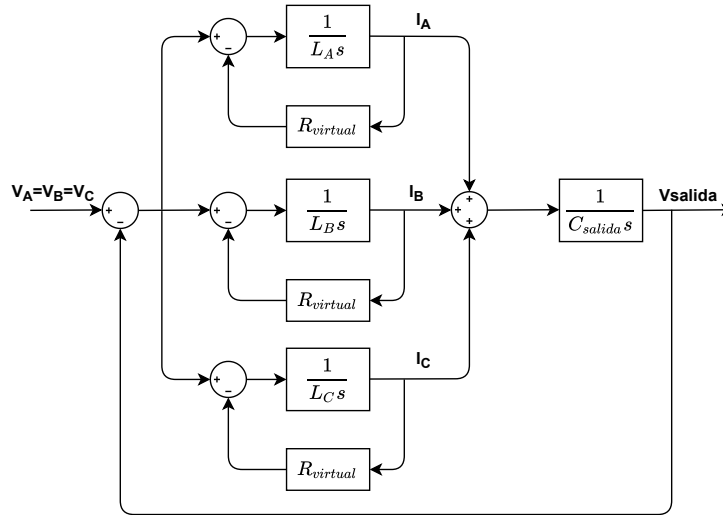


Figura 5.16: Diagrama de bloques del filtro de salida del convertidor DC, con resistencia virtual $R_{virtual}$ en serie con cada bobina. La nomenclatura de la figura sigue la referencia marcada en la [Figura 5.10](#).

ra 5.17 se realiza un barrido con distintos valores de resistencias. Se puede observar idealmente que a mayor valor de resistencia, la ganancia del pico de resonancia se reduce, aumentando la estabilidad del sistema. Pero este valor de resistencia también afecta al valor de margen de fase a obtener en el control y a la respuesta en estado estacionario, ya que el ruido de medida de corriente se ve amplificado por el valor de esta resistencia, debido a que es necesario multiplicar la medida real de la rama por el valor de esta [228]. Para el cálculo de la resistencia máxima según el margen de fase a obtener, en [227] se pueden encontrar las siguientes ecuaciones para su cálculo:

$$\omega_{max} = \frac{(\pi/2 - \phi_{des}) \cdot F_{control}}{\kappa} \quad (5.19)$$

$$R_{v(max)} = \omega_{max} \cdot L_{rama}$$

En la anterior [Ecuación 5.19](#), ω_{max} es la mayor frecuencia de corte con la ganancia máxima, ϕ_{des} es el margen de fase deseado del sistema completo, κ es el número de periodos de retraso en el control entre la toma de medidas y la aplicación de la acción, y $F_{control}$ es la frecuencia de control. El margen de fase deseado para conseguir una sobreoscilación nula en este sistema es de $\phi_{des} = 70^\circ$. Debi-

do al tiempo de ejecución del control y su aplicación, el valor máximo es $\kappa = 2$ [229, 230]. La $F_{control}$ viene definida por la [Tabla 5.2](#) y la $L_{rama} = 2 \text{ mH}$, calculada en la sección [Subsección 5.5.2](#). Con todos estos valores definidos podemos obtener que la mayor resistencia virtual para no reducir el margen de fase necesario es de $R_{v(max)} = 5,23 \Omega$. Este valor hace que el regulador pierda o gane una acción igual al valor de la corriente máxima del equipo, multiplicado por esta resistencia.

Como se ha explicado anteriormente, en la [Figura 5.17](#) se muestra un barrido a diferentes valores de resistencia virtual, llegando al máximo obtenido $R_{v(max)}$. Para obtener la resistencia mínima, en [223] se expone que el pico máximo de ganancia recomendable a la frecuencia de resonancia es de 6 dB. El valor mínimo de resistencia virtual que consigue esta ganancia está en torno a los $R_{v(min)} \cong 1,5\Omega$. Por lo tanto, el valor final podrá tener un rango de $R_{v(min)} = 1,5 \Omega \leq R_v \leq R_{v(max)} = 5,23 \Omega$. Con el fin de reducir la afcción del ruido y asegurar el margen de acción del regulador, se elige el valor de $R_v = 1,5 \Omega$ para continuar con el diseño, con la posibilidad de subir más en caso de ser necesario un aumento de la amortiguación del filtro.

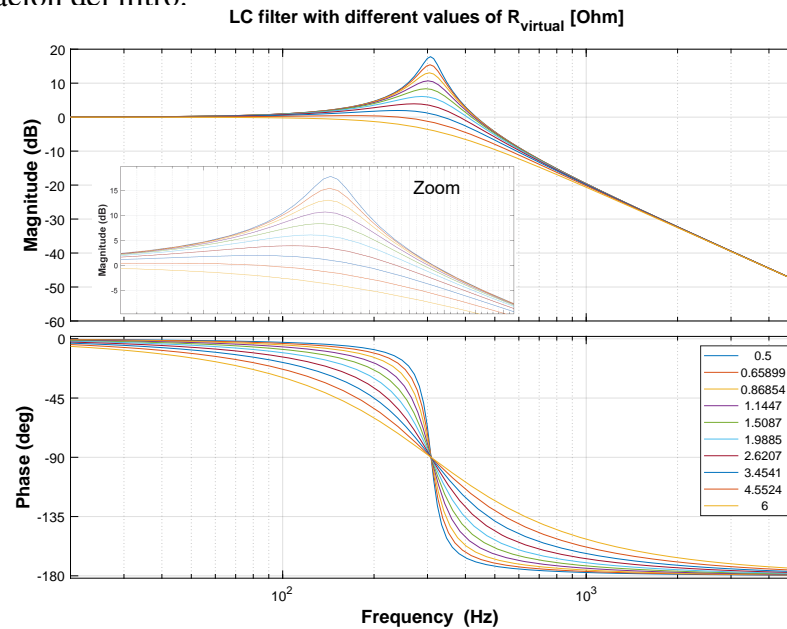


Figura 5.17: Respuesta en frecuencia del filtro de salida a diferentes valores de resistencias virtuales ($R_{virtual}$) en Ω .

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

5.5.3.2 Cálculo del regulador

El regulador **PI** es un tipo de regulador robusto que tiene un buen comportamiento ante posibles cambios de la planta, los cuales pueden ser debidos a cambios ambientales o por envejecimiento de los componentes. Tiene un buen seguimiento de la consigna y un buen rechazo a perturbaciones. Además es un controlador simple, por lo que no requiere gran coste computacional. Es por ello que es la opción elegida para el control de tensión de salida. El esquema de control se puede observar en la [Figura 5.18](#).

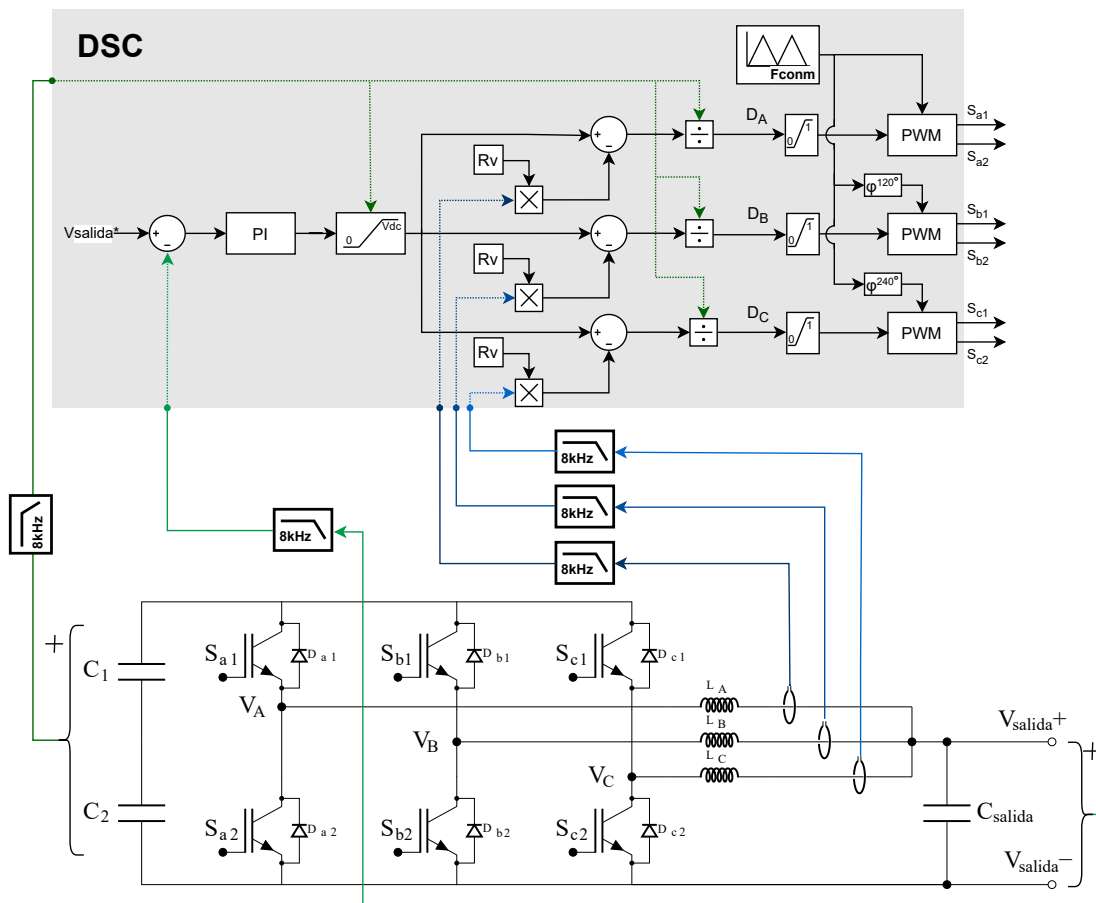


Figura 5.18: Diagrama de bloques del control de tensión de salida propuesto. Las medidas de corriente se muestran en colores azules y las medidas de tensión en colores verdes. Estas medidas se muestran en línea discontinua cuando llegan al DSC, debido a la discretización de la medida. Por facilitar la visualización de la figura, no se han incluido las relaciones de transformación de las medidas.

La medida de la tensión de salida es filtrada por un filtro analógico Butterworth de 4° orden, con una frecuencia de corte de 8 kHz. Este filtro evita el “aliasing” en la toma de medidas del controlador, y es utilizado en el resto de medidas del mismo. A la consigna de tensión requerida por el emulador V_{salida}^* se le resta esta medida de la tensión de salida, obteniendo el error de que se manda al regulador. El algoritmo del regulador **PI** es el siguiente:

$$PI(s) = K_p \frac{T_i \cdot s + 1}{s} \quad (5.20)$$

Para la discretización del regulador utilizamos el método de transformación Bilineal (Tustin), ya que preserva la estabilidad de la integración numérica y mantiene la respuesta en frecuencia. Si se elige un periodo de al menos 5 veces el pico de sensibilidad, el sistema es estable. La acción integradora de un regulador, si su acción satura, puede llegar a tener consecuencias no deseables, debido a que se rompe el lazo de realimentación. En este caso, es necesario saturar la acción de la salida del regulador entre 0 V y $V_{entrada}$ (V_{dc}), ya que el convertidor no es capaz de obtener mayor tensión. Existen varias formas de realizar esta saturación de la salida [231], pero la más sencilla es dejar de actualizar el valor del integrador si el actuador está saturado.

La acción saturada se divide posteriormente en tres, para calcular la acción necesaria en cada una de las ramas. En todas ellas, a esta acción se le resta la medida de la corriente de su respectiva rama por la resistencia virtual R_v . Cada uno de estos resultados es dividido por la tensión de entrada V_{dc} , la cual es la suma de las tensiones los condensadores C_1 y C_2 . De aquí se obtiene el ciclo de trabajo D de cada una de las ramas, para luego realizar una saturación entre 0 y 1 que es enviada al módulo **PWM**. Este módulo **PWM** es el encargado de la generación de los disparos de los **IGBTs**, y cada uno de estos módulos llega una portadora triangular a la frecuencia de conmutación F_{comm} . Esta portadora es desfasada 120° en el caso de la rama B y 240° para la rama C, técnica que consigue un rizado de tensión en el condensador C_{salida} tres veces mayor que la frecuencia de conmutación F_{comm} .

Los parámetros del regulador **PI** se muestran en la **Tabla 5.3**. Estos parámetros aseguran un margen de fase del sistema de 83.3°, y un margen de ganancia infinito,

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

Tabla 5.3: Valores de los parámetros de control del regulador PI y resistencia virtual.

Parámetro	Valor
K_p	800,8
T_i	0,00068
R_v	1,5 Ω

ya que el sistema nunca lleva a sobrepasar los 180° de fase. En la siguiente [Figura 5.19](#) se muestra el diagrama de Bode, el cual indica la respuesta en frecuencia del sistema en bucle abierto.

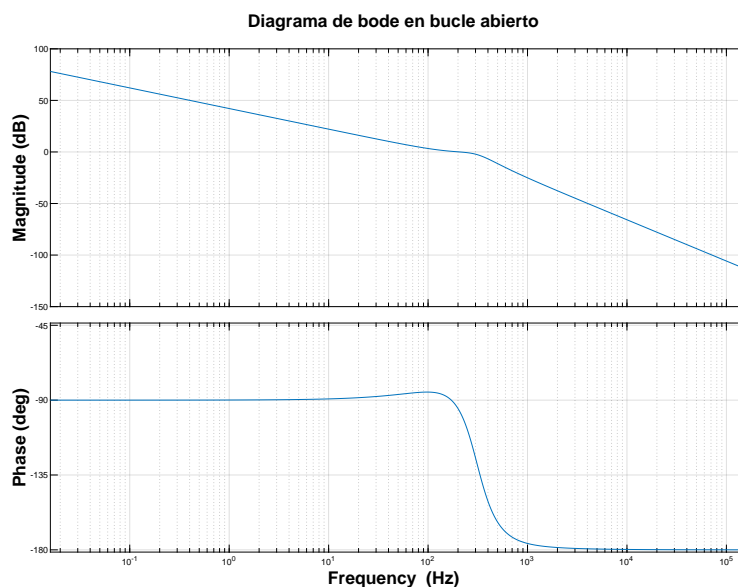


Figura 5.19: Diagrama de Bode en bucle abierto del sistema completo, con el regulador calculado en la [Tabla 5.3](#), obteniendo un margen de fase de $83,3^\circ$.

El primer objetivo del regulador es asegurar un error de posición nulo en el régimen permanente. Esto nos asegura que el sistema seguirá correctamente a la consigna designada. Esta característica nos la ofrece el integrador en el origen del regulador. El segundo objetivo a conseguir es reducir el tiempo de respuesta a perturbaciones en la demanda de corriente de salida del condensador C_{salida} . Esto es debido a que el caso más conflictivo de control del regulador es la perturbación de corriente entrante al emulador cuando se está a tensión máxima 500 V. Si el pico

de corriente es muy elevado y abrupto, puede ser que se supere el valor del bus de continua y que exista conducción por los diodos, perdiendo el control de la corriente, hecho que podría ser destructivo. Por lo tanto, un objetivo del regulador es evitar llegar a este nivel de tensión. El diagrama de bloques para conocer la respuesta ante un escalón de entrega de corriente al sistema se muestra en la [Figura 5.20](#).

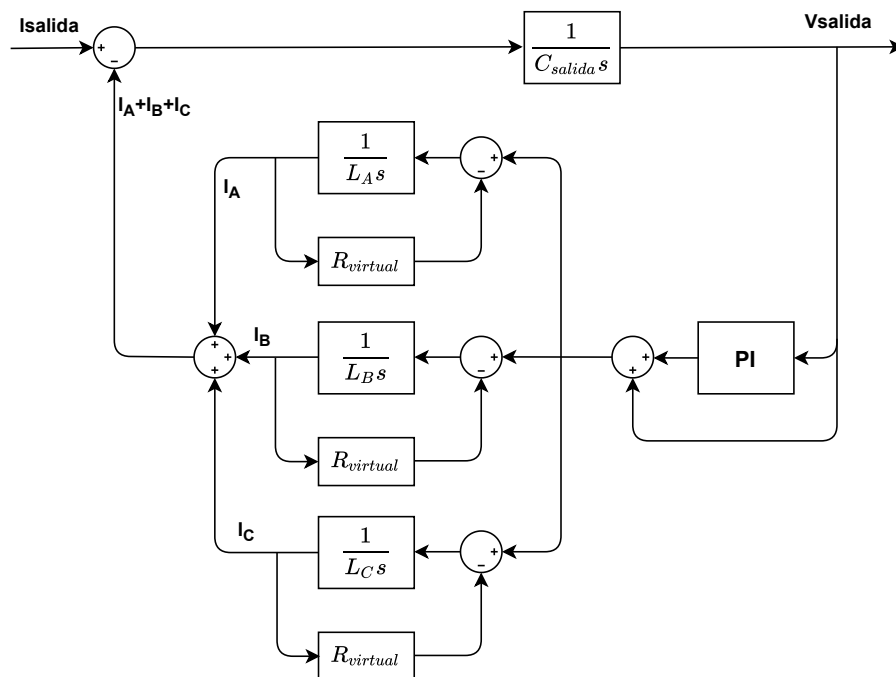


Figura 5.20: Diagrama de bloques del sistema para el estudio de la evolución de la tensión de salida ante una perturbación en escalón de la corriente de salida.

Si realizamos el estudio de la respuesta en escalón en la entrada de la corriente I_{salida} , obtenemos la evolución de la tensión en el condensador de la [Figura 5.21](#). Como vemos en la figura, una entrada de 1 A equivale a menos de 1.2 V, por lo que si lo extrapolamos a 100 A, la tensión máxima no superará los 120 V, quedando todavía 80 V de margen para la conducción no controlada por los diodos. Para conseguir esta respuesta rápida, se ha calculado la ganancia del regulador para obtener una frecuencia de corte de 206.9 Hz. Esto hace que el pico de resonancia del filtro LC calculado en la [Ecuación 5.17](#) se quede cerca de los 0 dB, provocando transitorios a esta frecuencia. Esto es un problema para la respuesta del sistema ante un

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

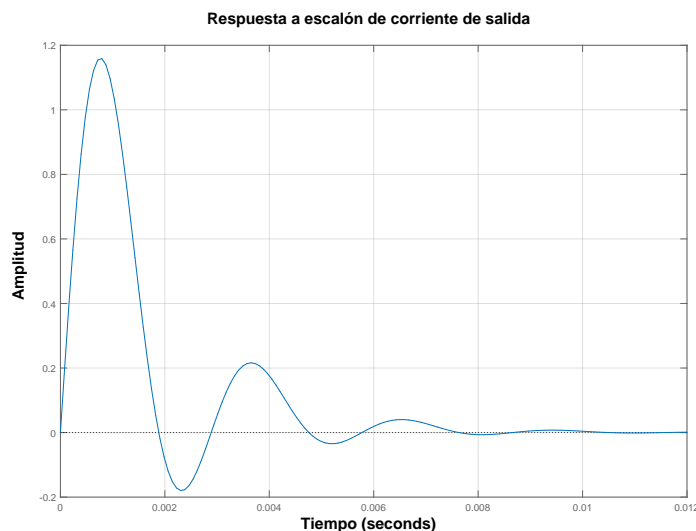


Figura 5.21: Respuesta ante una perturbación en escalón de la corriente de entrada del condensador de salida del filtro.

cambio en escalón de la consigna debido a su carácter oscilante, como se puede observar en la Figura 5.22a. Si embargo, las consignas de este sistema son enviadas a un periodo mínimo de 500 ms. Esto posibilita el filtrado de esta consigna para obtener cambios más suaves, consiguiendo que la respuesta oscilatoria no se vea reflejada en la tensión de salida, tal y como se aprecia en la Figura 5.22b, donde se realiza un cambio de consigna de tensión de 0 V a tensión máxima 500 V.

5.5.3.3 Estudio a desviaciones paramétricas del filtro

El estudio que se ha realizado hasta ahora del control se ha comprobado con los valores nominales de los componentes. Pero por motivos de fabricación, o por desviaciones producidas debido a la temperatura u horas de funcionamiento, estos valores pueden variar. Por ello se realiza un estudio del comportamiento del sistema a diferentes valores del filtro. Según fabricantes, los valores de desviación que pueden tener los componentes son de un $\pm 20\%$ L y de un $\pm 10\%$ C. En la Tabla 5.4 se muestran los valores tanto de las bobinas como del condensador de salida según estas posibles desviaciones paramétricas.

Para conocer la estabilidad ante estas diferentes variaciones, en la Figura 5.23

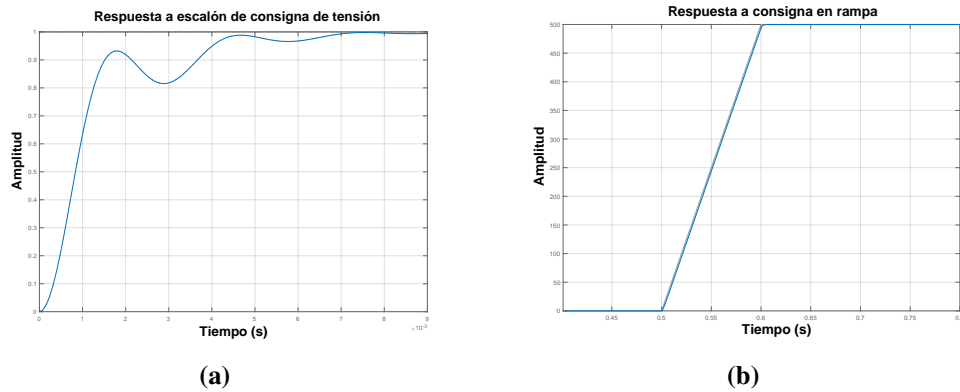


Figura 5.22: Respuesta del sistema ante diferentes tipos de consignas. **(a)** Respuesta a escalón unitario en la consigna de tensión de entrada. **(b)** Respuesta a consigna en rampa de entrada.

Tabla 5.4: Valores de los componentes nominales y sus desviaciones paramétricas máximas utilizados en el estudio.

Nombre	Inductancia	Capacidad
$L_{nom} C_{nom}$	L_{rama}	C_{salida}
$L_{+20\%} C_{+10\%}$	$1,2 \cdot L_{rama}$	$1,1 \cdot C_{salida}$
$L_{-20\%} C_{-10\%}$	$0,8 \cdot L_{rama}$	$0,9 \cdot C_{salida}$
$L_{+20\%} C_{-10\%}$	$1,2 \cdot L_{rama}$	$0,9 \cdot C_{salida}$
$L_{-20\%} C_{+10\%}$	$0,8 \cdot L_{rama}$	$1,1 \cdot C_{salida}$

se muestra el diagrama de Nyquist realizado del sistema con los valores nominales y de los 4 diferentes modelos con sus desviaciones máximas. Se puede ver cómo los límites de las desviaciones paramétricas del filtro siguen siendo estables y alejadas del punto de inestabilidad. También se observa que si el valor final de las bobinas es un 20 % mayor del valor nominal, el sistema se hace más inestable. Esto es debido a que para estos casos, el filtro reduce la frecuencia de resonancia, y debido a la ganancia del regulador, el sistema completo ve reducido su margen de fase. Todas estas variaciones tienen error de posición cero gracias al integrador del regulador.

Como ya se ha visto en la [Subsubsección 5.5.3.2](#), otro de los casos más importantes de estudio es la tensión máxima alcanzada ante un escalón de corriente máximo de 100 A con una consigna de tensión de 500 V. Para ello, en la [Figura 5.24](#) se ve la respuesta al escalón de corriente tanto del filtro con los valores

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

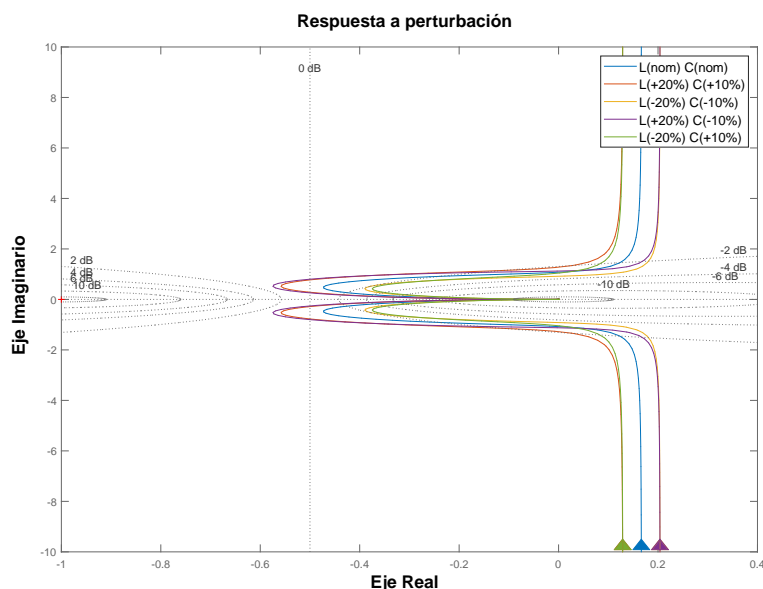


Figura 5.23: Diagrama de Nyquist tanto del sistema en bucle abierto con los valores nominales del filtro (azul), como de los otro cuatro casos con los valores extremos de desviación paramétrica de los componentes.

nominales como de los cuatro casos límite por las desviaciones paramétricas de los componentes. El peor caso se produce cuando la capacidad de salida es mínima y la inductancia es máxima. En el caso del condensador, esto es debido a que ante la misma corriente de perturbación, la energía almacenada en el mismo será menor con valores más pequeños, produciendo una variación mayor de tensión. A su vez, una inductancia más elevada añade más inercia a la variación de corriente por parte del convertidor, aumentando el tiempo de respuesta del mismo.

Por lo tanto, si el pico de tensión en el condensador no supera los 1.3 V ante un escalón de 1 A, significa que ante un escalón de 100 A con una tensión de 500 V, la tensión máxima alcanzada del filtro de salida no superará los 630 V. Este valor máximo de tensión deja un margen al emulador de 70 V (según la tensión V_{bus} indicada en la [Tabla 5.2](#)) para evitar la conducción no controlada por los diodos en antiparalelo de los transistores.

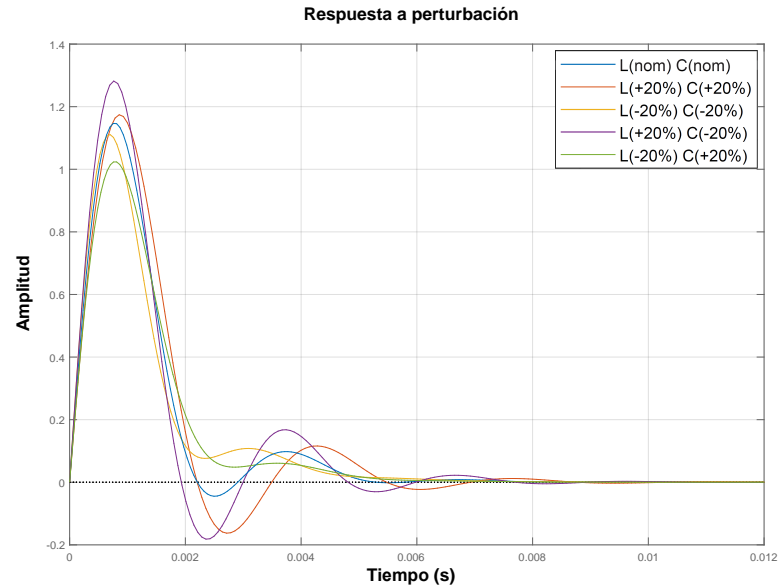


Figura 5.24: Diagrama de bloques del filtro de salida del convertidor DC/DC, con resistencia virtual $R_{virtual}$ en serie con la bobina. La nomenclatura de la figura sigue la referencia marcada en la Figura 5.10.

5.6 Resultados experimentales

5.6.1 Bancada de pruebas

El equipo completo, cuyo esquemático se mostró anteriormente en la Figura 5.1, se puede ver en la Figura 5.25. Para probar el equipo y obtener los resultados experimentales del mismo, se ha realizado una bancada de pruebas, en la cual se conecta el emulador a un cargador V2G desarrollado. En la parte del emulador, el bastidor inferior pertenece al cargador AC/DC y la parte superior es la envolvente del convertidor DC/DC. Los dos están conectados a la EBox, la cual también está conectada a un analizador de red a través de comunicación RS-485.

La secuencia de operación, tanto del arranque como la de paro, se puede observar en la Figura 5.26. En esta se muestran los pasos realizados por cada uno de los elementos del emulador, los cuales están indicados en distinto color. Se puede observar también que existen cuatro tareas periódicas con distintos pasos de ejecución. La primera se encarga de la visualización de los principales datos del sistema

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

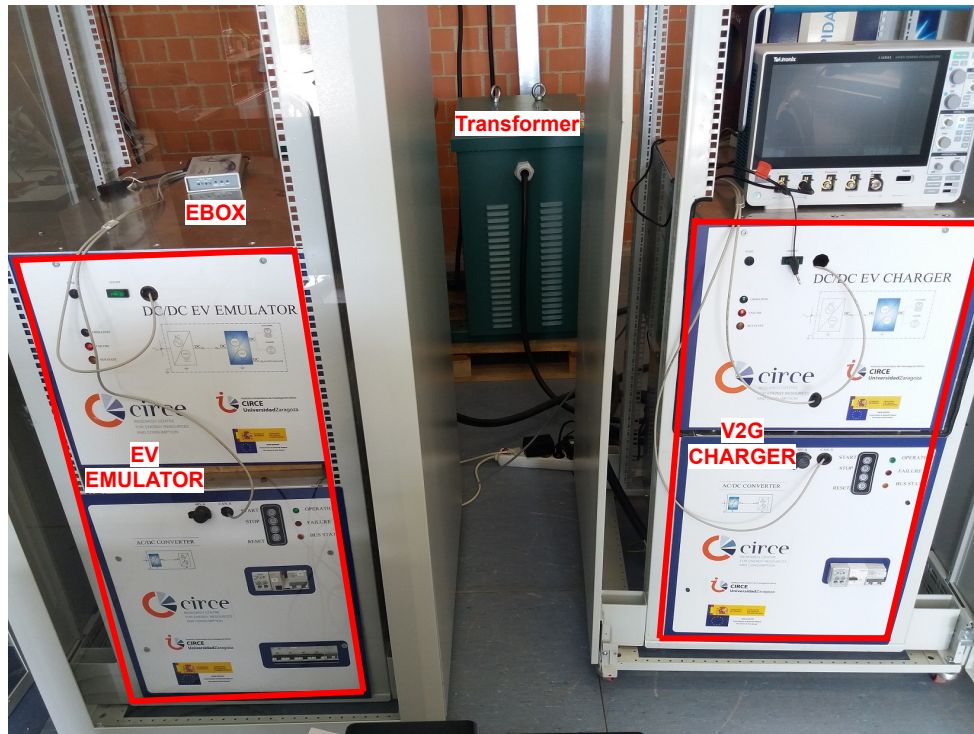


Figura 5.25: Bancada de pruebas usada para la obtención de los resultados experimentales del cargador DC/DC. A la izquierda, el emulador de 50 kW junto con la EBox. A la derecha, el cargador V2G CHAdeMO de 50 kW, junto con el transformador de potencia al fondo.

al usuario. La segunda ejecuta el control de la compensación de reactiva. La tercera es la comunicación periódica entre el emulador y el cargador y la cuarta es la encargada de la gestión de la carga por parte del usuario, comunicando las variaciones de tensión y corriente demandadas en cada momento.

5.6.2 Comportamiento del sistema

Para la comprobación del control desarrollado, en la [Figura 5.27](#) se muestra la evolución de la tensión de salida ante un cambio en escalón de consigna de tensión de 0 V a 40 V. Se puede observar como la evolución de la tensión es de un sistema amortiguado con un tiempo de respuesta de 2 ms. Este sistema está más amortiguado que el calculado para el control, ya que en este no se tenían en cuenta las pérdidas parásitas de los diferentes elementos del filtro de salida LC.

5.6 Resultados experimentales

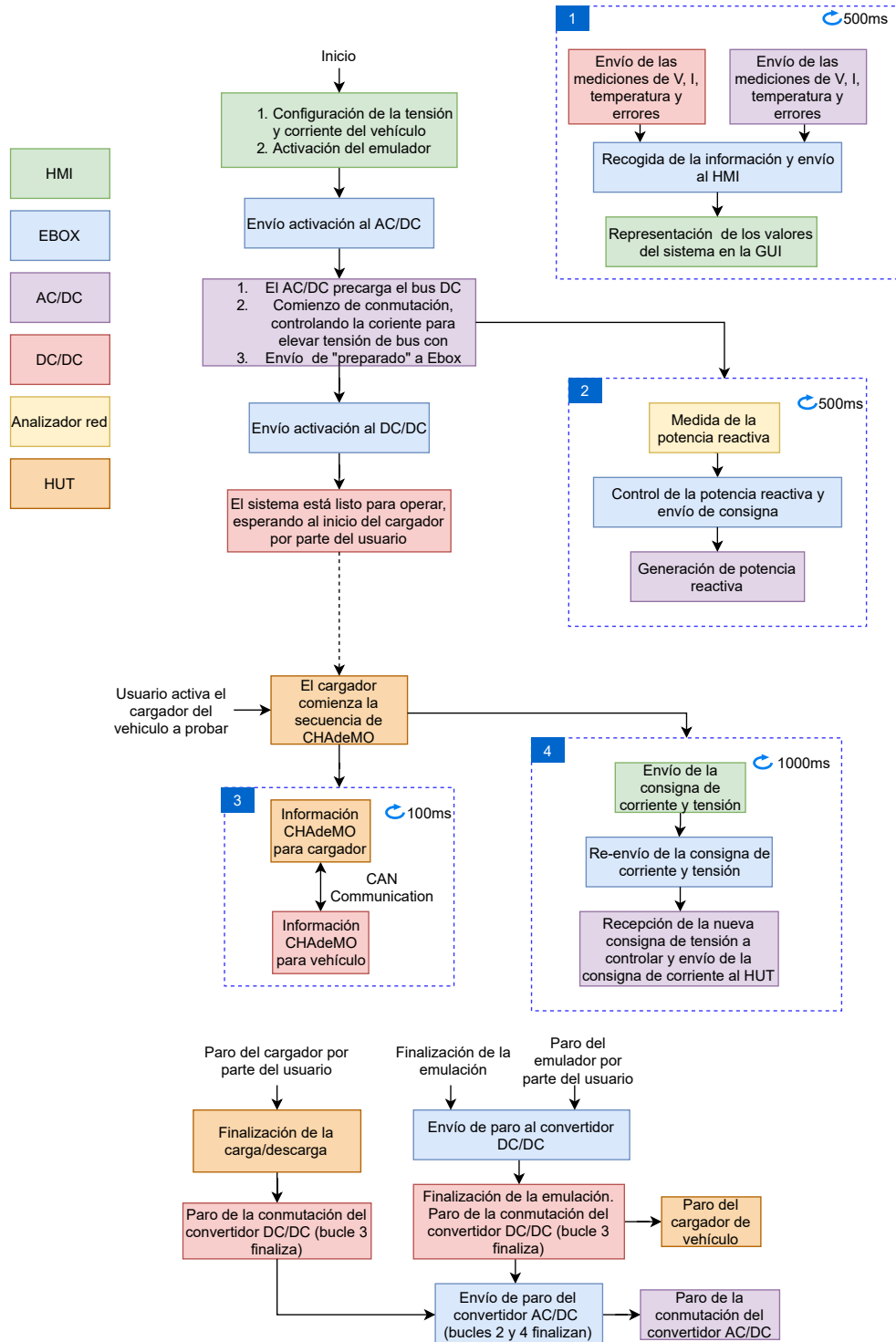


Figura 5.26: Diagrama con la secuencia de operación del sistema completo, especificando las partes secuenciales e iterativas.

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

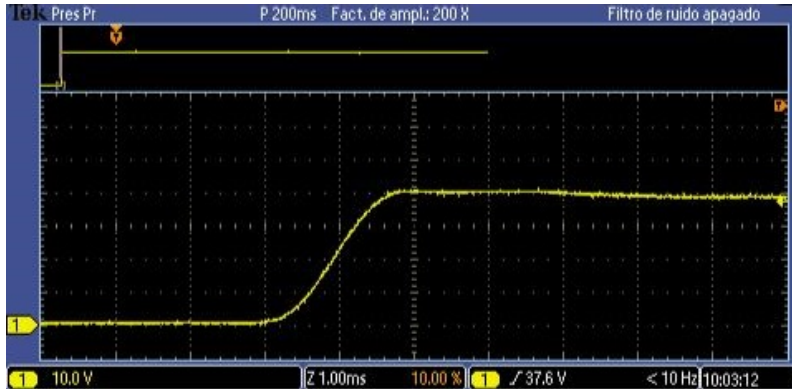


Figura 5.27: Respuesta de la tensión de salida al escalón de consigna en tensión de 40 V.

En la [Figura 5.28](#) se muestra cómo reacciona la tensión de salida del convertidor DC/DC ante una variación en rampa de la corriente del cargador V2G. Debido a que el protocolo CHAdeMO marca unas pendientes máximas de evolución de la corriente por parte del cargador, esta provoca un error de tensión en la salida despreciable, ya que prácticamente su variación está por debajo del ruido de salida.

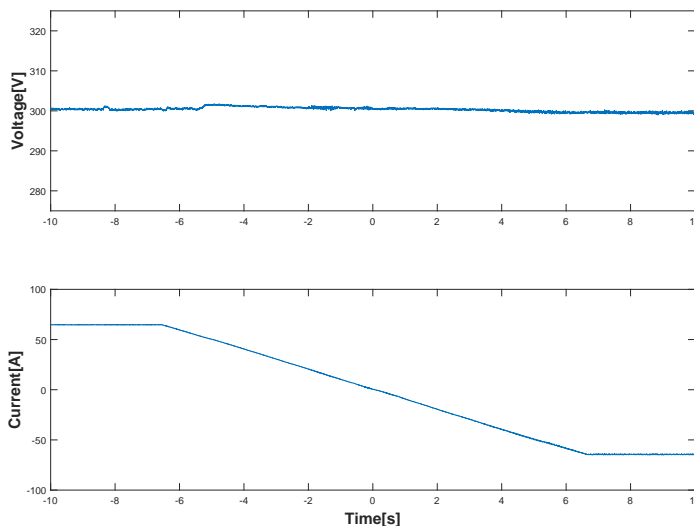


Figura 5.28: Comprobación de la evolución de la tensión de salida a 300 V (superior) ante un cambio en la corriente de 65 A a -65 A (inferior). Se puede observar que el emulador consigue estabilizar la tensión ante estos cambios de corriente suministrados por el cargador.

5.6 Resultados experimentales

Para probar el control del convertidor, se realiza un cambio de consigna de tensión en el emulador a la vez que se modifica la corriente de carga del cargador. La [Figura 5.29](#) muestra el resultado de esta prueba. Se puede ver como el filtrado de la consigna de tensión consigue un transitorio suave en la salida. Además, la variación de corriente no muestra desviaciones visibles en la tensión de salida del convertidor.

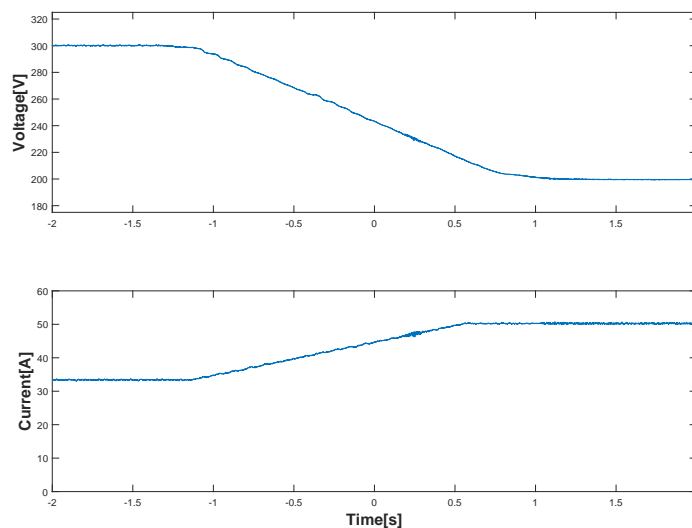


Figura 5.29: Resultado experimental de la variación de la consigna de tensión de salida de 300 V a 200 V con una consigna de potencia de 10 kW. Se puede observar la evolución de la tensión (superior) y de la corriente (inferior) a la salida del emulador, manteniendo una potencia constante.

En la prueba que se muestra en la [Figura 5.30](#), se puede ver el cargador emulando una carga completa de un vehículo eléctrico. En este caso, la medida de tensión está tomada en los bornes de la manguera del cargador, por lo que el primer pico de tensión que aparece en la gráfica pertenece al test de aislamiento realizado por el propio cargador. Este test de aislamiento está recogido en la normativa CHAdeMO para prevenir posibles pérdidas de aislamiento en el conjunto cargador, manguera y vehículo. Una vez realizado, el emulador es el que fija la tensión de la prueba y el cargador la corriente. En este caso, se ha emulado un patrón de 5 minutos de carga, en el que la tensión de vehículo eléctrico va subiendo durante la misma hasta llegar

5. DISEÑO SISTEMA DE PRUEBAS PARA CARGADORES V2G

a su valor máximo, momento en el cual el emulador le indica al cargador que quiere finalizar la carga.

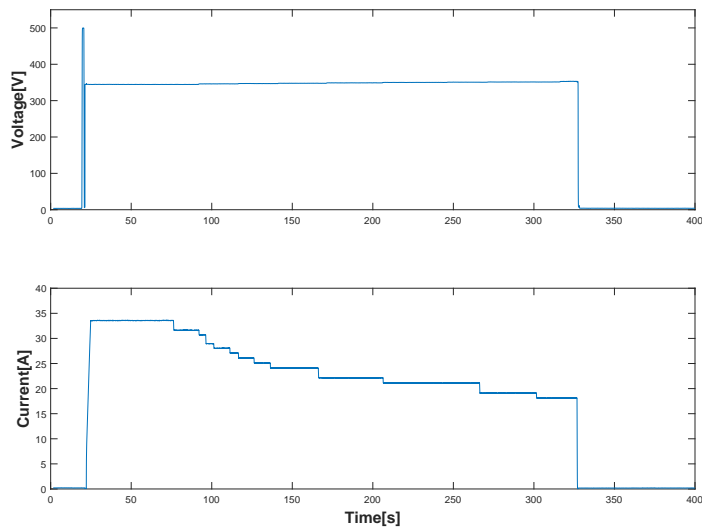


Figura 5.30: Emulación del perfil de carga de un vehículo eléctrico durante 5 minutos. El gráfico superior es la tensión de salida del cargador y el gráfico inferior es la corriente de carga. Se puede observar el pico de tensión generado por el cargador, el cual está especificado en la normativa de CHAdeMO para medir posibles pérdidas de aislamiento en la manguera.

“Todo acaba bien para todo el que sabe esperar.”

León Tolstói

CAPÍTULO

6

Laboratorio de Estudios y Ensayos de Electrónica de Potencia (LE³P)

PREGUNTAS: ¿Cuál es la metodología adecuada para el desarrollo de sistemas para la Smartgrid? ¿Qué métodos de evaluación incorporamos en el laboratorio en cada proceso? ¿Cuáles es el equipamiento disponible en el laboratorio para las pruebas de verificación y validación? ¿Qué pruebas se han realizado ya en el servicio tecnológico? [[Resumen capítulo](#)]

6.1 Metodología del servicio tecnológico

En esta tesis se ha visto la necesidad de los sistemas de pruebas para la verificación y validación de los elementos de la Smartgrid. Gracias a esto, durante el transcurso de la misma, se ha llevado a cabo el desarrollo y despliegue de un servicio tecnológico para la prueba de sistemas de potencia en las instalaciones de CIRCE. El principal objetivo es ayudar y acompañar a las empresas durante el desarrollo de

6. LABORATORIO DE ESTUDIOS Y ENSAYOS DE ELECTRÓNICA DE POTENCIA (LE³P)

sistemas de potencia eléctrica, con especial atención en la verificación y validación de los diferentes módulos y/o sistemas.

Una metodología ampliamente utilizada para el desarrollo, integración, verificación y validación de un equipo es el modelo en V [33, 232]. La Figura 6.1 muestra la secuencia del modelo en V. En ella se ha añadido la diferenciación entre hardware y software, dado que tienen diferentes métodos de prueba. En la finalización de los requerimientos, se redacta un documento recogiendo lo definido, así como el test realizado para la verificación y/o validación. En [232] el proceso de requerimientos es iterativo, finalizando en un paquete de datos técnicos (TDP), el cual define la configuración del diseño y los procedimientos necesarios para asegurar el objetivo. En este caso, en la figura se ha omitido la generación de la documentación para la facilidad de lectura.

- **Estado del arte - Benchmarking:** esta fase es previa a la realización del equipo. Tiene como objetivo reunir toda la información relevante que permita concretar al máximo las necesidades.
- **Requerimientos:** en esta fase se mantiene un fuerte interacción con el cliente recogiendo las necesidades. Estas necesidades se plasmarán en un documento, el cual indicará los requisitos a cumplimentar por el desarrollo. Este documento de requisitos podrá ser utilizado después en la validación del sistema.
- **Diseño Sistema:** en esta fase se diseña el sistema con una perspectiva general. Para ello se necesita de una comprensión profunda de las necesidades y requerimientos anteriores, requerida para el desarrollo de la arquitectura del sistema. En ella se describen los diferentes módulos (o sub-sistemas) tanto software como hardware necesarios para su desarrollo, haciendo especial hincapié en la definición de interacciones entre ellos. También se especificarán las pruebas a realizar necesarias para la verificación del sistema
- **Diseño módulo/s software-hardware:** aquí es donde se realiza el diseño específico de cada módulo, tanto software como hardware. Necesita de una interacción constante con el diseño del sistema, ya que es necesario que el diseño de cada módulo mantenga la compatibilidad con el resto del sistema. Aquí es necesario definir las pruebas de verificación necesarias para asegurar

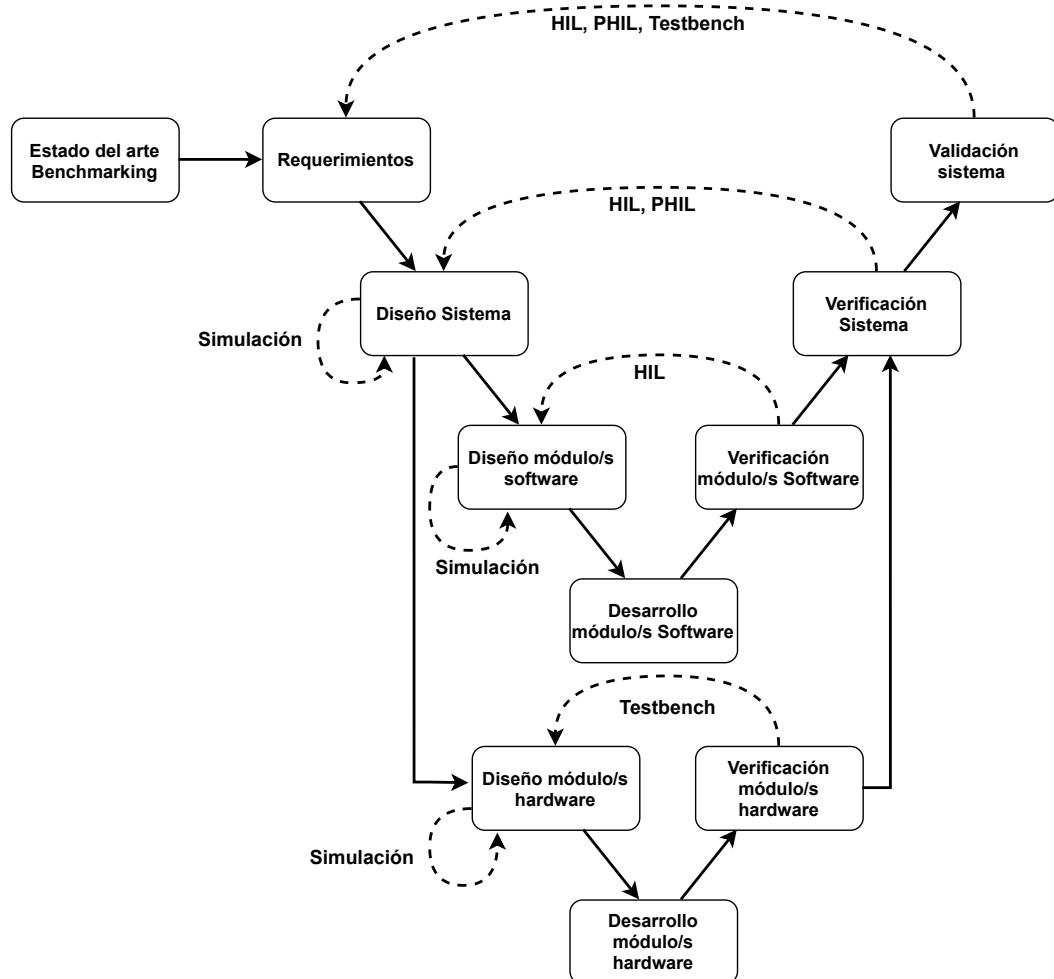


Figura 6.1: El modelo de desarrollo en V, adaptado para el Laboratorio de Estudios y Ensayos de Electrónica de Potencia (LE³P).

la correcta ejecución. Estas pruebas ayudan a detectar los problemas en fases tempranas del desarrollo, lo que ayuda a abaratar costes.

- **Desarrollo módulo/s software-hardware:** es la fase puramente de ejecución. En el caso del software, la implementación del código es llevada a cabo utilizando el sistema de computación y lenguaje que se haya definido en las anteriores fases. En caso del hardware, la realización del mismo se ejecutará teniendo en cuenta también los parámetros descritos en las anteriores fases, como peso, dimensiones, coste, etc.
- **Verificación módulo/s software-hardware:** el objetivo de esta fase es depu-

6. LABORATORIO DE ESTUDIOS Y ENSAYOS DE ELECTRÓNICA DE POTENCIA (LE³P)

rar los errores de diseño y ejecución de los módulos. Se hace principal hincapié en el ensayo de aquellas partes que no van a poder ser verificadas en el resto de fases (verificación y validación del sistema). Para ello, se llevarán a cabo las verificaciones definidas en el diseño de cada uno de los módulos.

- **Verificación Sistema:** en esta fase se verifica el sistema completo. Se presta especial atención en la verificación de la interacción de cada uno de los módulos entre sí. También se verifica el funcionamiento del sistema con los elementos externos con los que tiene que interaccionar, especialmente comunicaciones. Se ejecutan las verificaciones definidas en el fase de diseño de sistema.
- **Validación Sistema:** es la última fase del desarrollo técnico del equipo, en la que se tiene en cuenta el documento de requerimientos para la realización de la validación. Se hacen también las pruebas de pre-certificación de la normativa a querer pasar, que en un futuro se realizará por un organismo externo.

6.2 Equipamiento

A continuación se va a presentar brevemente parte del equipamiento disponible en el laboratorio para el diseño, implementación, fabricación, verificación y validación de sistemas de potencia. En la [Figura 6.2](#) se muestran las diferentes agrupaciones que se ha realizado de este equipamiento. Más adelante se nombran los diferentes equipos, incluyendo sus principales características.

- Amplificador de potencia: estos equipos, como se ha visto previamente, permiten la reproducción de señales eléctricas pero a una potencia elevada. Es decir, es un generador de señales que permite un intercambio de potencia elevada. En el laboratorio de dispone de:
 - CSU 100 - Egston [233]: amplificador de tensión/corriente con salida AC y DC de 4 ramas, una potencia de 100 kVA y un ancho de banda a onda completa de 5 kHz.
 - GE/EL + vAC/DC - Cinergia [234]: amplificador de tensión/corriente con salida AC y DC de 3 ramas, una potencia de 30 kVA y portable.
- Simuladores digitales en tiempo real: se disponen de varios simuladores.



Figura 6.2: Equipamiento principal disponible en el LE³P.

- RTDS [97]: equipo cuya utilización principal en el laboratorio es la de simular en tiempo real redes eléctricas complejas.
- OP4510 - Opal-RT [82]: equipo cuya utilización principal en el laboratorio es la de simular en tiempo real convertidores de electrónica de potencia.
- Sistemas de medida: en el laboratorio se dispone de varios equipos de medida para la verificación de las pruebas: osciloscopios, sondas de corriente y tensión (varios rangos), polímetros, cámaras térmicas y sondas de temperatura, medidor de aislamiento, etc.
- Software de diseño hardware: se dispone de varios software para el diseño del hardware:
 - Altium designer [235]: utilizado para el diseño de PCBs tanto de potencia, control y/o comunicación.
 - Autocad [236]: utilizado para el diseño de los esquemas eléctricos de los armarios eléctricos y/o electrónicos.
 - Solidworks [237]: utilizado para el diseño de las envolventes de los equipos, principalmente de sistemas de electrónica de potencia.

6. LABORATORIO DE ESTUDIOS Y ENSAYOS DE ELECTRÓNICA DE POTENCIA (LE³P)

- Prototipado y soldadura: permite la fabricación y montaje rápido de los prototipos, acelerando el proceso de diseño:
 - Impresora 3D - CR 10 Max [238]: con un tamaño de 470 mm x 450 mm x 450 mm, realiza piezas en diferentes materiales.
 - Banco de herramientas y estación de soldadura: toda la herramienta necesaria para el montaje tanto de envoltorios como de PCBs.
 - Microscopio: utilizado para la revisión de soldaduras defectuosas.
- EMC : equipamiento para la medición y comprobación de la compatibilidad electromagnética y resistencia estática:
 - LISN - NLK 8121 [239]: permite la medición de equipos trifásicos con una corriente máxima de 100 A y una tensión de 250 V.
 - Analizador de espectro: R&S FPC 1500 [240]: permite la lectura de la emisión electromagnética hasta una frecuencia máxima de 3 GHz. Dispone del software R&S ELEKTRA con el que se puede obtener los resultados de la medición según el estándar a querer validar.
 - Sondas campo cercano TBPS01 [241]: para la medición de la radiación de campos magnéticos (gracias a las sondas H20, H10 y H5) y eléctricos (con la sonda E5).
 - Pistola ESD - Onyx 16 [242]: permite la comprobación de equipos ante descargas de estática de elevado valor de tensión. Con esta pistola se puede llegar a tensiones de 16 kV.
- Sistemas embebidos: disposición de varios sistemas embebidos para su utilización en caso de necesidad de un prototipo rápido. Los hardware utilizados son:
 - Microchip [243]: PIC, Smartfusion2.
 - Texas Instruments [244]: TMS320F28335, TMS320F2838XD.
 - ST [245]: STM32F1, STM32F7, STM32H7, STM32MP1.
 - Xilinx [246]: ZYNQ7000, Spartan 6.
 - Raspberri-Pi [247]: varios de sus modelos. Actualmente compute module 3 integrado en tarjeta propia para multiuso.
- Simulación: herramientas software disponibles para la comprobación por computador durante el diseño de los diferentes prototipos:

6.3 Métodos de prueba disponibles en el laboratorio

- COMSOL [248]: simulador por elementos finitos, utilizado principalmente en el laboratorio para el diseño de elementos eléctrico y magnéticos.
- Matlab-Simulink [174]: herramienta de simulación multipropósito, utilizado para el diseño de controles, análisis de sistemas eléctricos o para la realización de scripts de cálculo.
- PSIM [249]: simulador de circuitos electrónicos, usado principalmente para la comprobación de circuitos realizados en los diseños de las PCBs.

6.3 Métodos de prueba disponibles en el laboratorio

Una vez visto el equipamiento en el apartado anterior, a continuación se muestran todos los métodos de prueba disponibles en el laboratorio. Estos métodos ya se vieron en detalle en la [Sección 2.2](#).

6.3.1 Simulación

Un ejemplo de simulación realizado se ha mostrado en el [Sección 4.5.5](#), donde se ha utilizado la herramienta Matlab-Simulink [174] para la simulación de un amplificador de corriente de gran ancho de banda. Otro ejemplo, en este caso para el diseño de hardware, se puede observar en [Figura 6.3](#), donde se realiza el diseño de un transformador planar de alta frecuencia para la carga inductiva de un vehículo eléctrico utilizando la herramienta COMSOL [248]. Este software permite el estudio de la distribución del campo eléctrico y magnético en el material, llegando a conocer si existe algún punto donde pueda llegar a saturar. Permite también conocer la eficiencia del sistema, necesario para el diseño térmico del mismo.

6.3.2 Banco de pruebas (Testbench)

Como se expuso anteriormente en la [Sección 2.2.4](#), este método consiste tanto en la comprobación del hardware a escala en el laboratorio, como en la utilización de una fuente de alimentación o un amplificador de potencia controlado en bucle abierto. Este método es muy útil para la verificación de los diferentes módulos

6. LABORATORIO DE ESTUDIOS Y ENSAYOS DE ELECTRÓNICA DE POTENCIA (LE³P)

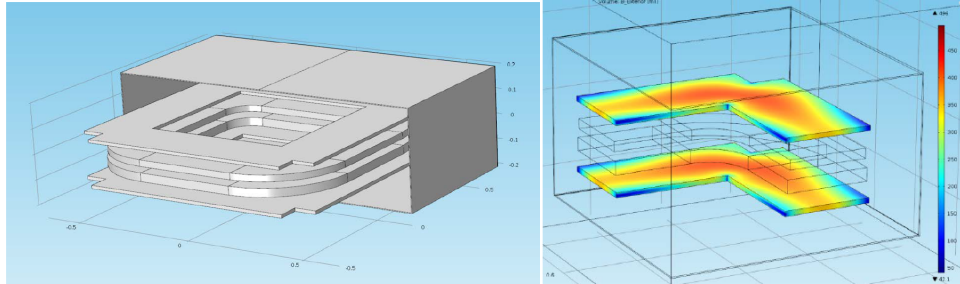


Figura 6.3: Simulación de un sistema de carga inductiva de vehículo eléctrico utilizando el software COMSOL [248]. A la izquierda se puede ver la forma del transformador planar y a la derecha la distribución del campo magnético por la ferrita.

hardware por separado de un mismo sistema. A modo de ejemplo, en el [Anexo B](#) se utiliza esta técnica para la caracterización de un sistema inductivo. Otro ejemplo se puede ver en la [Figura 6.4](#), donde se utiliza una fuente de alimentación para la comprobación de la protección ante cortos de un transistor de carburo de silicio.

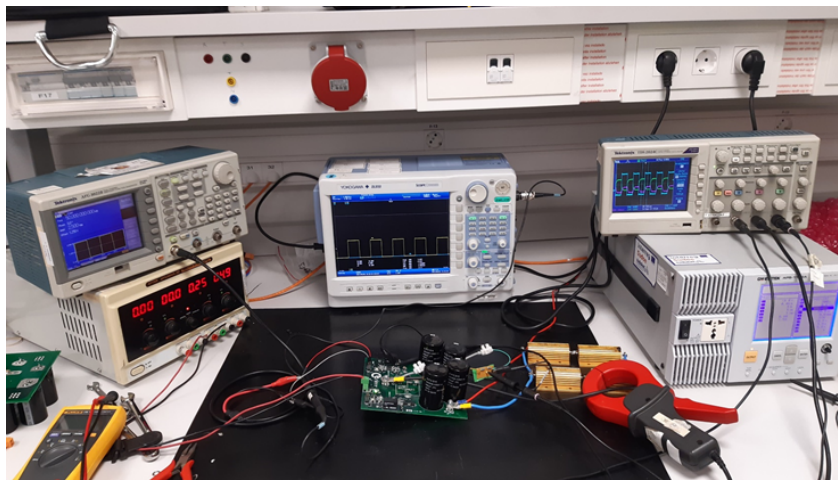


Figura 6.4: Banco de pruebas para la validación de la protección ante cortocircuito de un transistor de carburo de silicio.

6.3.3 HIL

La técnica de pruebas [HIL](#) utiliza un simulador en tiempo real para la comprobación de sistemas computacionales (Sección [2.2.2.1](#)). Dentro del laboratorio, se tiene

6.4 Modelo final del Laboratorio de Estudios y Ensayos de Electrónica de Potencia (LE³P) y pruebas realizadas

experiencia principalmente en la utilización de este método para la comprobación de sistemas de control de electrónica de potencia y la verificación y validación de sistemas de protección de la red eléctrica.

6.3.4 PHIL

Esta técnica de pruebas permite tanto la verificación del hardware a potencia nominal, como el estudio de su impacto en el sistema donde va a ir conectado (Sección 2.2.2.2). Para ello, en las instalaciones de CIRCE se disponen de dos simuladores en tiempo real (RTDS [97] y Opal-RT [82]) compatibles con el amplificador de potencia CSU100 de Egston Power [233]. Esto permite al servicio tecnológico la emulación de sistemas con una frecuencia de corte de hasta 2 kHz. En la Figura 6.5 se puede observar la bancada de ensayos disponible en el laboratorio.



Figura 6.5: Equipamiento utilizado en el laboratorio para la técnica de pruebas PHIL.

6.4 Modelo final del Laboratorio de Estudios y Ensayos de Electrónica de Potencia (LE³P) y pruebas realizadas

En la Figura 6.6 se puede ver el modelo en V para el desarrollo de nuevos equipos, incluyendo el equipamiento disponible en el laboratorio para su ejecución. Además, se ha marcado cada etapa del modelo según sea su característica, ya sea diseño, desarrollo o comprobación. Este gráfico permite ver al cliente cuales son

6. LABORATORIO DE ESTUDIOS Y ENSAYOS DE ELECTRÓNICA DE POTENCIA (LE³P)

las capacidades y equipamiento a poder utilizar en cada punto de ejecución de los prototipos, y qué pasos seguir para la validación de los mismos que permita llevar al desarrollo a mercado.

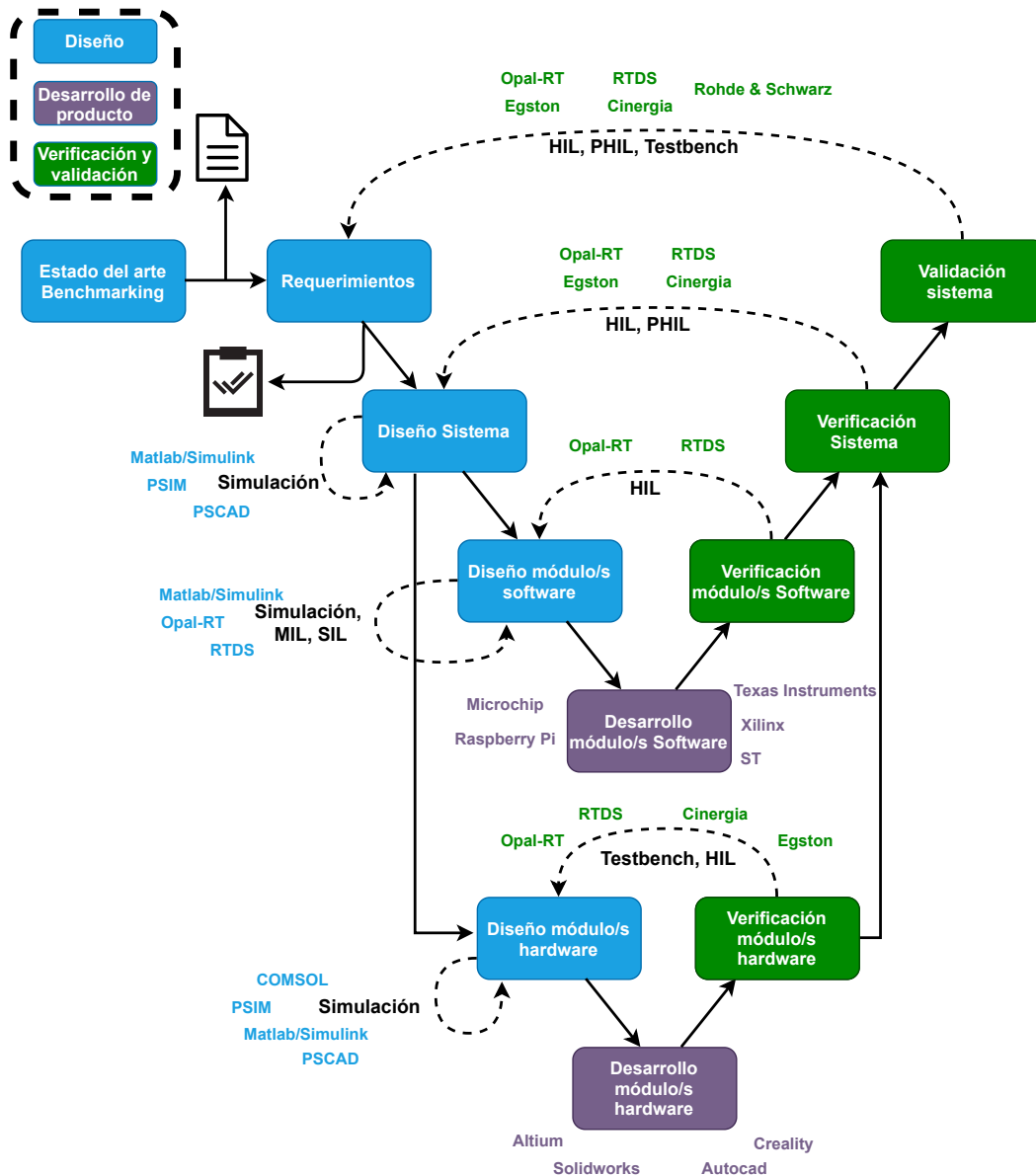


Figura 6.6: El modelo de desarrollo en V del LE³P mostrado en la Figura 6.1, incluyendo las herramientas disponibles en el laboratorio para su desarrollo, verificación y validación. También se ha hecho una clasificación de las etapas según sea diseño, desarrollo de producto o verificación/validación.

6.4 Modelo final del Laboratorio de Estudios y Ensayos de Electrónica de Potencia (LE³P) y pruebas realizadas

En los anexos de esta tesis se muestran diversas pruebas realizadas dentro del servicio tecnológico creado en CIRCE. Para llevarlas a cabo se ha utilizado parte del equipamiento anteriormente descrito. Los ensayos realizados son:

- **Anexo B:** se realiza la comprobación y caracterización de un sistema de recarga por inducción de un sistema robótico cognitivo aéreo para labores de mantenimiento de la red eléctrica de transporte.
- **Anexo C:** se verifica el funcionamiento correcto de un convertidor DC/DC aislado galvánicamente por un transformador a alta frecuencia, diseñado para la recarga de vehículos eléctricos.

Conclusiones y resultados de la tesis

La integración de energías renovables en la red eléctrica necesita sistemas inteligentes que garanticen la seguridad de suministro, estableciendo constantemente el equilibrio entre demanda y generación. Esta inteligencia supone un aumento en la complejidad del sistema eléctrico actual, sobre todo a nivel de la red de distribución, donde se espera una gran integración de nuevo equipamiento, capaz de funcionar como carga y/o generación controlada por un sistema de control local. Es previsible que la elevada casuística a la que se enfrentan estos nuevos sistemas, cause problemas durante su integración en el entorno real. Por ello, las técnicas de prueba en laboratorios que permitan una validación de estos nuevos sistemas de manera rápida, flexible y extensa, son un elemento clave para garantizar el éxito de esta transición.

Las conclusiones y resultados principales que pueden deducirse del presente trabajo son las siguientes:

- El método de pruebas **PHIL** es la que garantiza el mejor equilibrio entre cobertura y fidelidad para la validación de sistemas de potencia. Basado en la utilización de un simulador en tiempo real y un amplificador de potencia,

7. CONCLUSIONES Y RESULTADOS DE LA TESIS

los laboratorios pueden disponer de una bancada de pruebas que idealmente se puede comportar como cualquier sistema eléctrico, ofreciendo una gran flexibilidad.

- Es importante realizar el dimensionamiento de una bancada de pruebas PHIL según el tipo de comprobaciones a realizar en el laboratorio. Para ello, no basta con la información recogida en las hojas de características de los fabricantes de los equipos. Con el fin de la correcta selección de los componentes, es necesario conocer los resultados que otros laboratorios han conseguido en pruebas semejantes a las requeridas. Teniendo en cuenta todo lo anterior, se ha realizado un procedimiento para el dimensionamiento de una bancada de pruebas PHIL según el tipo de equipo a probar, el cual se ha incluido en la publicación [81].
- Las pruebas realizadas en la literatura utilizando el método PHIL, deben incluir la información necesaria para garantizar la reproducibilidad de la prueba y la reutilización de la configuración en experimentos similares. Una base de datos de estos experimentos con esta información, agiliza la puesta en marcha de la prueba, reduciendo el tiempo de integración del nuevo equipamiento necesario en la Smartgrid. Debido a ello, se ha elaborado una base de datos en línea de pruebas PHIL realizadas en laboratorios, la cual permite a estos consultar ensayos previos realizados, así como añadir información de nuevos experimentos realizados. Esta base de datos fue presentada en [168].
- Actualmente, los amplificadores lineales ofrecen una mayor precisión y estabilidad que los amplificadores conmutados. Sin embargo, el ancho de banda total que se consigue en pruebas PHIL actualmente es de solo 2 o 3 veces más que con los conmutados. Debido a esto, el número de aplicaciones donde únicamente se puede utilizar un amplificador lineal es reducido. Salvo que un laboratorio necesite realizar pruebas exclusivamente en este rango, la utilización de un amplificador conmutado ofrece beneficios en eficiencia y versatilidad, todo ello sin perder precisión en un gran número de pruebas. Los resultados de este análisis se presentaron en [176].

-
- El modelado y simulación de sistemas es cada vez más importante en el desarrollo de los nuevos equipos de la red eléctrica. Sin embargo, no hay una homogeneidad en la utilización de estas herramientas de simulación, reduciendo la compatibilidad de estos modelos. Esto dificulta la validación de sistemas complejos donde son ejecutados una gran cantidad de modelos diferentes. La adopción y evolución de estándares como el [FMI](#) agiliza las pruebas y asegura la robustez de los resultados de las mismas.
 - La paralelización y/o serialización de convertidores permite aumentar el ancho de banda de los amplificadores conmutados. En esta tesis se ha presentado un amplificador de corriente conmutado masivamente paralelo, el cual ofrece un aumento de casi 10 veces el ancho de banda de los amplificadores de corriente comerciales actuales. Este permitiría mejorar las prestaciones de las bancadas [PHIL](#) para la prueba de transformadores de estado sólido, convertidores “grid forming” o baterías. En [\[183\]](#) se mostró el diseño de este amplificador.
 - Para conseguir aumentar el ancho de banda de las pruebas [PHIL](#), mejorando la estabilidad y precisión de estas, no es suficiente con el aumento de las prestaciones de los equipos por separado. Es importante también reducir las latencias de las interacciones producidas entre el [DRTS](#) y el [PA](#). Para conseguirlo, es clave la mejora del acoplamiento e integración de estos dos elementos. Sin embargo, es difícil llevar a cabo la implementación de estas mejoras, debido a que son elementos de gran complejidad y las empresas que los desarrollan tienen distintas ramas de conocimiento. Por lo tanto, un salto evolutivo en las bancadas de pruebas [PHIL](#) es la integración en una única solución de estos dos mundos diferenciados: el desarrollo de simuladores en tiempo real y el desarrollo de amplificadores de potencia. Esta investigación es expuesta en [\[182\]](#) y llevada a cabo en más profundidad en el [Capítulo 4](#), consiguiendo incrementar en al menos 5 veces la frecuencia máxima de emulación de las actuales bancadas.
 - Los emuladores de potencia tienen menos cobertura que las bancadas de pruebas [PHIL](#), pero son elementos muy aconsejables para aquellos laborato-

7. CONCLUSIONES Y RESULTADOS DE LA TESIS

rios cuyas pruebas a realizar sean muy acotadas e intensivas. Estos elementos también son aptos para la prueba de sistemas de potencia con un protocolo de maniobra hardware y comunicaciones muy específico, como pueden ser los cargadores de vehículo eléctrico.

- La infraestructura de carga del vehículo eléctrico es uno de los principales retos a corto plazo a los que se va a enfrentar la red eléctrica. En esta tesis se ha desarrollado un emulador de vehículo eléctrico, el cual permite la validación del equipamiento de carga. Esto posibilita la realización de pruebas de carga/descarga de larga duración sin los problemas asociados al uso de una batería real. Además, gracias a su funcionalidad de vehículo **V2G**, permite a los laboratorios el estudio de estos cargadores para asegurar diversas funcionalidades en la red eléctrica, como puede ser el recorte de los picos de potencia. Este emulador fue presentado en [250].
- La experiencia acumulada en CIRCE durante casi treinta años, más el conocimiento adquirido durante el transcurso de esta tesis, ha permitido la creación del **Laboratorio de Estudios y Ensayos de Electrónica de Potencia (LE³P)** dentro de las instalaciones de CIRCE. En este laboratorio se oferta un servicio tecnológico para ayudar y acompañar a las empresas, universidades y centros tecnológicos durante el desarrollo de nuevos sistemas de potencia, así como la verificación y validación de estos. Esto posibilita la continuidad de este trabajo de investigación sobre los sistemas de prueba de potencia para la Smartgrid.

Anexos

ANEXO



Vehículos eléctricos y sus sistemas de carga

En el informe anual de la Agencia Internacional de la Energía (IEA) [251], señala que durante el año 2020, el 10 % de las ventas de vehículos en Europa han sido eléctricos. Dado este elevado porcentaje en comparación con los años anteriores, el número de cargadores rápidos se ha visto incrementado en Europa hasta llegar a los 38000. Como se puede ver en la [Figura A.1](#), a nivel internacional estos cargadores han aumentado hasta casi los 400.000. En el caso de los cargadores lentos, el aumento ha sido hasta llegar a poco más de 900.000.

En este mismo informe, se ha realizado también una previsión de la evolución del vehículo eléctrico y su infraestructura de cargadores necesaria para los años 2025 y 2030. Para ello se basan en dos posibles escenarios:

- **STEPS**: escenario de base utilizado en otros estudios de la IEA donde se tienen en cuenta las repercusiones de las políticas actuales y los planes industriales anunciados.
- **SDS**: escenario donde los acuerdos alcanzados en París sobre el cambio climático son alcanzados.

A. VEHÍCULOS ELÉCTRICOS Y SUS SISTEMAS DE CARGA

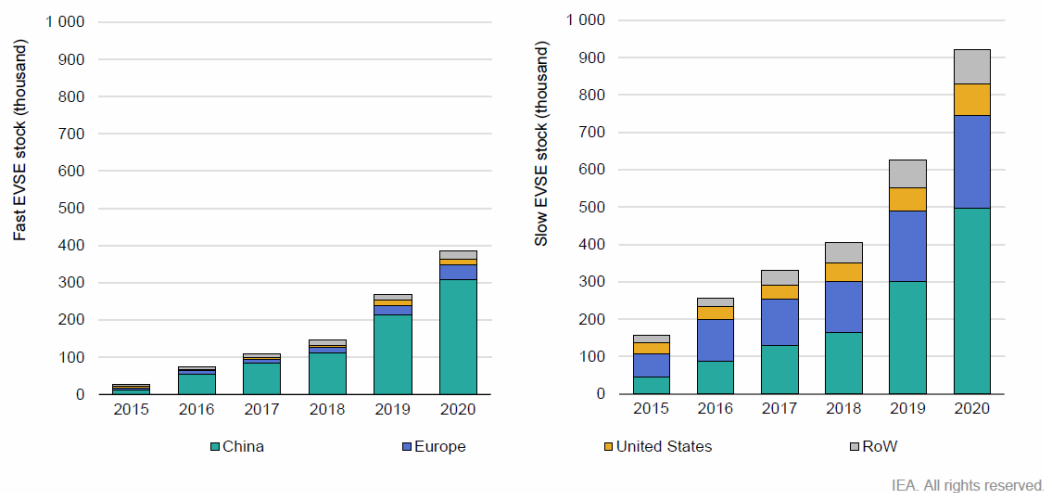


Figura A.1: Evolución del número de cargadores públicos lentos y rápidos desde el 2015 (Source: IEA (2021) Global EV Outlook. All rights reserved [251]).

La previsión realizada en el escenario **STEPS** es de una evolución del 30 % anual en la venta de vehículos eléctricos hasta llegar a un número total de vehículos de 145 millones para 2030. En el caso del escenario **SDS**, el número total de vehículos eléctricos llegaría a un total de 230 millones. Dado este aumento, en el informe se prevé un aumento considerable del número de cargadores necesarios para recargar toda esta flota. En la **Figura A.2** se puede ver cómo el aumento es considerable sobre todo para los cargadores de uso doméstico.

Este desplazamiento del transporte de los motores de combustión a los motores eléctricos, supone un aumento de la capacidad eléctrica considerable y pone en problemas a la red eléctrica actual. Para ayudar en su integración, se están haciendo esfuerzos para cambiar el papel de vehículo eléctrico dentro de la red eléctrica, pasándolo de una simple carga con flujo unidireccional de energía, a un sistema que además pueda entregar esta energía a la red eléctrica para su estabilización. A esta nueva capacidad del vehículo se la denomina **V2G** (Vehicle-to-Grid) y cada vez más vehículos y cargadores tienen implementados diferentes estándares que permiten esta funcionalidad.

Para la descarga de energía de la batería del vehículo a la red eléctrica, es necesaria una etapa de electrónica de potencia que adapte los niveles de tensión de la batería a los niveles de la red eléctrica. Actualmente, los cargadores de a bordo

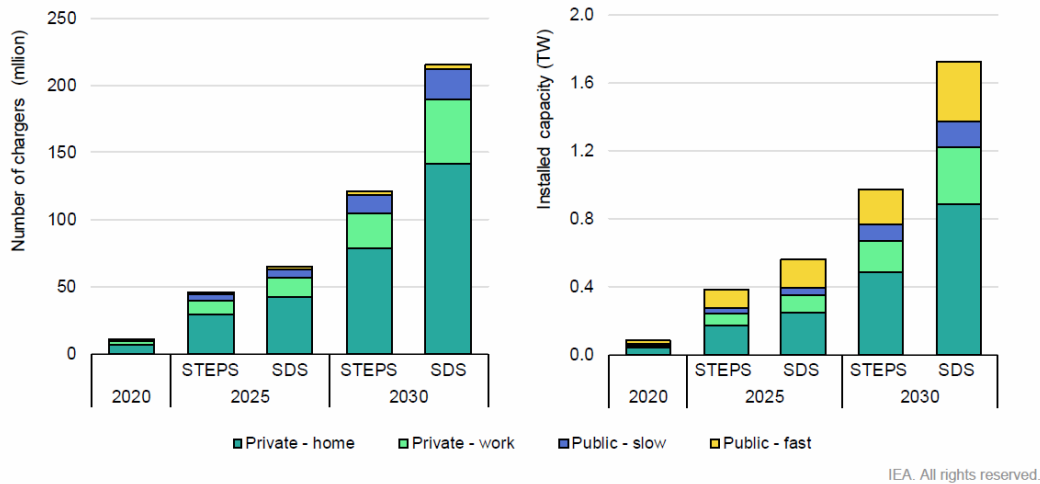


Figura A.2: Previsión de la evolución del número de cargadores para vehículo eléctrico y la potencia total instalada (Source: IEA (2021) Global EV Outlook. All rights reserved [251]).

de los vehículos no son capaces de realizar esta operación. Esto es debido a que las topologías unidireccionales, por regla general, tienen una densidad de potencia (W/m^3) y una potencia específica (W/kg) mucho mayor que las topologías bidireccionales. Por ello, actualmente las funcionalidades **V2G** de los vehículos son a través de protocolos basados en DC, donde la batería se conecta directamente al cargador rápido externo (**EVSE**), donde el peso de la electrónica de potencia no es un factor tan crítico.

Los estándares de carga en continua se pueden ver en la [Tabla A.1](#). Actualmente, los que soportan la funcionalidad **V2G** son CHAdeMO [67] y ChaoJi, el cual es una fusión entre el propio CHAdeMO y GB/T que busca establecerse como estándar a nivel mundial. Aunque las potencias de estos **EVSE** son elevadas, se pueden realizar cargadores de menos potencia, los cuales pueden controlar en cada momento el flujo de energía entre el vehículo y la red eléctrica para satisfacer las necesidades de ambas. Además, los **AFE** de estos cargadores por lo general también pueden entregar la reactiva deseada, haciendo un complemento muy útil para la estabilidad de la red eléctrica.

Por lo tanto, el estándar CHAdeMO es el más utilizado actualmente con funcionalidad **V2G** [252]. A su vez, este es el de más antigüedad, y hasta la fecha ya se

A. VEHÍCULOS ELÉCTRICOS Y SUS SISTEMAS DE CARGA

Tabla A.1: Estado actual de los estándares de carga rápida en DC, indicando si contemplan la funcionalidad **V2G** [252].

	Estándar	CHAdEMO	GB/T	CCS Type 1	CCS Type 2	ChaoJi
Estándares compatibles	IEEE 2030.1.1 IEC 62916-3	IEC 62916-3	SAE J1772 IEC 62916-3	IEC 62916-3	-	CHAdEMO GB/T
Voltaje (V)	1000	750	600	900	500	1500
Corriente (A)	400	250	400	400	631	600
Potencia (kW)	150	185	150	350	250	-
Comunicación	CAN	CAN	PLC	PLC	CAN	CAN
Función V2G	Si	No	No	No	-	Si
Año de Inicio	2009	2013	2014	2013	2012	2020

han producido cinco actualizaciones importantes, donde se ha ido aumentando la potencia y la flexibilidad. Por lo tanto, los cargadores **V2G** con protocolo CHAdEMO (y próximamente CCS) van a ser un elemento muy importante en la Smartgrid, y la verificación de su correcto funcionamiento y el estudio de su integración en la red eléctrica, puede facilitar el correcto desarrollo de esta.

ANEXO
B

Caracterización y comprobación de un sistema de recarga por inducción

B.1 Información general

B.1.1 Proyecto

El proyecto Aerial Core [253] es un proyecto Europeo, perteneciente al marco H2020. Tiene por objetivo desarrollar un sistema robótico cognitivo aéreo capaz de realizar tareas de mantenimiento, inspección y trabajo cooperativo con personas en líneas de alta tensión. Para ello se diseñará un vehículo aéreo no tripulado (dron) en el que se integrarán capacidades cognitivas para la detección e identificación de objetos, personas y movimientos, además de elementos robóticos que permitan la manipulación con aplicación de fuerza, y un sistema de recarga de baterías alimentado por la inducción electromagnética de la propia línea.

B. CARACTERIZACIÓN Y COMPROBACIÓN DE UN SISTEMA DE RECARGA POR INDUCCIÓN

B.1.2 HUT

El equipo a desarrollar dentro del proyecto por CIRCE es el sistema de recarga por inducción del sistema robótico cognitivo aéreo, capaz de realizar tareas de mantenimiento de las redes eléctricas de alta tensión, utilizando para ello la propia energía de la red. Este sistema capta energía de las líneas de alta tensión gracias a una bobina que se acopla al cableado, para suministrar la potencia requerida para la recarga del dron. La corriente de línea oscila entre un rango que va desde corrientes bajas de unos 50 A hasta una corriente máxima de 600 A. Debido a este amplio rango de corriente, surge la necesidad de caracterizar el dispositivo para las diferentes corrientes con un sistema que reproduzca de manera realista la intensidad y frecuencia de la línea de alta tensión en la que se instalará. Como se muestra en la [Figura B.1](#) el sistema ya ha sido diseñado, fabricado y montado.

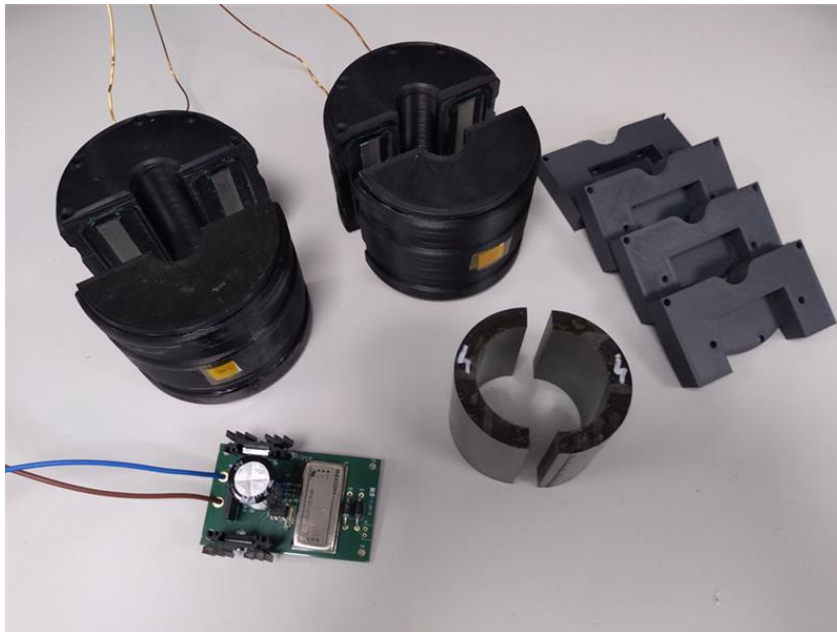


Figura B.1: Sistema de recarga por inducción de un sistema robótico cognitivo aéreo realizado por CIRCE para el proyecto Aerial Core [253].

B.2 Descripción prueba

Se necesitan realizar las siguientes comprobaciones para la verificación completo del sistema:

- Caracterización de la potencia generada a diferentes corrientes de la línea eléctrica.
- Comprobación del correcto funcionamiento del sistema a diferentes THD de corriente.

Para cubrir la necesidad explicada en los anteriores puntos, se encontraron los siguientes problemas:

- Imposibilidad de probarlo en ambiente real por los siguientes motivos:
 - La colocación de este elemento en una red de alta tensión supone un riesgo elevado al técnico/investigador que lo lleva a cabo.
 - No es posible controlar la corriente que circula por la línea, necesaria para la caracterización del sistema desarrollado.
 - Entorno abierto donde, en comparación con un laboratorio, no se dispone del material necesario para imprevistos, retrasando la verificación.
- El rango de corriente con la que este sistema tiene que funcionar es de 50 A a 600 A, por lo que es difícil encontrar sistemas de tan elevadas corrientes para probar el sistema desarrollado.

Para resolver este problema, dentro del LE³P se propone la utilización del amplificador de potencia para la generación de la corriente deseada, tal y como se muestra en la Figura B.2. Esto permite la verificación del funcionamiento en todo el rango de corrientes, con diferentes contenidos armónicos.

Este amplificador de potencia nos permite generar una corriente monofásica máxima de 250 A. Pasando tres veces el cableado por el núcleo magnético del HUT, se puede obtener un máximo de 750 A, obteniendo una corriente lo suficientemente elevada como para poder probar en todo el rango. También es posible variar la amplitud de la corriente al valor deseado en cada momento, posibilitando la caracterización. Además, el ancho de banda de hasta 5 kHz a onda completa permite la generación de un elevado contenido armónico de la corriente, necesario para la verificación de su funcionamiento.

B. CARACTERIZACIÓN Y COMPROBACIÓN DE UN SISTEMA DE RECARGA POR INDUCCIÓN



Figura B.2: Esquema conceptual de la prueba a realizar para la verificación del sistema de recarga por inducción de un sistema robótico cognitivo aéreo.

B.3 Prueba y resultados

En la [Figura B.3](#) se muestra el montaje realizado en el [LE³P](#) para la verificación del sistema de recarga inductivo. Para la generación de corriente, de los cuatro amplificadores disponibles, dos los hacemos funcionar como fuente de tensión y otros dos como fuente de corriente, conectándolos dos a dos entre ellos. Así podemos obtener la corriente de salida indicada anteriormente de 600 A. Antes de hacer pasar esta corriente por el núcleo, realizamos una prueba a corriente nominal para garantizar que la salida es la deseada y que es posible llegar hasta ese nivel de amplitud. En la [Figura B.4](#) se muestra la forma de onda de salida del amplificador a la máxima corriente permitida por el [HUT](#).

Una vez comprobada la salida correcta del amplificador de potencia, pasamos el cableado de salida por el núcleo del sistema de recarga, realizando un barrido tanto en corriente de salida del amplificador como en carga del sistema a probar,

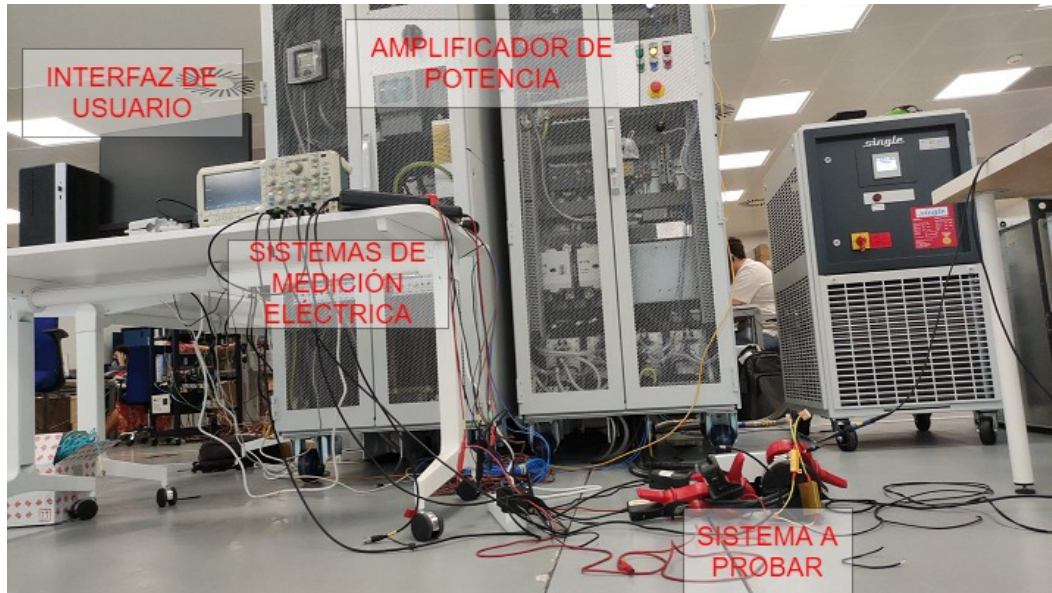


Figura B.3: Montaje realizado para la verificación del sistema de recarga por inducción de un sistema robótico cognitivo aéreo.

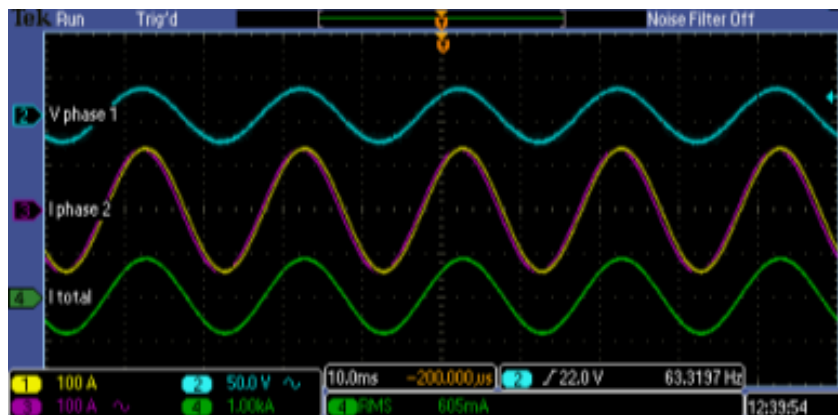


Figura B.4: Captura de osciloscopio de la corriente máxima a pasar por el núcleo. Verde: onda de corriente de salida a circular por el núcleo (1000 A/div) – Amarilla y fucsia: onda de corriente de salida de cada uno de los amplificadores (100 A/div) – Azul: onda de tensión de salida de uno de los dos amplificadores que funcionan como fuente de tensión (50 V/div).

obteniendo el resultado de la [Figura B.5](#). Se puede ver en esta figura como se ha podido realizar correctamente la caracterización del sistema de recarga a diferentes corrientes atravesando el núcleo y potencias de consumo del sistema de recarga.

Para la verificación de funcionamiento a distinto componente armónico de la

B. CARACTERIZACIÓN Y COMPROBACIÓN DE UN SISTEMA DE RECARGA POR INDUCCIÓN

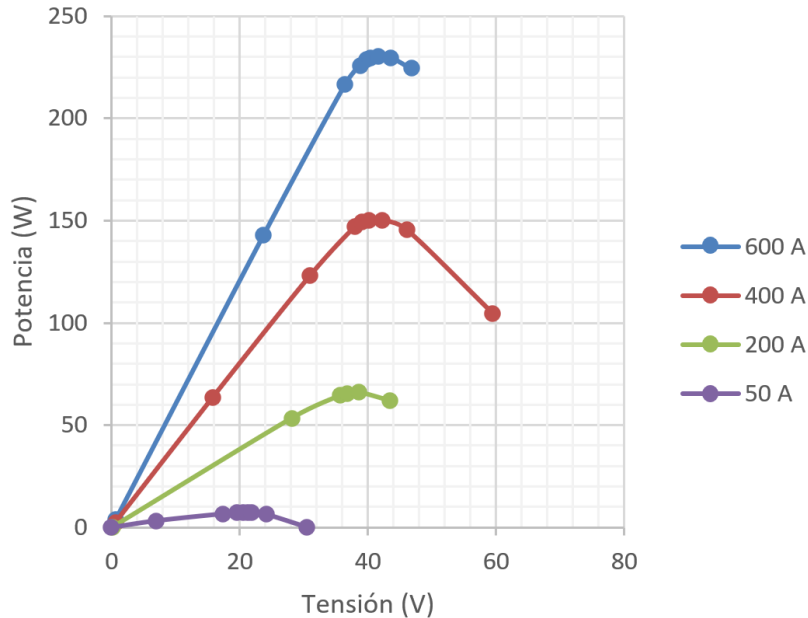


Figura B.5: Barrido a diferentes corrientes por el cable y diferentes cargas conectadas al sistema desarrollado. Se puede observar que se llega a un pico de generación de 230 W a 600 A por el cableado de red.

corriente, se prueba al equipo con diferentes amplitudes del tercer armónico (150 Hz) y del quinto armónico (250 Hz) con resultados satisfactorios. Una captura de la forma de corriente con este contenido armónico se muestra en la [Figura B.6](#).

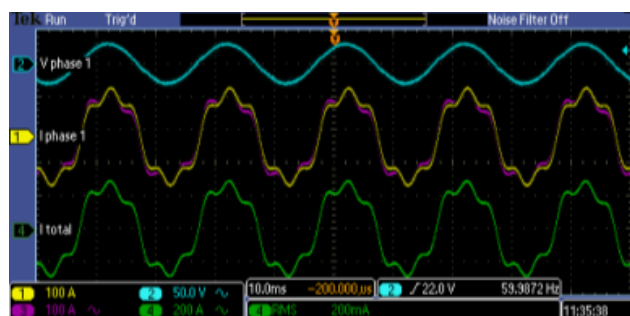


Figura B.6: Captura de osciloscopio de la corriente con un contenido armónico de 10% - 150 Hz y 15% - 250 Hz. Verde: onda de corriente de salida a circular por el núcleo (200 A/div) – Amarilla y fucsia: onda de corriente de salida de cada uno de los amplificadores (100 A/div) – Azul: onda de tensión de salida de uno de los dos amplificadores que funcionan como fuente de tensión (50 V/div).

Estos resultados obtenidos corroboran la utilidad del [LE³P](#) para la caracteri-

B.3 Prueba y resultados

zación de la potencia generada a diferentes corrientes de la línea eléctrica y la comprobación del correcto funcionamiento del sistema con diferentes THD de corriente.

ANEXO

C

Verificación del funcionamiento de un convertidor DC/DC resonante

C.1 Información general

C.1.1 Proyecto

El objetivo del proyecto Insulae [254] es fomentar el despliegue de soluciones innovadoras para la des-carbonización de las islas de la UE mediante el desarrollo y la demostración en tres islas principales (situadas en Croacia, en Dinamarca y en Portugal) de un conjunto de intervenciones vinculadas a siete casos de uso replicables, cuyos resultados validarán una herramienta de planificación de la inversión que será luego demostrada en cuatro islas secundadas de esta estrategia (situadas en España, en Alemania, en las Antillas Holandesas y en Grecia) para el desarrollo de cuatro planes de acción asociados. Las islas elegidas son complementarias en muchos aspectos: ubicación, tamaño, conexión con el continente, desarrollo

C. VERIFICACIÓN DEL FUNCIONAMIENTO DE UN CONVERTIDOR DC/DC RESONANTE

económico, cuota de renovables e intensidad de carbono.

El proyecto Insulae contribuye a la iniciativa de energía limpia para las islas de la UE proporcionando una herramienta de planificación de inversiones capaz de crear planes de acción para que las islas generen su propia energía sostenible y de bajo coste. Las intervenciones demostrarán la capacidad de los casos de uso para desarrollar sistemas un 40-70 % más baratos que la generación diésel, permitiendo así una reducción media del consumo de combustibles fósiles del 11 % después de un gran despliegue de los casos de uso en las islas del proyecto.

C.1.2 HUT

Para la ejecución del proyecto, es necesario someter a pruebas un equipo desarrollado por CIRCE. Este es un convertidor DC/DC aislado galvánicamente, utilizando un transformador de alta frecuencia para ello. En la [Figura C.1](#) se muestra el diagrama de bloques del convertidor.

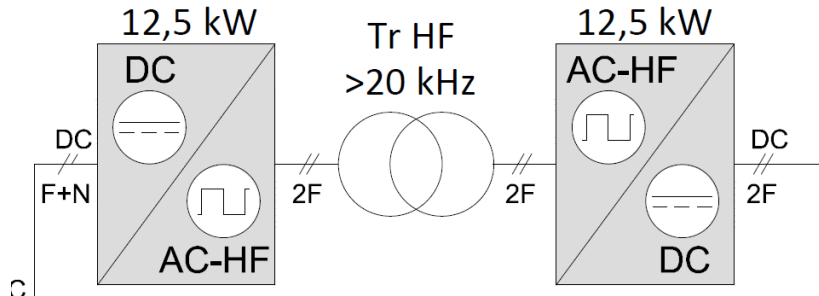


Figura C.1: Diagrama de bloques del convertidor DC/DC aislado a probar.

Las características generales de este convertidor, tanto eléctricas como funcionales, son las siguientes:

- Potencia nominal = 12.5 kW
- Tecnología SiC
- Rango Vdc entrada = 500 V / 800 V
- Rango Vdc salida = 150 V / 500 V
- Rango Idc salida = -31 A / 31 A
- Aislamiento galvánico
- Paralelizable

- Serializable
- Compatible con CCS / CHAdeMO

C.2 Descripción prueba

Una vez que el convertidor ya ha sido diseñado, fabricado y montado, es necesario la comprobación del funcionamiento completo del sistema realizando las siguientes verificaciones:

- Verificación del control en diferentes puntos de funcionamiento de tensión y corriente.
- Verificación térmica de todos los componentes del sistema.

Dado que es un prototipo que no se ha probado nunca, no es recomendable realizar las pruebas en un ambiente real por los siguientes motivos:

- La disponibilidad en el laboratorio de varios vehículos eléctricos con diferentes rangos de tensión que permitan probar el equipo en todo el rango supone un coste muy elevado.
- Dado que es un prototipo que no se ha probado nunca, existe la posibilidad de un funcionamiento indeseado del equipo que pueda dañar el vehículo.
- A la hora de solucionar problemas en el control del convertidor, no es posible tener el control sobre la reproducibilidad y el tiempo de ocurrencia de los eventos, alargando los tiempos de prueba.

Para solventar estas limitaciones, dentro del [LE³P](#) se propone la utilización del amplificador de potencia para la emulación de la tensión de entrada y salida del convertidor, el cual permita trabajar en todo el rango de tensión y potencia para el que ha sido diseñado el convertidor. El esquema conceptual de la prueba se puede observar en la [Figura C.2](#).

La gran dinámica y robustez del amplificador de potencia hace posible la prueba de equipos en un entorno seguro, tanto para el equipo a probar como para los técnicos encargados de la prueba. Posee una interfaz gráfica en la que poder ajustar fácilmente los valores límites de tensión y corriente de la prueba, para no sobrepasar los valores del equipo. Para facilitar y agilizar las pruebas, dispone de la posibilidad de hacer un script con el tipo de prueba a realizar, indicando la evolución deseada de las tensiones de salida en el tiempo. Esto hace agilizar enormemente

C. VERIFICACIÓN DEL FUNCIONAMIENTO DE UN CONVERTIDOR DC/DC RESONANTE

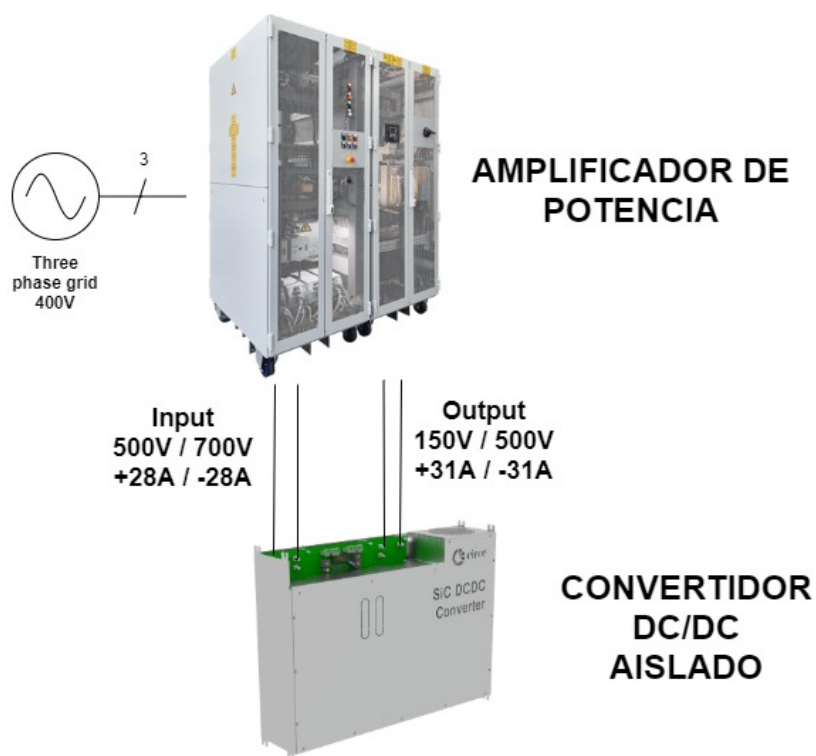


Figura C.2: Esquema conceptual de la prueba a realizar para la verificación del convertidor DC/DC resonante desarrollado por CIRCE.

las pruebas, ya que una vez desarrollado el script, se puede realizar rápida y repetidamente la misma prueba hasta la verificación completa de los puntos críticos de funcionamiento del convertidor. Dispone a su vez la posibilidad de emulación de una batería mediante un simulador en tiempo real interno, el cual permite hacer pruebas utilizando la técnica [PHIL](#), pero la prueba de esta funcionalidad se deja para más adelante.

C.3 Prueba y resultados

En la [Figura C.3](#) se muestra el montaje realizado en el laboratorio de CIRCE para la verificación del convertidor DC/DC aislado. Para la verificación del control y del equipo en todos los puntos de operación, se realiza un barrido a varios niveles de potencia, monitorizando el equipo tanto eléctricamente como térmicamente. Des-



Figura C.3: Montaje realizado para la verificación del convertidor DC/DC aislado.

pués de realizar un calibrado de las medidas y de los coeficientes del control, se comprueba que los niveles de tensión y corriente, tanto en el filtro como a la salida, son los correctos en los puntos de operación analizados. La verificación del funcionamiento correcto en todos los puntos de operación se muestra en la [Figura C.4](#).

$V_{out} \backslash V_{in}$	500V	550V	600V	650V	700V
150V	✓	✓	✓	✓	✓
200V	✓	✓	✓	✓	✓
250V	✓	✓	✓	✓	✓
300V	✓	✓	✓	✓	✓
350V	✓	✓	✓	✓	✓
400V	✓	✓	✓	✓	✓
450V	✓	✓	✓	✓	✓
500V	✓	✓	✓	✓	✓

Figura C.4: Verificación del comportamiento del convertidor a potencia nominal en los distintos puntos de operación marcados.

C. VERIFICACIÓN DEL FUNCIONAMIENTO DE UN CONVERTIDOR DC/DC RESONANTE

Una vez realizada la primera verificación, se realizan las pruebas térmicas del convertidor. Para ello, se hace trabajar al convertidor en diferentes puntos de potencia hasta alcanzar el régimen permanente térmico, utilizando termopares adheridos a los elementos críticos, pegatinas térmicas y una cámara térmica para poder observar puntos calientes del convertidor. Cuando se llega a potencia nominal, se registra la evolución de las temperaturas que se muestra en la [Figura C.5](#) en los que se aprecian los diferentes puntos del convertidor.

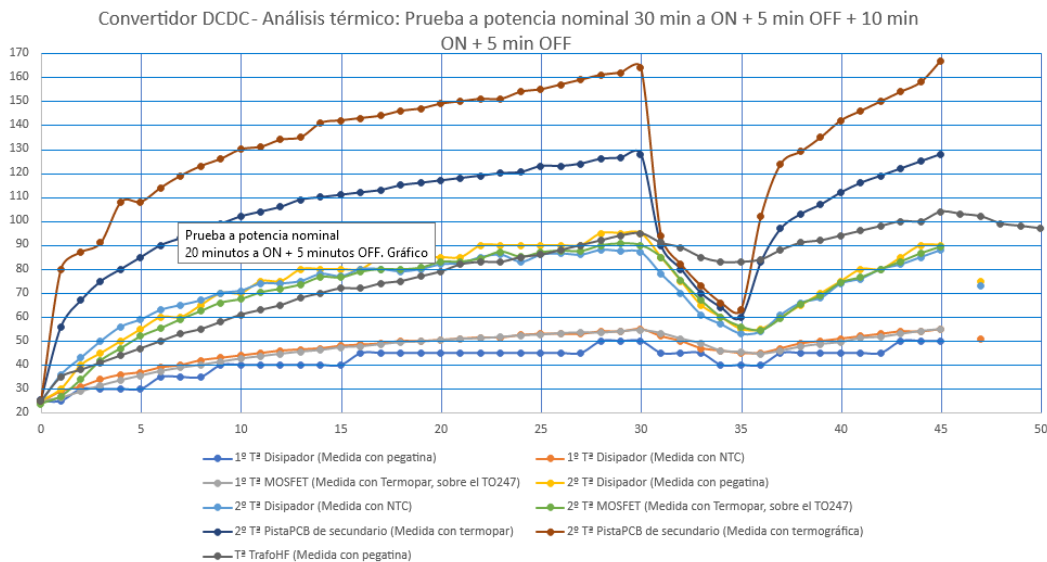


Figura C.5: Evolución de la temperatura de los diferentes elementos del convertidor DC/DC a potencia nominal durante 30min + 5min apagado + 10 min a potencia nominal.

Se puede observar en la anterior figura, que existen pistas en la PCB que alcanzan elevadas temperaturas, por lo que será necesario un rediseño de la tarjeta de potencia del convertidor para reducir la resistencia en esos puntos. En este caso, el LE³P ha permitido el análisis exhaustivo del prototipo, pudiendo detectar los problemas en etapas tempranas de desarrollo, y por tanto ahorrando costes.

Bibliografía

- [1] C. De Castro, “Escenarios De Energía-Economía Mundiales Con Modelos De Dinámica De Sistemas,” Ph.D. dissertation, Universidad de Valladolid, 2009. 2
- [2] IEA, “IEA (2021), Key World Energy Statistics 2021,” IEA, Paris, Tech. Rep., 2021. [Online]. Available: <https://www.iea.org/reports/key-world-energy-statistics-2021> 2
- [3] M. K. Hubbert, “Energy from Fossil Fuels,” *Science*, vol. 109, no. 2823, pp. 103–109, feb 1949. [Online]. Available: <https://doi.org/10.1126/science.109.2823.103> 2
- [4] P. de Almeida and P. D. Silva, “The peak of oil production-Timings and market recognition,” *Energy Policy*, vol. 37, no. 4, pp. 1267–1276, apr 2009. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S0301421508006630> 2
- [5] M. Tsoskounoglou, G. Ayerides, and E. Tritopoulou, “The end of cheap oil: Current status and prospects,” *Energy Policy*, vol. 36, no. 10, pp. 3797–3806, oct 2008. [Online]. Available: <http://linkinghub.elsevier.com/retrieve/pii/S0301421508002322> 2
- [6] P. de Almeida and P. D. Silva, “Timing and future consequences of the peak of oil production,” *Futures*, vol. 43, no. 10, pp. 1044–1055, dec 2011. [Online]. Available: <http://linkinghub.elsevier.com/retrieve/pii/S0016328711001704> 2, 3

BIBLIOGRAFÍA

- [7] Y. Krozer, “Cost and benefit of renewable energy in the European Union,” *Renewable Energy*, vol. 50, pp. 68–73, feb 2013. [Online]. Available: <http://linkinghub.elsevier.com/retrieve/pii/S0960148112003643> 2
- [8] R. G. Miller, “Future oil supply: The changing stance of the International Energy Agency,” *Energy Policy*, vol. 39, no. 3, pp. 1569–1574, mar 2011. [Online]. Available: <http://linkinghub.elsevier.com/retrieve/pii/S0301421510009328> 2
- [9] A. H. Sorman and M. Giampietro, “The energetic metabolism of societies and the degrowth paradigm: analyzing biophysical constraints and realities,” *Journal of Cleaner Production*, vol. 38, pp. 80–93, jan 2013. [Online]. Available: <http://linkinghub.elsevier.com/retrieve/pii/S0959652611004987> 2, 3
- [10] U. Bardi, “Peak oil: The four stages of a new idea,” *Energy*, vol. 34, no. 3, pp. 323–326, 2009. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S0360544208002132> 2, 3
- [11] G. Maggio and G. Cacciola, “When will oil, natural gas, and coal peak?” *Fuel*, vol. 98, no. 0, pp. 111–123, aug 2012. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S001623611200230X> 2
- [12] International Atomic Energy Agency (IAEA), “Energy, Electricity and Nuclear Power Estimates for the Period up to 2050,” International Atomic Energy Agency (IAEA), Tech. Rep. 1, 2009. 3
- [13] R. Mumgaard, D. Whyte, M. Greenwald, Z. Hartwig, D. Brunner, B. Sorbom, E. Marmar, J. Minervini, P. Bonoli, J. Irby, B. Labombard, J. Terry, R. Vieira, S. Wukitch, D. Whyte, P. Bonoli, Z. Hartwig, J. Irby, B. Labombard, E. Marmar, J. Minervini, M. Takayasu, J. Terry, R. Vieira, A. White, S. Wukitch, D. Brunner, R. Mumgaard, and B. Sorbom, “The High Field Path to Practical Fusion Energy,” in *APS Division of Plasma Physics Meeting Abstracts*, oct 2017. [Online]. Available: <https://ui.adsabs.harvard.edu/abs/2017APS..DPPJ11081M> 3

- [14] D. M. Duffy, “Fusion power: A challenge for materials science,” *Philosophical Transactions of the Royal Society A: Mathematical, Physical and Engineering Sciences*, vol. 368, no. 1923, pp. 3315–3328, 2010. 3
- [15] A. García-Olivares, J. Ballabrera-Poy, E. García-Ladona, and A. Turiel, “A global renewable mix with proven technologies and common materials,” *Energy Policy*, vol. 41, pp. 561–574, feb 2012. [Online]. Available: <http://linkinghub.elsevier.com/retrieve/pii/S0301421511008950><http://hdl.handle.net/10261/86990> 3
- [16] J. Robert and M. Lennert, “Two scenarios for Europe: “Europe confronted with high energy prices” or “Europe after oil peaking”,” *Futures*, vol. 42, no. 8, pp. 817–824, 2010. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S0016328710000625> 3
- [17] M. Mediavilla, L. J. Miguel, and C. de Castro, “From fossil fuels to renewable energies,” Tech. Rep., 2008. [Online]. Available: <https://www.semanticscholar.org/paper/From-fossil-fuels-to-renewable-energies-Mediavilla-Miguel/26d9b7c91d02f9eb93d83833a9e9b78b5ffa48e3> 3
- [18] M. Z. Jacobson and M. a. Delucchi, “Providing all global energy with wind, water, and solar power, Part I: Technologies, energy resources, quantities and areas of infrastructure, and materials,” *Energy Policy*, vol. 39, no. 3, pp. 1154–1169, 2011. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S0301421510008645><http://dx.doi.org/10.1016/j.enpol.2010.11.040> 3
- [19] M. Liserre, T. Sauter, and J. Y. Hung, “Future Energy Systems: Integrating Renewable Energy Sources into the Smart Power Grid Through Industrial Electronics,” *IEEE Industrial Electronics Magazine*, vol. 4, no. 1, pp. 18–37, 2010. 4
- [20] D. K. Panda and S. Das, “Smart grid architecture model for control, optimization and data analytics of future power networks with more

BIBLIOGRAFÍA

- renewable energy,” *Journal of Cleaner Production*, vol. 301, p. 126877, 2021. [Online]. Available: <https://doi.org/10.1016/j.jclepro.2021.126877> 4
- [21] A. Gopstein, C. Nguyen, C. O’Fallon, N. Hastings, and D. Wollman, “NIST Framework and Roadmap for Smart Grid Interoperability Standards, Release 4.0,” p. 244, 2021. [Online]. Available: <http://dx.doi.org/10.6028/NIST.SP.1108r4> 4, 17, 18, 19
- [22] “IEEE Smart Grid Vision for Computing: 2030 and Beyond Roadmap,” pp. 1–14, 2016. [Online]. Available: <https://ieeexplore.ieee.org/servlet/opac?punumber=7376993> 4
- [23] G. Simard, “IEEE Grid Vision 2050,” Tech. Rep., 2013. 4
- [24] CEN/CENELEC/ETSI Joint Working Group on Standards for Smart Grids, “CEN-CENELEC-ETSI Smart Grid Coordination Group: Smart Grid Reference architecture,” CEN-CENELEC-ETSI Smart Grid Coordination Group, Tech. Rep. November, 2012. [Online]. Available: <ftp://ftp.cen.eu/EN/EuropeanStandardization/HotTopics/SmartGrids/Security.pdf> xix, 4, 5
- [25] A. Monti and F. Ponci, “Power Grids of the Future: Why Smart Means Complex,” in *Complexity in Engineering, 2010. COMPENG ’10.*, 2010. doi: 10.1109/COMPENG.2010.44. ISBN VO - pp. 7–11. 5
- [26] R. Salcedo, J. K. Nowocin, C. L. Smith, R. P. Rekha, E. R. Limpaecher, and J. La Penta, “Development of a Real-Time Hardware-in-the-Loop Power Systems Simulation Platform to Evaluate Commercial Microgrid Controllers,” Lincoln Laboratory - Massachusetts Institute of Technology, Tech. Rep. February, 2016. [Online]. Available: <http://www.dtic.mil/docs/citations/ADA635943> xix, 5, 6, 33, 34
- [27] H. Farhangi, “The path of the smart grid,” *Power and Energy Magazine, IEEE*, vol. 8, no. 1, pp. 18–28, 2010. 6
- [28] M. H. Cintuglu, O. A. Mohammed, K. Akkaya, and A. S. Uluagac, “A Survey on Smart Grid Cyber-Physical System Testbeds,” *IEEE Communications Surveys and Tutorials*, vol. 19, no. 1, pp. 446–464, 2017. 6, 23

- [29] X. Zhou, X. Gou, T. Huang, and S. Yang, “Review on Testing of Cyber Physical Systems: Methods and Testbeds,” *IEEE Access*, vol. 6, pp. 52 179–52 194, 2018. [6](#), [23](#)
- [30] L. L. Jansen, N. Andreadou, I. Papaioannou, and A. Marinopoulos, “Smart grid lab research in Europe and beyond,” *International Journal of Energy Research*, vol. 44, no. 3, pp. 1307–1336, 2020. [6](#)
- [31] V. C. Gungor, D. Sahin, T. Kocak, S. Ergut, C. Buccella, C. Cecati, and G. P. Hancke, “A Survey on smart grid potential applications and communication requirements,” *IEEE Transactions on Industrial Informatics*, vol. 9, no. 1, pp. 28–42, 2013. [16](#), [17](#)
- [32] L. Tightiz and H. Yang, “A comprehensive review on IoT protocols’ features in smart grid communication,” *Energies*, vol. 13, no. 11, 2020. [16](#), [17](#)
- [33] A. Spina, “Advanced laboratory testing of smart grid applications with power hardware-in-the-loop approach,” Ph.D. dissertation, Technischen Universität Dortmund, 2021. [20](#), [31](#), [194](#)
- [34] H. W. Bindner and M. Marinelli, “Overview of Simulation Tools for Smart Grids ,” 2013. [21](#)
- [35] R. V. Yohanandhan, R. M. Elavarasan, P. Manoharan, and L. Mihet-Popa, “Cyber-Physical Power System (CPPS): A Review on Modeling, Simulation, and Analysis with Cyber Security Applications,” *IEEE Access*, vol. 8, pp. 151 019–151 064, 2020. [xxxi](#), [21](#), [23](#), [24](#), [25](#), [26](#)
- [36] Z. Liu, Q. Wang, and Y. Tang, “Design of a Cosimulation Platform with Hardware-in-the-Loop for Cyber-Attacks on Cyber-Physical Power Systems,” *IEEE Access*, vol. 8, pp. 95 997–96 005, 2020. [23](#)
- [37] D. Gutierrez-Rojas, P. H. J. Nardelli, G. Mendes, and P. Popovski, “Review of the State of the Art on Adaptive Protection for Microgrids Based on Communications,” *IEEE Transactions on Industrial Informatics*, vol. 17, no. 3, pp. 1539–1552, 2021. [23](#)

BIBLIOGRAFÍA

- [38] A. Hahn, A. Ashok, S. Sridhar, and M. Govindarasu, “Cyber-physical security testbeds: Architecture, application, and evaluation for smart grid,” *IEEE Transactions on Smart Grid*, vol. 4, no. 2, pp. 847–855, 2013. 23
- [39] S. K. Mazumder, A. Kulkarni, S. Sahoo, F. Blaabjerg, H. A. Mantooth, J. C. Balda, Y. Zhao, J. A. Ramos-Ruiz, P. N. Enjeti, P. R. Kumar, L. Xie, J. H. Enslin, B. Ozpineci, A. Annaswamy, H. L. Ginn, F. Qiu, J. Liu, B. Smida, C. Ogilvie, J. Ospina, C. Konstantinou, M. Stanovich, K. Schoder, M. Steurer, T. Vu, L. He, and E. P. De La Fuente, “A review of current research trends in power-electronic innovations in cyber-physical systems,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 9, no. 5, pp. 5146–5163, 2021. 23
- [40] W. Li, X. Zhang, and H. Li, “Co-simulation platforms for co-design of networked control systems: An overview,” *Control Engineering Practice*, vol. 23, no. 0, pp. 44–56, feb 2014. [Online]. Available: <http://linkinghub.elsevier.com/retrieve/pii/S0967066113001925><http://www.sciencedirect.com/science/article/pii/S0967066113001925> xxxi, 24, 25, 26
- [41] C. Steinbrink, F. Schlögl, D. Babazadeh, S. Lehnhoff, S. Rohjans, and A. Narayan, “Future perspectives of co-simulation in the smart grid domain,” in *2018 IEEE International Energy Conference (ENERGYCON)*, 2018. doi: 10.1109/ENERGYCON.2018.8398830 pp. 1–6. 24
- [42] K. Mets, J. A. Ojea, and C. Develder, “Combining power and communication network simulation for cost-effective smart grid analysis,” *IEEE Communications Surveys and Tutorials*, vol. 16, no. 3, pp. 1771–1796, 2014. xix, 24, 25, 26
- [43] L. Lugaric, S. Krajcar, and Z. Simic, “Smart city - Platform for emergent phenomena power system testbed simulator,” *IEEE PES Innovative Smart Grid Technologies Conference Europe, ISGT Europe*, pp. 1–7, 2010. 24

- [44] P. Oliveira, T. Pinto, H. Morais, and Z. Vale, “MASGriP a multi-agent smart grid simulation platform,” *IEEE Power and Energy Society General Meeting*, pp. 1–8, 2012. 24
- [45] M. Pipattanasomporn, H. Feroze, and S. Rahman, “Multi-agent systems in a distributed smart grid: Design and implementation,” *2009 IEEE/PES Power Systems Conference and Exposition, PSCE 2009*, pp. 1–8, 2009. 24
- [46] D. E. Ruiz De Gauna, C. Villalonga, and L. E. Sanchez, “Multi-agent systems in the field of urbane-mobility: A Systematic Review,” *IEEE Latin America Transactions*, vol. 18, no. 12, pp. 2186–2195, 2020. 25
- [47] “IEEE 1516-2010 - IEEE Standard for Modeling and Simulation (M&S) High Level Architecture (HLA)– Framework and Rules.” [Online]. Available: <https://standards.ieee.org/standard/1516-2010.html> 25, 104
- [48] “FMI - Functional Mock-up Interface.” [Online]. Available: <https://www.fmi-standard.org/> (Accessed 2022-03-18). 25, 103
- [49] M. D. O. Faruque, T. Strasser, G. Lauss, V. Jalili-Marandi, P. Forsyth, C. Dufour, V. Dinavahi, A. Monti, P. Kotsampopoulos, J. A. Martinez, K. Strunz, M. Saedifard, X. Wang, D. Shearer, and M. Paolone, “Real-Time Simulation Technologies for Power Systems Design, Testing, and Analysis,” *Power and Energy Technology Systems Journal, IEEE*, vol. 2, pp. 63–73, 2015. xix, 27, 42, 44, 58, 89, 98, 101
- [50] X. Guillaud, M. O. Faruque, A. Teninge, A. H. Hariri, L. Vanfretti, M. Paolone, V. Dinavahi, P. Mitra, G. Lauss, C. Dufour, P. Forsyth, A. K. Srivastava, K. Strunz, T. Strasser, and A. Davoudi, “Applications of Real-Time Simulation Technologies in Power and Energy Systems,” *IEEE Power and Energy Technology Systems Journal*, vol. PP, no. 99, pp. 1–1, 2015. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=7234831> 27
- [51] P. Kundur, *Power System Stability and Control*. McGraw-Hill, Inc., New York, 1994. ISBN 007035958X 28

BIBLIOGRAFÍA

- [52] P. Mishra, A. K. Pradhan, and P. Bajpai, “Adaptive Relay Setting for Protection of Distribution System with Solar PV,” in *2018 20th National Power Systems Conference (NPSC)*, 2018. doi: 10.1109/NPSC.2018.8771786. ISBN VO - pp. 1–5. 28
- [53] T. Nguyen, H. Yoo, and H. Kim, “A Droop Frequency Control for Maintaining Different Frequency Qualities in a Stand-Alone Multimicrogrid System,” *IEEE Transactions on Sustainable Energy*, vol. 9, no. 2, pp. 599–609, 2018. 28
- [54] J. M. Gil-Narvi3n, D. Navarro, H. Sarnago, and 3. Luc3a, “FPGA-Based Hardware in the Loop Test-Bench for Robust Software Development of Induction Heating Appliances,” in *IECON 2018 - 44th Annual Conference of the IEEE Industrial Electronics Society*, 2018. doi: 10.1109/IECON.2018.8591348. ISBN 2577-1647 VO - pp. 3497–3501. 28
- [55] R. Brandl, J. Montoya, D. Strauss-Mincu, and M. Calin, “Power System-in-the-Loop testing concept for holistic system investigations,” *Proceedings - 2018 IEEE International Conference on Industrial Electronics for Sustainable Energy Systems, IESES 2018*, vol. 2018-Janua, pp. 560–565, 2018. 30
- [56] C. Molitor, A. Benigni, A. Helmedag, C. Kan, D. Cali, P. Jahangiri, D. Muller, and A. Monti, “Multiphysics Test Bed for Renewable Energy Systems in Smart Homes,” *IEEE Transactions on Industrial Electronics*, vol. 60, no. 3, pp. 1235–1248, 2013. 30, 51
- [57] H. J. Slater, D. J. Atkinson, and A. G. Jack, “Real-time emulation for power equipment development. II. The virtual machine,” *IEE Proceedings - Electric Power Applications*, vol. 145, no. 3, pp. 153–158, 1998. 31, 44
- [58] M. Oettmeier, R. Bartelt, C. Heising, V. Staudt, A. Steimel, S. Tietmeyer, B. Bock, and C. Doerlemann, “Machine emulator: Power-electronics based test equipment for testing high-power drive converters,” *Optimization of Electrical and Electronic Equipment (OPTIM), 2010 12th International Conference on*, pp. 582–588, may 2010. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=5510537> 31

-
- [59] M. Oettmeier, R. Bartelt, C. Heising, V. Staudt, A. Steimel, S. Tietmeier, B. Bock, and C. Doerlemann, "Power-Electronic-Based Machine Emulator for High-Power High-Frequency Drive Converter Test," in *2010 IEEE Vehicle Power and Propulsion Conference*. IEEE, 2010. doi: 10.1109/VPPC.2010.5728988. ISBN 1938-8756 VO - pp. 1–6. 31
- [60] M. Masadeh, "Modeling and Emulation of Induction Machines for Renewable Energy Systems," Ph.D. dissertation, Concordia, 2018. 31
- [61] T. Baumhöfer, W. Waag, and D. U. Sauer, "Specialized battery emulator for automotive electrical systems," *2010 IEEE Vehicle Power and Propulsion Conference, VPPC 2010*, 2010. 31
- [62] T. Cabeza, J. F. Sanz, M. Calavia, R. Acerete, and S. Cascante, "Fast charging emulation system for electric vehicles," *2013 World Electric Vehicle Symposium and Exhibition, EVS 2014*, pp. 1–6, 2014. 31, 151
- [63] W. Ren, "Accuracy evaluation of power hardware-in-the-loop simulation," Ph.D. dissertation, Florida State University, 2007. 32, 44, 49
- [64] M. H. Syed, E. Guillo-Sansano, A. Avras, A. Downie, K. Jennett, G. M. Burt, F. Coffele, A. Rudd, and C. Bright, "The Role of Experimental Test Beds for the Systems Testing of Future Marine Electrical Power Systems," *2019 IEEE Electric Ship Technologies Symposium, ESTS 2019*, pp. 141–148, 2019. 32
- [65] S. J. Frobin, C. Freye, L. Vogelsang, D. Wienold, A. Cimino, F. Jenau, J. Huppertz, and M. Gamlin, "Large scale synthetic laboratory imitation of transient voltage stresses of MMC-HVDC links: Design aspects on very slow front overvoltage," *VDE High Voltage Technology*, pp. 365–370, 2021. 32
- [66] S. Hubschneider, S. Kochanneck, B. Bohnet, M. Suriyah, I. Mauser, T. Leibfried, H. Schmeck, and M. Braun, "Requirements for Power Hardware-in-the-Loop Emulation of Distribution Grid Challenges," in *2018 53rd International Universities Power Engineering Conference (UPEC)*, 2018. doi: 10.1109/UPEC.2018.8541851. ISBN VO - pp. 1–6. 32, 72

BIBLIOGRAFÍA

- [67] “CHAdEMO.” [Online]. Available: <https://www.chademo.com/> (Accessed 2021-09-12). 38, 213
- [68] “Combined Charging System (CCS).” [Online]. Available: <https://www.charin.global/> (Accessed 2022-05-04). 38
- [69] L. Ibarra, A. Rosales, P. Ponce, A. Molina, and R. Ayyanar, “Overview of real-time simulation as a supporting effort to smart-grid attainment,” *Energies*, vol. 10, no. 6, pp. 1–24, 2017. 40, 44
- [70] S. Mojlish, N. Erdogan, D. Levine, and A. Davoudi, “Review of Hardware Platforms for Real-Time Simulation of Electric Machines,” *IEEE Transactions on Transportation Electrification*, vol. 3, no. 1, pp. 130–146, 2017. xxxi, 43, 44, 89
- [71] R. Gagnon, G. Turmel, C. Larose, J. Brochu, G. Sybille, and M. Fecteau, “Large-Scale Real-Time Simulation of Wind Power Plants into Hydro-Québec Power System,” *Control*, 2010. 43
- [72] R. Champagne, L. A. Dessaint, H. Fortin-Blanchette, and G. Sybille, “Analysis and validation of a real-time AC drive simulator,” *IEEE Transactions on Power Electronics*, vol. 19, no. 2, pp. 336–345, 2004. 43
- [73] G. Parma and V. Dinavahi, “Real-Time Digital Hardware Simulation of Power Electronics and Drives,” in *Power Engineering Society General Meeting, 2007. IEEE*, 2007. doi: 10.1109/PES.2007.385592. ISBN 1932-5517 VO - p. 1. 43, 44
- [74] M. Matar and R. Iravani, “Massively Parallel Implementation of AC Machine Models for FPGA-Based Real-Time Simulation of Electromagnetic Transients,” *IEEE Transactions on Power Delivery*, vol. 26, no. 2, pp. 830–840, 2011. 43, 44
- [75] J. Sun, S. Debnath, M. Saeedifard, and P. R. Marthi, “Real-Time Electromagnetic Transient Simulation of Multi-Terminal HVDC-AC Grids Based on GPU,” *IEEE Transactions on Industrial Electronics*, vol. 68, no. 8, pp. 7002–7011, 2021. 43

- [76] F. Fleming, “Real-Time Switched Reluctance Machine Emulation via Magnetic Equivalent Circuits,” Ph.D. dissertation, Florida State University, 2014. 43, 44
- [77] C. Sehwa, K. Sanggi, K. So-Yeon, and S. Seung-Ki, “Small scaled Power Hardware-In-The Loop and control method of ship integrated power system with active front end converter and battery energy storage system using low cost multicore DSP,” in *Power Electronics and Applications (EPE'14-ECCE Europe), 2014 16th European Conference on*, 2014. doi: 10.1109/epe.2014.6910818 pp. 1–10. 43, 44
- [78] J. R. L. Gutiérrez, P. Ponce, and A. Molina, “Real-time power electronics laboratory to strengthen distance learning engineering education on smart grids and microgrids,” *Future Internet*, vol. 13, no. 9, 2021. 44
- [79] R. AhmadiAhangar, A. Rosin, A. N. Niaki, I. Palu, and T. Korõtko, “A review on real-time simulation and analysis methods of microgrids,” *International Transactions on Electrical Energy Systems*, vol. 29, no. 11, pp. 1–16, 2019. 44
- [80] M. Muhammad, H. Behrends, S. Geißendörfer, K. von Maydell, and C. Agert, “Power hardware-in-the-loop: Response of power components in real-time grid simulation environment,” *Energies*, vol. 14, no. 3, 2021. 44
- [81] E. García-Martínez, J. F. Sanz, J. Muñoz-Cruzado, and J. M. Perié, “A Review of PHIL Testing for Smart Grids-Selection Guide, Classification and Online Database Analysis,” *Electronics*, vol. 9, no. 3, p. 382, feb 2020. [Online]. Available: <https://www.mdpi.com/2079-9292/9/3/382> 44, 206
- [82] “Opal-RT Technologies.” [Online]. Available: <https://www.opal-rt.com> (Accessed 2022-06-11). 44, 85, 197, 201
- [83] C. Seitzl, J. Kathan, G. Lauss, and F. Lehfuss, “Power hardware-in-the-loop implementation and verification of a real time capable battery model,” in *2014 IEEE 23rd International Symposium on Industrial Electronics (ISIE)*, 2014. doi: 10.1109/isie.2014.6864974 pp. 2285–2290. 44, 49, 77

BIBLIOGRAFÍA

- [84] O. Craciun, A. Florescu, I. Munteanu, A. I. Bratcu, S. Bacha, and D. Radu, “Hardware-in-the-loop simulation applied to protection devices testing,” *International Journal of Electrical Power & Energy Systems*, vol. 54, no. 0, pp. 55–64, 2014. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S0142061513002913> 44, 49
- [85] F. Lehfuss, G. Lauss, and T. Strasser, “Implementation of a multi-rating interface for Power-Hardware-in-the-Loop simulations,” in *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, 2012. doi: 10.1109/iecon.2012.6389004. ISBN 1553-572X pp. 4777–4782. 44, 49
- [86] D. M. Greenwood, K. Y. Lim, C. Patsios, P. F. Lyons, Y. S. Lim, and P. C. Taylor, “Frequency response services designed for energy storage,” *Applied Energy*, vol. 203, no. Supplement C, pp. 115–127, 2017. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S0306261917307729> 44, 49, 72
- [87] W. Ye, G. Delille, X. Guillaud, F. Colas, and B. Francois, “Real-time simulation: The missing link in the design process of advanced grid equipment,” in *Power and Energy Society General Meeting, 2010 IEEE*, 2010. doi: 10.1109/pes.2010.5589967. ISBN 1944-9925 pp. 1–8. 44
- [88] R. E. Torres-Olguin, A. G. Endegnanew, and S. D’Arco, “Power-hardware-in-the-loop approach for emulating an offshore wind farm connected with a VSC-based HVDC,” in *2017 IEEE Conference on Energy Internet and Energy System Integration (EI2)*, 2017. doi: 10.1109/EI2.2017.8245735. ISBN VO - pp. 1–6. 44, 49
- [89] K. S. Amitkumar, R. S. Kaarthik, and P. Pillay, “A versatile power-hardware-in-the-loop based emulator for rapid testing of electric drives,” in *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2017. doi: 10.1109/ECCE.2017.8096913. ISBN VO - pp. 5468–5474. 44, 57
- [90] B. Lundstrom, B. Palmintier, D. Rowe, J. Ward, and T. Moore, “Trans-oceanic remote power hardware-in-the-loop: multi-site hardware, integrated

- controller, and electric network co-simulation,” *IET Generation, Transmission & Distribution*, vol. 11, no. 18, pp. 4688–4701, 2017. 44
- [91] A. Nagarajan, A. Nelson, K. Prabakar, A. Hoke, M. Asano, R. Ueda, and S. Nepal, “Network reduction algorithm for developing distribution feeders for real-time simulators,” in *2017 IEEE Power & Energy Society General Meeting*, 2017. doi: 10.1109/PESGM.2017.8273938. ISBN VO - pp. 1–5. 44, 49
- [92] A. Hoke, A. Nelson, S. Chakraborty, F. Bell, and M. McCarty, “An Islanding Detection Test Platform for Multi-Inverter Islands using Power HIL,” *IEEE Transactions on Industrial Electronics*, p. 1, 2018. 44, 49
- [93] G. Feng, L. Herrera, M. Alsolami, L. He, X. Pu, L. Xintong, L. Andong, W. Jin, and L. Zhijun, “Design and development of a reconfigurable hybrid Microgrid testbed,” in *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, 2013. doi: 10.1109/ecce.2013.6646862 pp. 1350–1356. 44
- [94] O. Craciun, A. Florescu, I. Munteanu, S. Bacha, A. I. Bratcu, and D. Radu, “Protection devices testing based on power-hardware-in-the-loop simulation,” in *IECON 2011 - 37th Annual Conference on IEEE Industrial Electronics Society*, 2011. doi: 10.1109/iecon.2011.6119917. ISBN 1553-572X pp. 3736–3741. 44, 49
- [95] C. Seitzl, J. Kathan, G. Lauss, and F. Lehfuss, “Selection and implementation of a generic battery model for PHIL applications,” in *Industrial Electronics Society, IECON 2013 - 39th Annual Conference of the IEEE*, 2013. doi: 10.1109/iecon.2013.6700016. ISBN 1553-572X pp. 5412–5417. 44
- [96] A. Yamane, W. Li, J. Belanger, T. Ise, I. Iyoda, T. Aizono, and C. Dufour, “A Smart Distribution Grid Laboratory,” in *IECON 2011 - 37th Annual Conference on IEEE Industrial Electronics Society*. Ieee, nov 2011. doi: 10.1109/IECON.2011.6119912. ISBN 1553-572X VO - pp. 3708–3712. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=6119912> 44, 49

BIBLIOGRAFÍA

- [97] “RTDS Technologies.” [Online]. Available: <https://www.rtds.com/> (Accessed 2022-06-11). 44, 85, 197, 201
- [98] O. Nzimako and R. Wierckx, “Stability and accuracy evaluation of a power hardware in the loop (PHIL) interface with a photovoltaic micro-inverter,” in *IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society*, 2015. doi: 10.1109/IECON.2015.7392932. ISBN 9781479917624 pp. 5285–5291. 44, 49
- [99] G. D. Carne, M. Langwasser, X. Gao, G. Buticchi, and M. Liserre, “Power-Hardware-In-Loop Setup for Power Electronics Tests,” in *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2017. ISBN 978-3-8007-4424-4 pp. 1–7. 44, 49
- [100] G. Lauss, F. Lehfuss, B. Bletterie, T. Strasser, and R. Brundlinger, “Examination of LV grid phenomena by means of PHIL testing,” in *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, 2012. doi: 10.1109/iecon.2012.6389586. ISBN 1553-572X pp. 4771–4776. 44, 49
- [101] M. G. Kashani, H. Pulakhandam, S. Bhattacharya, F. Katiraei, and D. Kaiser, “Design considerations and test setup assessment for power hardware in the loop testing,” in *2017 IEEE Industry Applications Society Annual Meeting*, 2017. doi: 10.1109/IAS.2017.8101770. ISBN VO - pp. 1–8. 44, 49
- [102] P. Kotsampopoulos, V. Kleftakis, G. Messinis, and N. Hatzargyriou, “Design, development and operation of a PHIL environment for Distributed Energy Resources,” in *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*. Ieee, oct 2012. doi: 10.1109/IECON.2012.6389005. ISBN 1553-572X VO - pp. 4765–4770. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=6389005> 44, 49
- [103] M. Pokharel and C. N. M. Ho, “Stability study of power hardware in the loop (PHIL)simulations with a real solar inverter,” in *IECON 2017 - 43rd*

- Annual Conference of the IEEE Industrial Electronics Society*, 2017. doi: 10.1109/IECON.2017.8216454. ISBN VO - pp. 2701–2706. 44, 49
- [104] J. Langston, K. Schoder, M. Steurer, O. Faruque, J. Hauer, F. Bogdan, R. Bravo, B. Mather, and F. Katiraei, “Power hardware-in-the-loop testing of a 500 kW photovoltaic array inverter,” in *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*. Ieee, oct 2012. doi: 10.1109/IECON.2012.6389595. ISBN 1553-572X VO - pp. 4797–4802. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=6389595> 44, 72
- [105] P. Kotsampopoulos., A. Kapetanaki., G. Messinis., V. Kleftakis., and N. Hatziargyriou, “A Power-Hardware-in-the-loop facility for microgrids,” *International Journal of Renewable Energy Technology*, vol. 9, no. 1, pp. 89–104, 2012. 44, 49, 72, 117
- [106] V. Karapanos, S. de Haan, and K. Zwetsloot, “Real time simulation of a power system with VSG hardware in the loop,” in *IECON 2011 - 37th Annual Conference on IEEE Industrial Electronics Society*, 2011. doi: 10.1109/iecon.2011.6119919. ISBN 1553-572X pp. 3748–3754. 44, 49, 69
- [107] C. Schacherer, J. Langston, M. Steurer, and M. Noe, “Power Hardware-in-the-Loop Testing of a YBCO Coated Conductor Fault Current Limiting Module,” *IEEE Transactions on Applied Superconductivity*, vol. 19, no. 3, pp. 1801–1805, 2009. 44
- [108] K. Yost, J. Langston, M. Steurer, K. Schoder, J. Hauer, F. Bogdan, I. Leonard, T. Chiochio, M. Sloderbeck, A. Farrell, and J. Vaidya, “Megawatt Scale Hardware-in-the-Loop Testing of a High Speed Generator,” in *American Society of Naval Engineers*, no. 88, 2012. [Online]. Available: <http://www.dtic.mil/docs/citations/ADA558395> 44
- [109] J. Langston, F. Bogdan, J. Hauer, K. Schoder, M. Steurer, D. Dalessandro, T. Fikse, J. Cherry, and S. Gonstead, “Megawatt-scale power hardware-in-the-loop simulation testing of a power conversion module for naval applica-

BIBLIOGRAFÍA

- tions,” in *2015 IEEE Electric Ship Technologies Symposium (ESTS)*, 2015. doi: 10.1109/ESTS.2015.7157902. ISBN VO - pp. 268–275. 44
- [110] E. S. Kim and D. W. Kim, “Performance testing of Grid-connected photovoltaic inverter based on an integrated electronic protection device,” in *2009 Transmission and Distribution Conference and Exposition: Asia and Pacific*, 2009. doi: 10.1109/TD-ASIA.2009.5356868. ISBN 2160-8636 VO - pp. 1–4. 44
- [111] C. Mao, F. Leng, J. Li, S. Zhang, L. Zhang, R. Mo, D. Wang, J. Zeng, X. Chen, R. An, and Y. Zhao, “A 400-V/50-kVA Digital-Physical Hybrid Real-Time Simulation Platform for Power Systems,” *IEEE Transactions on Industrial Electronics*, vol. 65, no. 5, pp. 3666–3676, 2018. 44
- [112] O. Vodyakho, C. S. Edrington, M. Steurer, S. Azongha, and F. Fleming, “Synchronization of three-phase converters and virtual microgrid implementation utilizing the Power-Hardware-in-the-Loop concept,” in *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, 2010. doi: 10.1109/APEC.2010.5433667. ISBN 1048-2334 VO - pp. 216–222. 44, 49
- [113] P. Kotsampopoulos, V. Kleftakis, and N. Hatziaargyriou, “Laboratory Education of Modern Power Systems using PHIL Simulation,” *IEEE Transactions on Power Systems*, vol. PP, no. 99, p. 1, 2016. 44, 49
- [114] N. R. Averous, M. Stieneker, S. Kock, C. Andrei, A. Helmedag, R. W. D. Doncker, K. Hameyer, G. Jacobs, and A. Monti, “Development of a 4 MW Full-Size Wind-Turbine Test Bench,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 5, no. 2, pp. 600–609, 2017. 44
- [115] M. M. Steurer, K. Schoder, O. Faruque, D. Soto, M. Bosworth, M. Slooderbeck, F. Bogdan, J. Hauer, M. Winkelkemper, L. Schwager, and P. Blaszczyk, “Multifunctional Megawatt-Scale Medium Voltage DC Test Bed Based on Modular Multilevel Converter Technology,” *IEEE Transactions on Transportation Electrification*, vol. 2, no. 4, pp. 597–606, 2016. 44, 49, 93

- [116] Q. Hong, I. Abdulhadi, A. Roscoe, and C. Booth, “Application of a MW-scale motor-generator set to establish power-hardware-in-the-loop capability,” in *2017 IEEE PES Innovative Smart Grid Technologies Conference Europe (ISGT-Europe)*, 2017. doi: 10.1109/ISGTEurope.2017.8260288. ISBN VO - pp. 1–6. 44
- [117] M. Maniatopoulos, D. Lagos, P. Kotsampopoulos, and N. Hatzargyriou, “Combined control and power hardware in-the-loop simulation for testing smart grid control algorithms,” *IET Generation, Transmission and Distribution*, vol. 11, no. 12, pp. 3009–3018, 2017. 44, 49
- [118] M. G. Kashani, S. Bhattacharya, J. Matamoros, D. Kaiser, and M. Cespedes, “Voltage regulation with autonomous distributed smart inverters in a low voltage network,” in *2017 IEEE Power and Energy Society General Meeting*, 2017. doi: 10.1109/PESGM.2017.8273934. ISBN VO - pp. 1–5. 44, 49
- [119] A. J. Roscoe, A. Mackay, G. M. Burt, and J. R. McDonald, “Architecture of a Network-in-the-Loop Environment for Characterizing AC Power-System Behavior,” *IEEE Transactions on Industrial Electronics*, vol. 57, no. 4, pp. 1245–1253, apr 2010. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=5075548> 44, 47
- [120] W. Ren, M. Steurer, and T. L. Baldwin, “Improve the Stability and the Accuracy of Power Hardware-in-the-Loop Simulation by Selecting Appropriate Interface Algorithms,” *Industrial and Commercial Power Systems Technical Conference, 2007. ICPS 2007. IEEE/IAS*, pp. 1–7, 2007. 44, 49, 94
- [121] W. Ren, M. Steurer, and S. Woodruff, “Applying Controller and Power Hardware-in-the-Loop Simulation in Designing and Prototyping Apparatuses for Future All Electric Ship,” in *Electric Ship Technologies Symposium, 2007. ESTS '07. IEEE*, 2007. doi: 10.1109/ESTS.2007.372124. ISBN VO - pp. 443–448. 44, 49
- [122] F. Fleming, C. S. Edrington, M. Steurer, and O. Vodyakho, “Development and implementation of a 25 kW virtual induction machine test bed utilizing the power-hardware-in-the-loop concept,” in *Electric Machines*

BIBLIOGRAFÍA

- and Drives Conference, 2009. IEMDC '09. IEEE International*, 2009. doi: 10.1109/IEMDC.2009.5075350. ISBN VO - pp. 1161–1166. 44
- [123] O. Vodyakho, F. Fleming, M. Steurer, and C. Edrington, “Implementation of a virtual induction machine test bed utilizing the power hardware-in-the-loop concept,” in *Electric Ship Technologies Symposium (ESTS), 2011 IEEE*, 2011. doi: 10.1109/ESTS.2011.5770840. ISBN VO - pp. 52–55. 44
- [124] “Hypersim - Hydro Québec.” [Online]. Available: <http://www.hydroquebec.com/international/en/technology/grid-simulation.html> (Accessed 2018-11-18). 44
- [125] M. Dione, F. Sirois, and C.-H. Bonnard, “Evaluation of the Impact of Superconducting Fault Current Limiters on Power System Network Protections Using a RTS-PHIL Methodology,” *IEEE Transactions on Applied Superconductivity*, vol. 21, no. 3, pp. 2193–2196, 2011. 44, 49
- [126] B. Lu, X. Wu, and A. Monti, “Implementation of a low-cost real-time virtue test bed for hardware-in-the-loop testing,” in *Industrial Electronics Society, 2005. IECON 2005. 31st Annual Conference of IEEE*, 2005. doi: 10.1109/IECON.2005.1568910. ISBN VO - p. 6 pp. 44
- [127] B. Lu, X. Wu, H. Figueroa, and A. Monti, “A Low-Cost Real-Time Hardware-in-the-Loop Testing Approach of Power Electronics Controls,” *IEEE Transactions on Industrial Electronics*, vol. 54, no. 2, pp. 919–931, 2007. 44
- [128] A. Monti, S. D’Arco, and A. Deshmukh, “A new architecture for low cost Power Hardware in the Loop testing of power electronics equipments,” in *Industrial Electronics, 2008. ISIE 2008. IEEE International Symposium on*, 2008. doi: 10.1109/isie.2008.4677306 pp. 2183–2188. 44
- [129] F. Adler, A. Benigni, H. Stagge, A. Monti, and R. W. D. Doncker, “A new versatile hardware platform for digital real-time simulation: Verification and evaluation,” in *2012 IEEE 13th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2012. doi: 10.1109/COMPEL.2012.6251742. ISBN 1093-5142 VO - pp. 1–8. 44

- [130] N. ur Rehman and A. H. Khan, "RTLinux based Simulator for Hardware-in-the Loop Simulations," in *Applied Sciences and Technology, 2007. IB-CAST 2007. International Bhurban Conference on*, 2007. doi: 10.1109/IB-CAST.2007.4379913. ISBN VO - pp. 78–81. 44
- [131] J. R. Marti, L. R. Linares, J. Calvino, H. W. Dommel, and J. Lin, "OVNI: an object approach to real-time power system simulators," in *Power System Technology, 1998. Proceedings. POWERCON '98. 1998 International Conference on*, vol. 2, 1998. doi: 10.1109/ICPST.1998.729230. ISBN VO - 2 pp. 977–981 vol.2. 44
- [132] Z. Weidong, S. Pekarek, J. Jatskevich, O. Wasynczuk, and D. Delisle, "A model-in-the-loop interface to emulate source dynamics in a zonal DC distribution system," *IEEE Transactions on Power Electronics*, vol. 20, no. 2, pp. 438–445, 2005. 44
- [133] B. Palmintier, B. Lundstrom, S. Chakraborty, T. Williams, K. Schneider, and D. Chassin, "A Power-Hardware-in-the-Loop Platform with Remote Distribution Circuit Co-simulation," *IEEE Transactions on Industrial Electronics*, vol. PP, no. 99, p. 1, 2014. 44
- [134] Y. Zhou, J. Lin, Y. Song, Y. Cai, and H. Liu, "A power hardware-in-loop based testing bed for auxiliary active power control of wind power plants," *Electric Power Systems Research*, vol. 124, pp. 10–17, 2015. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S0378779615000589> 44
- [135] M. Marin, A. Benigni, and A. Monti, "New Approach to Parallel Simulation of Large Power Systems," in *Proceedings of the 2011 Grand Challenges on Modeling and Simulation Conference*, ser. GCMS '11. Vista, CA: Society for Modeling and Simulation International, 2011. ISBN 978-1-61782-951-2 pp. 252–257. [Online]. Available: <http://dl.acm.org/citation.cfm?id=2348229.2348265> 44

BIBLIOGRAFÍA

- [136] V. Dinavahi, R. Iravani, and R. Bonert, "Design of a real-time digital Simulator for a D-STATCOM system," *IEEE Transactions on Industrial Electronics*, vol. 51, no. 5, pp. 1001–1008, 2004. 44
- [137] S. Goyal, G. Ledwich, and A. Ghosh, "Power Network in Loop: A Paradigm for Real-Time Simulation and Hardware Testing," *IEEE Transactions on Power Delivery*, vol. 25, no. 2, pp. 1083–1092, 2010. 44
- [138] C. S. Gehrke, A. C. Oliveira, A. M. N. Lima, and I. da Silva, "Power hardware-in-the-loop (PHIL) based on FPGA," *Power Electronics Conference (COBEP), 2013 Brazilian*, vol. 3, pp. 298–304, oct 2013. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=6785131> 44
- [139] C. Washington and J. Dolman, "Creating next generation HIL simulators with FPGA technology," in *AUTOTESTCON, 2010 IEEE*, 2010. doi: 10.1109/AUTEST.2010.5613618. ISBN 1088-7725 VO - pp. 1–6. 44
- [140] J. Liu and V. Dinavahi, "A Real-Time Nonlinear Hysteretic Power Transformer Transient Model on FPGA," *IEEE Transactions on Industrial Electronics*, vol. 61, no. 7, pp. 3587–3597, 2014. 44
- [141] M. Matar and R. Iravani, "FPGA Implementation of the Power Electronic Converter Model for Real-Time Simulation of Electromagnetic Transients," *IEEE Transactions on Power Delivery*, vol. 25, no. 2, pp. 852–860, 2010. 44
- [142] M. Orr, "Selecting a Linear or PWM Power Source," Pacific Power Source, Tech. Rep., 2008. [Online]. Available: <http://www.evaluationengineering.com/articles/200811/selecting-a-linear-or-pwm-power-source.php> xxxi, 48
- [143] F. Lehfuss, G. Lauss, P. Kotsampopoulos, N. Hatzargyriou, P. Crolla, and A. Roscoe, "Comparison of multiple power amplification types for power Hardware-in-the-Loop applications," in *2012 Complexity in Engineering (COMPENG). Proceedings.* IEEE, jun 2012. doi: 10.1109/CompEng.2012.6242959. ISBN 978-1-4673-1615-6 pp. 1–6. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=6242959> xxxi, 48, 71

- [144] T. Bevis, C. S. Edrington, and J. Leonard, “Application of power hardware-in-the-loop for electric vehicles: A case study utilizing switched reluctance machines,” in *IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society*. Ieee, nov 2010. doi: 10.1109/IECON.2010.5674928. ISBN 1553-572X VO - pp. 2499–2503. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=5674928> 47
- [145] A. J. Roscoe, I. M. Elders, J. E. Hill, and G. M. Burt, “Integration of a mean-torque diesel engine model into a hardware-in-the-loop shipboard network simulation using lambda tuning,” *IET Electrical Systems in Transportation*, vol. 1, no. 3, pp. 103–110, sep 2011. [Online]. Available: <https://digital-library.theiet.org/content/journals/10.1049/iet-est.2010.0048> 47
- [146] B. A. Correa, Y. Zhang, R. A. Dougal, T. Chiochio, and K. Schoder, “Mechanical power-hardware-in-the-loop: Emulation of an aeroderivative twin-shaft turbine engine,” *Electric Ship Technologies Symposium (ESTS), 2013 IEEE*, pp. 464–468, apr 2013. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=6523777> 47
- [147] “AE Techron.” [Online]. Available: <http://aetechron.com/> (Accessed 2018-11-18). 49
- [148] “Puissance+.” [Online]. Available: <http://www.puissanceplus.com> (Accessed 2018-11-18). 49
- [149] “Spitzenberger and Spies GmbH and Co.” [Online]. Available: <http://www.spitzenberger.de> (Accessed 2018-11-18). 49, 71, 85
- [150] “NF Corporation.” [Online]. Available: <https://www.nfcorp.co.jp/english/> (Accessed 2018-11-18). 49
- [151] “Power Electronic Building Blocks (PEBB) - ABB.” [Online]. Available: <http://www.abb.com/product/ap/seitp322/03806c7d1658bcadc1256dfa00449e0e.aspxhttps://new.abb.com/power-converters-inverters/> (Accessed 2018-11-18). 49

BIBLIOGRAFÍA

- [152] “Regatron AG.” [Online]. Available: www.regatron.com (Accessed 2018-11-18). 49
- [153] “Triphase.” [Online]. Available: <https://triphase.com/> (Accessed 2018-11-18). 49
- [154] “Compiso - Egston.” [Online]. Available: <https://www.egstonpower.com/system/> (Accessed 2018-11-18). 49, 85
- [155] “MX-45 - Ametek.” [Online]. Available: <http://www.programmablepower.com/ac-power-source/MX/Overview.htm> (Accessed 2018-11-18). 49
- [156] A. Benigni, A. Helmedag, A. M. E. A. E. Abdalrahman, G. Piłatowicz, A. Monti, G. Pilatowicz, and A. Monti, “FlePS: A power interface for Power Hardware In the Loop,” in *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, 2011. ISBN 978-90-75815-15-3 pp. 1–10. [Online]. Available: <https://ieeexplore.ieee.org/document/6020594> 51
- [157] G. Si, J. Cordier, and R. Kennel, “Development of a power-hardware-in-the-loop application - Power grid emulator by using voltage source inverter cumulation,” in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2015. doi: 10.1109/APEC.2015.7104651. ISBN 1048-2334 VO - pp. 2181–2188. 51
- [158] P. Koralewicz, V. Gevorgian, and R. Wallen, “Multi-megawatt-scale power-hardware-in-the-loop interface for testing ancillary grid services by converter-coupled generation,” in *2017 IEEE 18th Workshop on Control and Modeling for Power Electronics (COMPEL)*, United States, 2017. doi: 10.1109/COMPEL.2017.8013395. ISBN VO - pp. 1–8. [Online]. Available: <http://www.osti.gov/scitech/servlets/purl/1373487> 51
- [159] J. Kolb, F. Kammerer, A. Schmitt, M. Gommeringer, and M. Braun, “The Modular Multilevel Converter as Universal High-Precision 3AC Voltage Source for Power Hardware-in-the-Loop Systems,” in *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent*

- Motion, Renewable Energy and Energy Management; Proceedings of*, 2014, pp. 1–8. 51
- [160] D. O. Boillat, T. Friedli, J. Mühlethaler, J. W. Kolar, and W. Hribernik, “Analysis of the design space of single-stage and two-stage LC output filters of switched-mode AC power sources,” *2012 IEEE Power and Energy Conference at Illinois, PECEI 2012*, pp. 12–19, 2012. 51, 165
- [161] J. E. Huber, J. W. Kolar, and G. Pammer, “Hybrid inverter concept for extreme bandwidth high-power AC source,” *Electronics Letters*, vol. 53, no. 14, pp. 947–949, 2017. 51, 93
- [162] M. Lemaire, G. Pammer, and B. Black, “Smarter drives need smarter development,” in *2016 IEEE Transportation Electrification Conference and Expo (ITEC)*, 2016. doi: 10.1109/ITEC.2016.7520313. ISBN VO - pp. 1–63. xix, xx, 56, 58, 59, 60
- [163] W. Ren, M. Sloderbeck, M. Steurer, V. Dinavahi, T. Noda, S. Filizadeh, a. R. Chevrefils, M. Matar, R. Iravani, C. Dufour, J. Belanger, M. O. Faruque, K. Strunz, and J. a. Martinez, “Interfacing Issues in Real-Time Digital Simulators,” *IEEE Transactions on Power Delivery*, vol. 26, no. 2, pp. 1221–1230, apr 2011. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=5628278> 58
- [164] J. Bélanger, C. Dufour, and L. Schoen, “eMEGAsim : An Open High-Performance Architecture and Specification,” in *International Conference on Power Systems (ICPS'07)*, 2007, pp. 1–6. 58
- [165] D. Westermann and M. Kratz, “A Real-Time Development Platform for the Next Generation of Power System Control Functions,” *IEEE Transactions on Industrial Electronics*, vol. 57, no. 4, pp. 1159–1166, 2010. 58
- [166] D. Ocnasu, “Modélisation , Commande et Simulation Temps-Réel Hybride des Systèmes de Génération Non Conventionnels,” Ph.D. dissertation, Université Joseph-Fourier - Grenoble, 2008. 58

BIBLIOGRAFÍA

- [167] “Access - Microsoft Office.” [Online]. Available: <https://products.office.com/access> 61
- [168] E. García-Martínez, J. F. Sanz, J. Muñoz-Cruzado, and J. M. Perié, “Online database of Power Hardware In-the-Loop tests,” *Data in Brief*, vol. 29, p. 105128, apr 2020. [Online]. Available: <https://linkinghub.elsevier.com/retrieve/pii/S2352340920300226> 62, 85, 91, 95, 206
- [169] “Github link database.” [Online]. Available: https://github.com/Egarcia-Circe/PHIL_{_}Database (Accessed 2019-05-12). 65, 71
- [170] T. Hatakeyama, A. Riccobono, and A. Monti, “Stability and accuracy analysis of power hardware in the loop system with different interface algorithms,” pp. 1–8, 2016. 68, 88
- [171] G. Lauss, M. Faruque, K. Schoder, C. Dufour, A. Viehweider, and J. Langston, “Characteristics and Design of Power Hardware-in-the-Loop Simulations for Electrical Power Systems,” *IEEE Transactions on Industrial Electronics*, vol. PP, no. 99, p. 1, 2015. 68, 88, 94
- [172] R. Brandl and Ron, “Operational Range of Several Interface Algorithms for Different Power Hardware-In-The-Loop Setups,” *Energies*, vol. 10, no. 12, p. 1946, nov 2017. [Online]. Available: <http://www.mdpi.com/1996-1073/10/12/1946> 68, 71, 88
- [173] M. Dargahi, A. Ghosh, P. Davari, and G. Ledwich, “Controlling current and voltage type interfaces in power-hardware-in-the-loop simulations,” *Power Electronics, IET*, vol. 7, no. 10, pp. 2618–2627, oct 2014. [Online]. Available: <http://digital-library.theiet.org/content/journals/10.1049/iet-pel.2013.0848> 70
- [174] “Matlab/Simulink - Mathworks.” [Online]. Available: <https://es.mathworks.com/products/simulink.html> (Accessed 2022-06-11). 70, 199
- [175] Ametek, “Ametek RS Series - High power AC and DC power source.” [Online]. Available: <https://www.programmablepower.com/products/ac-power-sources/rs-series> (Accessed 2022-02-13). 71

- [176] E. García-Martínez, J. Ballestín, J. Muñoz-Cruzado, and J. Sanz, “Analysis of a switched and linear power amplifier for Power Hardware-in-the-Loop testing of Smartgrid systems,” in *IEEE International Conference on Emerging Technologies and Factory Automation, ETFA*, vol. 2019-Septe, 2019. doi: 10.1109/ETFA.2019.8868952. ISBN 9781728103037. ISSN 19460759 xxv, xxxii, 73, 145, 146, 148, 206
- [177] J. Beerten, S. D’Arco, and J. A. Suul, “Frequency-dependent cable modelling for small-signal stability analysis of VSC-HVDC systems,” *IET Generation, Transmission & Distribution*, vol. 10, no. 6, pp. 1370–1381, 2016. 75
- [178] A. Viehweider, G. Lauss, and L. Felix, “Stabilization of Power Hardware-in-the-Loop simulations of electric energy systems,” *Simulation Modelling Practice and Theory*, vol. 19, no. 7, pp. 1699–1708, 2011. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S1569190X11000566> 75
- [179] H. Azani, A. Massoud, L. Benbrahim, B. W. Williams, and D. Holiday, “An LCL filter-based grid-interfaced three-phase voltage source inverter: Performance evaluation and stability analysis,” in *7th IET International Conference on Power Electronics, Machines and Drives (PEMD 2014)*, 2014. doi: 10.1049/cp.2014.0505. ISBN VO - pp. 1–6. 75
- [180] G. Lauss and K. Strunz, “Multirate Partitioning Interface for Enhanced Stability of Power Hardware-in-the-Loop Real-Time Simulation,” *IEEE Transactions on Industrial Electronics*, vol. 66, no. 1, pp. 595–605, 2019. xxi, xxii, 82, 88, 90
- [181] G. Lauss, F. Lehfuß, A. Viehweider, and T. Strasser, “Power hardware in the loop simulation with feedback current filtering for electric systems,” in *IECON 2011 - 37th Annual Conference of the IEEE Industrial Electronics Society*, 2011. doi: 10.1109/IECON.2011.6119915. ISBN 1553-572X VO - pp. 3725–3730. 83

BIBLIOGRAFÍA

- [182] E. García-Martínez, J. F. Sanz, J. Muñoz-Cruzado, and J. M. Perié, “Methods for Improving Power and Bandwidth of Power Hardware-in-the-Loop Testbenches,” in *Proceedings - 2022 IEEE 16th International Conference on Compatibility, Power Electronics and Power Engineering, CPE-POWERENG 2022*, 2022, pp. 1–6. [84](#), [207](#)
- [183] E. García-Martínez, J. F. Sanz, J. Muñoz-Cruzado, and J. M. Perié, “Massive Parallel Current Power Amplifier Concept for Power Hardware in the Loop Applications,” in *Renewable Energy and Power Quality Journal*, no. 20, 2022. [92](#), [207](#)
- [184] P. D. Antoszczuk, R. G. Retegui, M. Funes, N. Wassinger, and S. Maestri, “Interleaved Current Control for Multiphase Converters With High Dynamics Mean Current Tracking,” pp. 8422–8434, 2016. [92](#)
- [185] M. Schnarrenberger, L. Stefanski, C. Rollbuhler, D. Brackle, and M. Braun, “A 50 kW power hardware-in-the-loop test bench for permanent magnet synchronous machines based on a modular multilevel converter,” *2018 20th European Conference on Power Electronics and Applications, EPE 2018 ECCE Europe*, 2018. [93](#)
- [186] J. Steffen, R. Brandl, F. Wang, F. Schnabel, A. Gorodnichev, J. Kirchhof, M. Klee, A. Seibel, M. Jung, and M. Schmidhuber, “How a Hybrid Power Amplifier Using PowerHardware-in-the-Loop Technologies Can Perform Studies on Highly Resonant Grid Phenomena,” in *PCIM Europe digital days 2021; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, no. May, 2021. ISBN VO - pp. 1–7. [93](#)
- [187] N. M. Rigo and D. P. Ufba, “DC-DC AND DC-AC PARALLEL SWITCHED-LINEAR CONVERTERS,” in *2021 Brazilian Power Electronics Conference (COBEP)*, 2021. doi: 10.1109/COBEP53665.2021.9684080. ISBN 9781665421294 [93](#)
- [188] L. Stefanski, R. Schwendemann, D. Bernet, D. Braeckle, B. Schmitz-Rode, A. Liske, and M. Hiller, “A novel high dynamic six phase 120 kW Power

- Hardware in the Loop Emulation Test Bench for emulating AC/DC Grids and Electrical Machines,” *2021 23rd European Conference on Power Electronics and Applications, EPE 2021 ECCE Europe*, pp. 1–10, 2021. 93
- [189] T. Blockwitz, M. Otter, J. Akesson, M. Arnold, C. Clauss, H. Elmqvist, M. Friedrich, A. Junghanns, J. Mauss, D. Neumerkel, H. Olsson, and A. Viel, “The Functional Mockup Interface for Tool independent Exchange of Simulation Models,” *Proceedings of the 9th International MODELICA Conference, September 3-5, 2012, Munich, Germany*, vol. 76, pp. 173–184, 2012. 104
- [190] A. Akram, M. S. Sarfraz, and U. Shoaib, “HLA Run Time Infrastructure: A Comparative Study,” *Mehran University Research Journal of Engineering and Technology*, vol. 38, no. 4, pp. 961–972, 2019. 105
- [191] “OpenModelica.” [Online]. Available: <https://www.openmodelica.org/> (Accessed 2022-03-30). xxiii, 105, 106
- [192] P. Fritzson, A. Pop, K. Abdelhak, A. Asghar, B. Bachmann, W. Braun, D. Bouskela, R. Braun, L. Buffoni, F. Casella, R. Castro, R. Franke, D. Fritzson, M. Gebremedhin, A. Heuermann, B. Lie, A. Mengist, L. Mikelsons, K. Moudgalya, L. Ochel, A. Palanisamy, V. Ruge, W. Schamai, M. Sjolund, B. Thiele, J. Tinnerholm, and P. Ostlund, “The OpenModelica integrated environment for modeling, simulation, and model-based development,” *Modeling, Identification and Control*, vol. 41, no. 4, pp. 241–285, 2020. 105
- [193] “Jmodelica.” [Online]. Available: <https://jmodelica.org/> (Accessed 2022-03-30). 106, 112
- [194] L. B. Kish, “End of Moore’s law: thermal (noise) death of integration in micro and nano electronics,” *Physics Letters A*, vol. 305, no. 3-4, pp. 144–149, dec 2002. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S0375960102013658> 107
- [195] M. M. Waldrop, “More than Moore,” *Nature*, vol. 530, p. 145, 2016. 107

BIBLIOGRAFÍA

- [196] S. Sommer and H. Johannsson, “Real-time thevenin impedance computation,” *2013 IEEE PES Innovative Smart Grid Technologies Conference, ISGT 2013*, 2013. 107, 109
- [197] D. B. Thomas, L. Howes, and W. Luk, “A comparison of cpus, gpus, fpgas, and massively parallel processor arrays for random number generation,” *the ACM/SIGDA International Symposium on Field Programmable Gate Arrays*, pp. 63–72, 2009. [Online]. Available: <http://portal.acm.org/citation.cfm?doid=1508128.1508139> 109
- [198] “Adapteva - Parallella.” [Online]. Available: <http://www.adapteva.com/> (Accessed 2022-03-31). xxiii, 109, 110, 117
- [199] M. Maggio, K. Stavåker, F. Donida, F. Casella, and P. Fritzson, “Parallel Simulation of Equation-based Object-Oriented Models with Quantized State Systems on a GPU,” in *Proceedings of the 7th Modelica Conference*, 2009. doi: 10.3384/ecp09430032 pp. 251–260. 115
- [200] D. Terpstra, H. Jagode, H. You, and J. Dongarra, “Collecting Performance Data with PAPI-C BT - Tools for High Performance Computing 2009,” M. S. Müller, M. M. Resch, A. Schulz, and W. E. Nagel, Eds. Berlin, Heidelberg: Springer Berlin Heidelberg, 2010. ISBN 978-3-642-11261-4 pp. 157–173. 115
- [201] A. Teninge, Y. Besanger, F. Colas, H. Fakham, and X. Guillaud, “Real-time simulation of a medium scale distribution network: Decoupling method for multi-CPU computation,” in *Complexity in Engineering (COMPENG)*, 2012, 2012. doi: 10.1109/CompEng.2012.6242944. ISBN VO - pp. 1–6. 117
- [202] M. Steurer, C. S. Edrington, M. Sloderbeck, W. Ren, and J. Langston, “A Megawatt-Scale Power Hardware-in-the-Loop Simulation Setup for Motor Drives,” *IEEE Transactions on Industrial Electronics*, vol. 57, no. 4, pp. 1254–1260, 2010. 117

- [203] T. Chiochio, R. Leonard, Y. Work, R. Fang, M. Steurer, and A. Monti, “A Co-Simulation Approach for Real-Time Transient Analysis of Electro-Thermal System Interactions on Board of Future All-Electric Ships,” in *Proceedings of the 2007 summer computer simulation conference, University of South Carolina, Columbia, USA, 2007*. ISBN 9781622763580 117
- [204] L. Stefanski, R. Schwendemann, D. Bernet, M. Widenmeyer, A. Liske, and M. Hiller, “Cascaded H-Bridge based Parallel Hybrid Converter - A new Voltage Source for Power-Hardware-in-the-Loop Emulation Systems,” *2020 IEEE 21st Workshop on Control and Modeling for Power Electronics, COMPEL 2020*, 2020. 118
- [205] I. E. C. (IEC), “CISPR11 - Industrial, scientific and medical equipment - Radiofrequency disturbance characteristics - Limits and methods of measurement,” 2009. 118, 127, 138
- [206] B. Christophe, “The Right-Half -Plane Zero, a Two-Way Control Path.” [Online]. Available: <http://www.powerelectronics.com/power-management/understanding-right-half-plane-zero-part-1> 122
- [207] Toshiba, “Power MOSFET Electrical Characteristics - Application Note,” Toshiba, Tech. Rep., 2018. 124
- [208] C. Marxgut, F. Krismer, D. Bortis, and J. W. Kolar, “Ultraflat interleaved triangular current mode (TCM) single-phase PFC rectifier,” *IEEE Transactions on Power Electronics*, vol. 29, no. 2, pp. 873–882, 2014. 125
- [209] W. Li, G. Joos, and J. Belanger, “Real-Time Simulation of a Wind Turbine Generator Coupled With a Battery Supercapacitor Energy Storage System,” pp. 1137–1145, 2010. 127
- [210] J. W. Kolar, “X-treme Efficiency Power Electronics,” *15th IEEE Workshop on Control and Modeling for Power Electronics (COMPEL)*, pp. 1–114, 2014. 129

BIBLIOGRAFÍA

- [211] H. Ertl, J. W. Kolar, and F. C. Zach, “Analysis of a multilevel multicell switch-mode power amplifier employing the ”flying-battery”concept,” *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 816–823, 2002. [130](#)
- [212] Instruments Texas, “Ringing Reduction Techniques for NexFET High Performance MOSFETs,” Texas Instruments, Tech. Rep. November, 2011. [136](#)
- [213] D. Anil, “Electric Vehicle Charging Communication Test-bed following CHAdeMO,” pp. 1–7, 2021. [150](#)
- [214] P. Moreno-Torres, G. Navarro, M. Blanco, and M. Lafoz, “Multifunctional Test Bench for the Emulation and Testing of Electric Vehicle Fast-Charging from Urban Railway Power Lines,” *2015 IEEE International Conference on Industrial Technology (ICIT)*, no. Innpacto 2011, pp. 1081–1087, 2015. [151](#)
- [215] L. D. Herdt, A. Shekhar, Y. Yu, G. R. C. Mouli, J. Dong, and P. Bauer, “Power Hardware-in-the-Loop Demonstrator for Electric Vehicle Charging in Distribution Grids,” in *2021 IEEE Transportation Electrification Conference & Expo (ITEC)*. IEEE, 2021. doi: 10.1109/ITEC51675.2021.9490098. ISBN 2377-5483 VO - pp. 679–683. [151](#)
- [216] S. Ledinger, D. Reihls, D. Stahleder, and F. Lehfuss, “Test Device for Electric Vehicle Grid Integration,” *Proceedings - 2018 IEEE International Conference on Environment and Electrical Engineering and 2018 IEEE Industrial and Commercial Power Systems Europe, IEEEIC/I and CPS Europe 2018*, 2018. [151](#)
- [217] I. Jayawardana, C. N. Ho, and Y. Zhang, “A Comprehensive Study and Validation of a Power-HIL Testbed for Evaluating Grid-Connected EV Chargers,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 6777, no. c, 2021. [151](#), [163](#)
- [218] J. L. Villa, J. F. Sanz, J. M. Perié, R. Acerete, and H. Bludszuweit, “Wireless power supply for mobile aluminium furnaces,” *2018 International Symposium on Industrial Electronics, INDEL 2018 - Proceedings*, 2019. [156](#)

- [219] A. Andolšek, A. Zocchi, and M. P. Nemček, “Flexibility and optimization services validation in a microgrid,” in *CIREC 2018 Ljubljana Workshop on Microgrids and Local Energy Communities*, no. 0444, 2018, pp. 7–8. 156
- [220] A. Bjeletić, L. Corradini, D. Maksimović, and R. Zane, “Specifications-driven design space boundaries for Point-of-Load converters,” in *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2011. doi: 10.1109/APEC.2011.5744741. ISBN 1048-2334 VO - pp. 1166–1173. 165
- [221] P. S. Niklaus, J. A. Anderson, D. Bortis, and J. W. Kolar, “Ultra-High Bandwidth GaN-Based Class-D Power Amplifier for Testing of Three-Phase Mains Interfaces of Renewable Energy Systems,” pp. 615–622, 2020. 165
- [222] M. J. Kasper, “Analysis and Multi-Objective Optimization of Multi-Cell DC / DC and AC / DC Converter Systems,” Ph.D. dissertation. ISBN 9783033046412 2016. 167
- [223] R. W. Erickson, “Optimal single resistor damping of input filters,” *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC*, vol. 2, pp. 1073–1079, 1999. 176, 179
- [224] P. A. Dahono, “A control method to damp oscillation in the input LC filter of AC-DC PWM converters,” *PESC Record - IEEE Annual Power Electronics Specialists Conference*, vol. 4, pp. 1630–1635, 2002. 176
- [225] P. A. Dahono, “A Method to Damp Oscillations on the Input LC Filter of Current-Type AC-DC PWM Converters by Using a Virtual Resistor,” *INTELEC, International Telecommunications Energy Conference (Proceedings)*, pp. 757–761, 2003. 176
- [226] Y. W. Li, “Control and resonance damping of voltage-source and current-source converters with LC filters,” *IEEE Transactions on Industrial Electronics*, vol. 56, no. 5, pp. 1511–1521, 2009. 176

BIBLIOGRAFÍA

- [227] A. K. Adapa and V. John, “Virtual resistor based active damping of LC filter in standalone voltage source inverter,” *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC*, vol. 2018-March, pp. 1834–1840, 2018. 176, 178
- [228] P. A. Dahono, Y. R. Bahar, Y. Sato, and T. Kataoka, “Damping of transient oscillations on the output LC filter of PWM inverters by using a virtual resistor,” *Proceedings of the International Conference on Power Electronics and Drive Systems*, vol. 1, pp. 403–407, 2001. 176, 178
- [229] J. Wang, J. D. Yan, L. Jiang, and J. Zou, “Delay-Dependent Stability of Single-Loop Controlled Grid-Connected Inverters with LCL Filters,” *IEEE Transactions on Power Electronics*, vol. 31, no. 1, pp. 743–757, 2016. 179
- [230] X. Zhang, J. W. Spencer, and J. M. Guerrero, “Small-signal modeling of digitally controlled grid-connected inverters with LCL filters,” *IEEE Transactions on Industrial Electronics*, vol. 60, no. 9, pp. 3752–3765, 2013. 179
- [231] Wittenmark, Björn and Årzén, Karl-Erik and Åström, Karl Johan, “Computer Control: An Overview,” International Federation of Automatic Control, Tech. Rep., 2002. [Online]. Available: <https://lup.lub.lu.se/search/files/6377599/8627775.pdf> 181
- [232] C. S. Wasson, *Concepts , Principles , and Practices*. WILEY. ISBN 9780471393337 194
- [233] “CSU 100 Power Amplifier - EGSTON Power.” [Online]. Available: <https://www.egstonpower.com/portfolio/csu100/> (Accessed 2022-06-11). 196, 201
- [234] “GE/EL+ vAC/DC - Cinergia.” [Online]. Available: <https://www.cinergia.coop/family/grid-simulator-and-electronic-load/> (Accessed 2022-06-11). 196
- [235] “Altium Designer.” [Online]. Available: <https://www.altium.com/> (Accessed 2022-06-11). 197

- [236] “AutoCAD - AUTODESK.” [Online]. Available: <https://www.autodesk.es/products/autocad/overview> (Accessed 2022-06-11). 197
- [237] “SOLIDWORKS - Dassault Systemes.” [Online]. Available: <https://www.solidworks.com/es> (Accessed 2022-06-11). 197
- [238] “CR 10 MAX 3D Printer - CREALITY.” [Online]. Available: <https://www.creality3dofficial.com/products/creality-cr-10-max-3d-printer> (Accessed 2022-06-11). 198
- [239] “NNLK 8121 Line Impedance Stabilisation Network - Schwarzbeck.” [Online]. Available: <http://schwarzbeck.de/en/lisn-line-impedance-stabilisation-networks/v-lisn-en/v-lisn-cispr-16-1-2/304-nnlk-8121.html> (Accessed 2022-06-11). 198
- [240] “FPC1500 spectrum analyzer - ROHDE&SCHWARZ.” [Online]. Available: https://www.rohde-schwarz.com/es/productos/test-y-medida/analizadores-de-sobremesa/rs-fpc_63493-542324.html (Accessed 2022-06-11). 198
- [241] “TBPS01 Near field probes set - TekBox.” [Online]. Available: <https://www.batronix.com/shop/measurement/nearfield-probes/TBPS01.html> (Accessed 2022-06-11). 198
- [242] “Pistola ESD ONYX 16 - Haefely Test AG / Hipotronics INC.” [Online]. Available: <https://www.directindustry.es/prod/haefely-test-ag-hipotronics-inc/product-17027-1793810.html> (Accessed 2022-06-11). 198
- [243] “MICROCHIP.” [Online]. Available: <https://www.microchip.com/> (Accessed 2022-06-11). 198
- [244] “Texas instruments.” [Online]. Available: <https://www.ti.com/> (Accessed 2022-06-11). 198
- [245] “ST.” [Online]. Available: <https://www.st.com/> (Accessed 2022-06-11). 198

BIBLIOGRAFÍA

- [246] “Xilinx - AMD.” [Online]. Available: <https://www.xilinx.com/> (Accessed 2022-06-11). 198
- [247] “Raspberry Pi.” [Online]. Available: <https://www.raspberrypi.com/> (Accessed 2022-06-11). 198
- [248] “COMSOL Multiphysics - COMSOL.” [Online]. Available: <https://www.comsol.com/> (Accessed 2022-06-11). xxviii, 199, 200
- [249] “PSIM - POWERSIM.” [Online]. Available: <https://powersimtech.com/products/psim/capabilities-applications/> (Accessed 2022-06-11). 199
- [250] E. García-Martínez, J. Muñoz-Cruzado-Alba, J. F. Sanz-Osorio, and J. M. Perié, “Design and Experimental Validation of Power Electric Vehicle Emulator for Testing Electric Vehicle Supply Equipment (EVSE) with Vehicle-to-Grid (V2G) Capability,” *Applied Sciences*, vol. 11, no. 23, p. 11496, dec 2021. [Online]. Available: <https://www.mdpi.com/2076-3417/11/23/11496> 208
- [251] IEA, “Global EV Outlook 2021,” IEA, Paris, Tech. Rep., 2021. [Online]. Available: <https://www.iea.org/reports/global-ev-outlook-2021> xxix, 211, 212, 213
- [252] L. Wang, Y. Shi, D. Soto, J. Langston, M. Bosworth, J. Hauer, and M. Steurer, “A Reconfigurable Megawatt-Scale Power Hardware-in-the-Loop Simulation System for Virtual Motors,” *2021 IEEE Electric Ship Technologies Symposium, ESTS 2021*, pp. 1–5, 2021. xxxii, 213, 214
- [253] “Aerial-Core project - AERIAL COgnitive integrated multi-task Robotic system with Extended operation range and safety. H2020 ICT-10-2019-2020: Robotics Core Technology.” [Online]. Available: <https://aerial-core.eu/> (Accessed 2022-06-11). xxix, 215, 216
- [254] “Insulae project - Maximizing the impact of innovative energy approaches in the EU islands. H2020 Grant Agreement N° 824433.” [Online]. Available: <http://insulae-h2020.eu/> (Accessed 2022-06-11). 223

Esta tesis se terminó de escribir en Zaragoza el día 10 de agosto de 2022

Esta página ha sido intencionalmente dejada en blanco