



# Trabajo Fin de Máster

## Máster en Física y Tecnologías Físicas

### DISEÑO MMIC DE BEAMFORMERS PARA ANTENAS ACTIVAS MATRICIALES 5G/6G

Autora:

Carolina del Río Bueno

Director:

Santiago Celma Pueyo

Codirectora:

Uxua Esteban Eraso

Departamento de Ingeniería Electrónica y Comunicaciones

Junio 2022

## Resumen

El objetivo de este TFM es explorar el potencial de una tecnología CMOS nanométrica para el diseño de desplazadores de fase en *beamforming* de antenas activas para la banda milimétrica K (18-27 GHz).

En la primera parte del trabajo, se explicará brevemente el funcionamiento de un *array* de antenas, las distintas topologías de desplazadores de fase, así como las diferentes técnicas existentes para la conformación del haz. Seguidamente, se expondrá la topología escogida para el diseño del desplazador de fase y se realizará un estudio teórico de su comportamiento, recalcando sus principales ventajas.

El desplazador de fase diseñado es de 4 bits, programable, activo y de arquitectura híbrida y se implementará en matrices de antenas adaptativas receptoras. Está constituido por un filtro pasa todo en cuadratura (QAF), dos amplificadores de ganancia variable (VGAs) que emplean estructuras *cascode* y un combinador de potencia.

Tras la optimización de los circuitos que constituyen las distintas etapas del desplazador, realizada mediante simulación paramétrica en el entorno de diseño electrónico CADENCE<sup>®</sup>, se presentarán los resultados obtenidos de ganancia y fase de la señal del sistema completo, junto con sus respectivos errores RMS, así como las impedancias de entrada y salida.

Los resultados preliminares obtenidos por simulación muestran el comportamiento óptimo del desplazador, indicando una buena selección de topologías de los bloques básicos que lo constituyen, así como una buena caracterización de sus correspondientes circuitos.

**Palabras clave:** antenas matriciales, combinador de potencia, conformación de haz (*Beamforming*), desplazador de fase, estructuras *cascode*, QAF, tecnología CMOS, VGA.

## Lista de abreviaturas y acrónimos

<b>nG</b>	n <sup>a</sup> Generación de redes móviles
<b>ADC</b>	<i>Analog to Digital Converter</i>
<b>ASIC</b>	<i>Application Specific Integrated Circuit</i>
<b>CMOS</b>	<i>Complementary Metal-Oxide-Semiconductor</i>
<b>DAC</b>	<i>Digital to Analog Converter</i>
<b>I</b>	<i>In phase</i>
<b>LNA</b>	<i>Low Noise Amplifier</i>
<b>MIMIC</b>	<i>Monolithic Microwave Integrated Circuits</i>
<b>MIMO</b>	<i>Multiple Input Multiple Output</i>
<b>MOSFET</b>	<i>Metal-Oxide Semiconductor Field-Effect</i>
<b>PDK</b>	<i>Process Design Kit</i>
<b>Q</b>	<i>In quadraure</i>
<b>QAF</b>	<i>Quadrature All-Pass Filter</i>
<b>RF</b>	<i>Radio Frequency</i>
<b>RMS</b>	<i>Root Mean Square</i>
<b>SATCOM</b>	<i>Satellite Communication</i>
<b>TDT</b>	Televisión Digital Terrestre
<b>TSMC</b>	<i>Taiwan Semiconductor Manufacturing Company</i>
<b>VGA</b>	<i>Variable Gain Amplifier</i>

## Lista de parámetros

$\phi$	Fase de la señal
$\theta, \varphi$	Coordenadas angulares
$\vec{r}_i$	Vector posición de la antena $i$ , respecto del centro de coordenadas
$A$	Ganancia total
$A_j$	Ganancia del VGA que pondera la señal en cuadratura
$A_r$	Ganancia del VGA que pondera la señal en fase
$C_{gd_i}$	Capacidad puerta-drenador del transistor $i$
$C_{gs_i}$	Capacidad puerta-fuente del transistor $i$
$C_L$	Capacidad de carga
$d_x, d_y$	Anchura y longitud de los elementos radiantes en una matriz de antenas
$f_i(\theta, \varphi)$	Patrón de elementos de la antena $i$
$g_{m_i}$	Transconductancia del modelo de pequeña señal para el transistor $i$
$G_m$	Transconductancia total del circuito
$k$	Número de ondas
$L_i$	Longitud de canal del transistor $i$
$R$	Distancia del centro de coordenadas del sistema a un punto del espacio
$R_i$	Distancia del centro de la antena $i$ a un punto del espacio
$r_{o_i}$	Resistencia de salida del modelo de pequeña señal del transistor $i$
$w$	Frecuencia de operación
$w_i$	Pesos complejos
$w_o$	Frecuencia de resonancia
$w_p$	Frecuencia de un polo
$w_z$	Frecuencia de un cero
$W_i$	Anchura de canal del transistor $i$
$Z_L$	Impedancia de carga

## Índice de figuras

1.	Esquema de coordenadas para el cálculo del factor de agrupación (a), donde los círculos verdes representan antenas equiespaciadas y representación de una matriz plana rectangular de elementos radiantes (b). . . . .	4
2.	<i>Beamforming</i> de haz conmutado (a) y de matriz adaptativa (b) [5]. . . . .	6
3.	Arquitectura de un receptor analógico (a), arquitectura de un receptor digital (b) y arquitectura de un receptor híbrido (c) en la que aparece recuadrado el desplazador de fase y el combinador en cuyo diseño se va a centrar este TFM [7]. . . . .	8
4.	Bloques receptor (a) y emisor (b). . . . .	9
5.	Arquitectura de una submatriz de un <i>beamformer</i> híbrido, donde se ha recuadrado el desplazador de fase activo. . . . .	10
6.	Esquemáticos de filtros polifase (a) y QAF (b). . . . .	11
7.	Estructuras de los transistores en configuración <i>cascade</i> (a), fuente común (b), puerta común (c), junto con su modelo de pequeña señal para el cálculo de la resistencia de salida (d). . . . .	13
8.	Respuesta frecuencial de la ganancia para la configuración fuente común de la estructura (a) y modelo de la estructura <i>cascade</i> para altas frecuencias (b). . . . .	15
9.	La estructura del VGA en fase, VGA(I), se ilustra en el interior del recuadro rojo. . . . .	17
10.	Diagrama de fases. . . . .	17
11.	Topología del combinador de potencia. . . . .	19
12.	Fase (a) y ganancia (b) a la salida del QAF de la rama en fase y en cuadratura en función de la frecuencia. . . . .	20
13.	Respuesta frecuencial de la impedancia de entrada del QAF para una configuración 0000 (a) y análisis transitorio de las señales de entrada y de salida del QAF (b). . . . .	21
14.	Valores de la impedancia de entrada del desfasador en función de la frecuencia para todas configuraciones (a), junto con sus correspondientes valores RMS (b). . . . .	22
15.	Valores de la fase (a) y la ganancia (b) a la salida del VGA en función de la frecuencia para todas configuraciones. . . . .	23
16.	RMS de la ganancia y fase del VGA en función de la frecuencia para todas configuraciones. . . . .	23
17.	Impedancia de salida del VGA en función de la frecuencia para todas configuraciones (a) junto con su respectivo error RMS (b). . . . .	24
18.	Valores de la fases (a) y la ganancias (b) a la salida del combinador en función de la frecuencia para todas configuraciones. . . . .	26
19.	Valores RMS de la fase y la ganancia a la salida del combinador en función de la frecuencia (a) junto al diagrama de fases (b). . . . .	27
20.	Evolución de las distintas tecnologías que ofrece TSMC [1]. . . . .	31
21.	Resistencia Poly empleando un bloque de siliciuro [1]. . . . .	32
22.	Distintas geometrías de inductancias [2]. . . . .	33
23.	Sección transversal de un condensador MIM [1]. . . . .	33
24.	Estructura de un transistor NMOS [1]. . . . .	34

Índice de tablas

1.	Configuraciones de los VGAs I/Q para cada desfase. . . . .	18
2.	Valores de los parámetros del QAF, VGA y del combinador de potencia. . . . .	25
3.	Resultados de fase y ganancia medidos a la salida del combinador a 24 GHz. . . . .	26
4.	Tabla comparativa con distintas topologías de desplazadores de fase. . . . .	26
5.	Características de la tecnología TSMC de 65 nm. . . . .	31

# Índice

<b>1. Introducción</b>	<b>1</b>
<b>2. Objetivos</b>	<b>1</b>
<b>3. Antenas activas matriciales y <i>beamforming</i></b>	<b>2</b>
3.1. Introducción a antenas matriciales . . . . .	2
3.2. <i>Beamforming</i> : Definición y clasificación . . . . .	5
3.3. Desplazadores de fase . . . . .	7
<b>4. Topología empleada</b>	<b>10</b>
4.1. Filtro pasa todo en cuadratura . . . . .	10
4.2. Amplificador de ganancia variable . . . . .	13
4.3. Combinador de potencia . . . . .	18
<b>5. Resultados</b>	<b>19</b>
5.1. Resultados obtenidos en el QAF . . . . .	19
5.2. Resultados obtenidos en el VGA . . . . .	22
5.3. Resultados obtenidos con el combinador de potencia . . . . .	24
<b>6. Conclusiones</b>	<b>27</b>
<b>7. Líneas futuras</b>	<b>28</b>
<b>8. Bibliografía</b>	<b>29</b>
<b>Anexo 1: Tecnología TSMC CMOS 65 nm</b>	<b>31</b>
<b>Anexo 2: Fabricación de dispositivos de la tecnología CMOS</b>	<b>32</b>
A2.1 Resistencias . . . . .	32
A2.2 Autoinductancias . . . . .	32
A2.3 Condensadores . . . . .	33
A2.4 Transistores . . . . .	33

## 1. Introducción

Las comunicaciones inalámbricas han sufrido en los últimos 50 años una importante evolución que comenzó a finales de los años 70, con la primera generación de telefonía móvil (1G): era totalmente analógica y únicamente permitía realizar llamadas. A principios de los años 90 llegó la segunda generación (2G), ya digital, y con ella los SMS. La tercera generación (3G) apareció a principios del 2000, permitiendo más conexiones y aumentando la velocidad de transferencia de datos. Con la introducción de mejoras en antenas, surge en 2008 el 4G que permite la transmisión de datos a velocidades del orden de 100 Mb/s, pero presenta cierta latencia. La red 5G permite la transmisión de datos a mayores velocidades con baja latencia y miles de dispositivos interconectados de manera simultánea. Tareas como el manejo remoto de robots quirúrgicos son posibles gracias al bajo tiempo de respuesta que presenta esta tecnología. El 6G va más allá y permitirá el despliegue de tecnologías de cobertura global con apoyo de las comunicaciones satelitales y superficies inteligentes [1] [2].

Tradicionalmente, para transmitir datos a alta velocidad se emplean bandas de baja frecuencia en el espectro de RF, por ejemplo 700 MHz en el caso del TDT o 1.900 MHz para el 4G. No obstante, a bajas frecuencias el número de canales y el ancho de banda disponible es menor, produciendo la saturación de esta parte del espectro. Esta circunstancia incita la búsqueda de tecnologías que operen en una zona con más capacidad disponible como es la banda de frecuencias milimétricas, cuyo espectro contiene frecuencias del orden de decenas de GHz. A estas frecuencias es posible asignar a cada operador un ancho de banda mayor, aumentando la capacidad y la velocidad de transmisión de datos, así como la posibilidad de ofrecer servicio a un mayor número de usuarios. No obstante, cuanto más elevada es la frecuencia mayor es la atenuación de la señal y menor es su capacidad de penetración. Por lo tanto, la banda milimétrica proporciona cobertura a espacios limitados, donde se precisa un rendimiento óptimo de conectividad para un elevado número de usuarios, como ocurre en aeropuertos o estadios deportivos.

Operar con señales de longitud de onda milimétrica, permite disminuir el tamaño de las antenas y posibilita la utilización de antenas activas matriciales en las nuevas infraestructuras de comunicaciones [3]. Este tipo de antenas tienen como resultado grandes mejoras en cuanto a fiabilidad (ausencia de elementos mecánicos) y alta direccionalidad del patrón de radiación emitido (control electrónico). Además, presenta la oportunidad de llevar a cabo el procesamiento de señal en chips ubicados junto con los elementos radiantes, lo que supone un ahorro adicional en coste y en consumo de potencia.

## 2. Objetivos

Los chips *beamformers* son esenciales en las antenas matriciales para ajustar la ganancia y fase del haz de cada célula radiante y conformar el patrón de radiación. Tradicionalmente, la tecnología de circuitos electrónicos de radio frecuencia ha estado basada en semiconductores como GaAs e InP, incrementando considerablemente el presupuesto. En este TFM se va a explorar el potencial de una



tecnología de silicio CMOS <sup>1</sup> nanométrica de bajo coste, en particular se recurre a la tecnología TSMC (*Taiwan Semiconductor Manufacturing Company*), para el diseño MMIC (*Monolithic Microwave Integrated Circuits*) de desplazadores de fase en *beamforming* de antenas activas operando en banda milimétrica K (18-27 GHz). Se seguirán las especificaciones marcadas por los estándares de comunicaciones actuales 5G y prospectivas 6G.

El trabajo forma parte de un proyecto <sup>2</sup> vigente en el Grupo de Diseño Electrónico (GDE) de la Universidad de Zaragoza, que tiene como objetivo principal el diseño y desarrollo de una nueva gama de circuitos integrados de aplicación específica (ASIC, *Application-Specific Integrated Circuit*) en tecnología CMOS que permitan realizar el conformado del patrón de radiación.

La herramienta empleada para realizar el diseño de todas las etapas es CADENCE<sup>®</sup>. Todos los resultados mostrados en este trabajo han sido obtenidos a través de simulación en este entorno de diseño electrónico. Para representar los datos obtenidos en las distintas simulaciones se ha empleado la herramienta de software matemático MATLAB<sup>®</sup>.

### 3. Antenas activas matriciales y *beamforming*

#### 3.1. Introducción a antenas matriciales

Las antenas matriciales son agrupaciones de elementos radiantes idénticos distribuidos uniformemente en superficies generalmente planas y controlados de manera coordinada. Estas permiten la transmisión o recepción de una onda electromagnética en una dirección particular mediante el control de la fase de la señal transmitida o recibida por cada elemento radiante. Debido a la alta direccionalidad del haz, se reducen las interferencias con otras señales permitiendo enfocar la señal hacia los usuarios u objetivos deseados. Consecuentemente, se consigue aumentar el rango de cobertura y la calidad del enlace de comunicación. Por lo tanto, una antena matricial presenta un mejor rendimiento que una antena individual.

En aproximación de campo lejano, se puede expresar el campo radiado por cada elemento de la matriz de acuerdo con las coordenadas de la Figura 1 [4] como se muestra en (1).

$$E_i(r, \theta, \varphi) = \frac{f_i(\theta, \varphi)e^{-jkR_i}}{R_i} \quad (1)$$

donde  $R_i = [(x - x_i)^2 + (y - y_i)^2 + (z - z_i)^2]^{1/2}$  denota la distancia del centro de la antena  $i$  a un punto cualquiera del espacio y  $k = 2\pi/\lambda$  el número de onda a una determinada frecuencia. Vemos que tiene la dependencia  $\exp(-jkR)/R$  de una onda esférica multiplicada por una función

---

<sup>1</sup>CMOS, *Complementary metal-oxide-semiconductor*, es un tipo de proceso de fabricación de transistores de efecto de campo (MOSFET) que utiliza pares complementarios y simétricos de MOSFET de tipo p y n.

<sup>2</sup>Diseño y desarrollo de un chipset (ASIC) para la próxima generación de comunicaciones inalámbricas en SATCOM y 5G, financiado por el Ministerio de Economía y competitividad (RTC2019-007039-7).

$f_i(\theta, \varphi)$  llamada patrón de elementos, que depende únicamente de las características de la antena. Si el patrón de radiación se mide a una distancia muy lejana de la matriz, la coordenada  $R_i$  de la exponencial en (1) se puede aproximar por

$$R_i \approx R - \hat{r} \cdot \vec{r}_i \quad (2)$$

donde  $\vec{r}_i$  el vector de posición del elemento  $i$  relativo al centro del sistema de coordenadas elegido, y  $\hat{r}$  un vector unitario en la dirección  $(R, \theta, \varphi)$ ,

$$\vec{r}_i = \hat{x} \cdot x_i + \hat{y} \cdot y_i + \hat{z} \cdot z_i \quad (3)$$

$$\hat{r} = \hat{x} \cdot u + \hat{y} \cdot v + \hat{z} \cos \theta \quad (4)$$

donde  $u$  y  $v$  son los cosenos directores,  $u = \sin \theta \cos \varphi$  y  $v = \sin \theta \sin \varphi$ . Sustituyendo (2) en (1), la exponencial queda con la siguiente dependencia

$$\frac{e^{-jkR_i}}{R_i} = \frac{e^{-jkR}}{R} e^{jk\vec{r}_i \cdot \hat{r}} \quad (5)$$

Para una matriz de antenas arbitraria, la señal electromagnética global en un punto cualquiera del espacio puede escribirse como la suma de las señales electromagnéticas procedente de cada antena en dicho punto,  $E(r)$ ,

$$E(r) = \frac{e^{-jkR}}{R} \sum_i w_i f_i(\theta, \varphi) e^{jk\vec{r}_i \cdot \hat{r}} \quad (6)$$

donde los coeficientes  $w_i$  son los pesos aplicados a las señales de las antenas para la conformación de haz. Asumimos que el patrón de elementos de las antenas es el mismo, por lo que se extrae del sumatorio como factor común, obteniendo la siguiente expresión

$$E(r) = f(\theta, \varphi) \frac{e^{-jkR}}{R} \sum_i w_i e^{jk\vec{r}_i \cdot \hat{r}} \quad (7)$$

Por lo tanto, el patrón de radiación total en un punto del espacio es el producto del campo radiado por una antena situada en el origen de coordenadas, según (1) y un factor de agrupación escalar  $F(\theta, \varphi)$  expresado como

$$F(\theta, \varphi) = \sum_i w_i e^{jk\vec{r}_i \cdot \hat{r}} \quad (8)$$

Este término tiene en cuenta la interferencia de las ondas generadas por las antenas y depende de la agrupación, la amplitud y fase de la alimentación de las antenas y de la frecuencia de trabajo. La posibilidad de expresar el campo eléctrico radiado por una agrupación de antenas como producto de estos dos factores, se denomina “principio de multiplicación de diagramas”. Dicho principio es válido para cualquier agrupación de elementos radiantes iguales y extensible a agrupaciones de cualquier geometría y con cualquier número de antenas. Además, este resultado introduce una mayor

flexibilidad en el diseño del patrón de radiación, permitiendo modificarlo simplemente variando la amplitud y fase de la señal de cada antena o la geometría de la agrupación, lo que puede resultar más sencillo que variar las características de las antenas que lo conforman ( $f(\theta, \varphi)$ ).

La formación del haz en una dirección particular se consigue mediante la aplicación de los pesos complejos  $w_i$ ,

$$w_i = |w_i|e^{-jk\vec{r}_i\vec{r}_0} \quad (9)$$

donde  $\vec{r}_0 = \hat{x}\sin\theta_0\cos\varphi_0 + \hat{y}\sin\theta_0\sin\varphi_0 + \hat{z}\cos\theta_0$  y  $k = 2\pi/\lambda$ . Estos pesos dirigen la señal a una posición angular  $(\theta_0, \varphi_0)$ . En esa posición, los términos exponenciales de la ecuación (9) anulan los de la ecuación (8) y el factor del conjunto es la suma de las amplitudes de los pesos. Con esta elección de pesos, el máximo del patrón es estacionario para todas las frecuencias. La dependencia exponencial mostrada en (9) inserta retrasos temporales en las líneas de transmisión para compensar las diferencias en las longitudes de trayecto. De esta forma, las señales de todos los elementos llegan juntas a algún punto distante deseado. Habitualmente, la dirección de la señal se controla mediante desplazadores de fase en cuyo caso los pesos tienen la siguiente dependencia

$$w_i = |w_i|e^{-jk_0\vec{r}_i\vec{r}_0} \quad (10)$$

con  $k_0 = 2\pi/\lambda_0$  para una determinada frecuencia  $f_0 = c/\lambda_0$ .

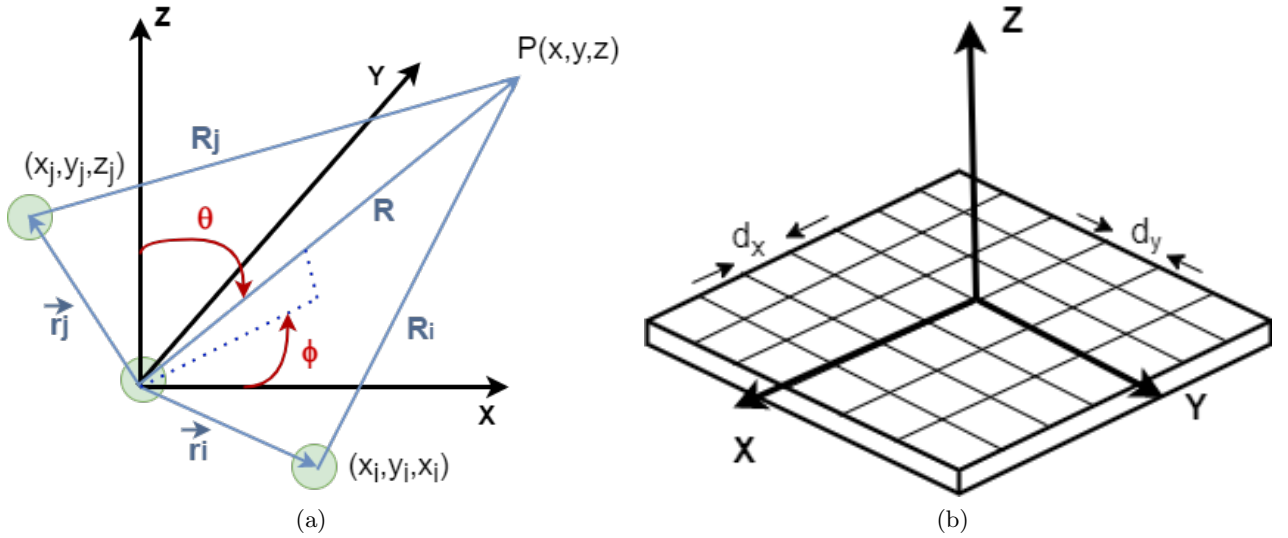


Figura 1: Esquema de coordenadas para el cálculo del factor de agrupación (a), donde los círculos verdes representan antenas equiespaciadas y representación de una matriz plana rectangular de elementos radiantes (b).

Entre las distintas disposiciones de las agrupaciones de antenas, se estudiarán más a fondo las *arrays* planos bidimensionales el mostrado en la Figura 1 b). Los elementos se encuentran posicionados en las siguientes coordenadas

$$r_{m,n} = \hat{x}md_x + \hat{y}nd_y \quad (11)$$

donde  $d_x$  y  $d_y$  denotan las anchuras y longitudes de los elementos radiantes y  $m, n$  son números enteros. Introduciendo pesos complejos como los mostrados en (10) para situar el pico del haz en la posición  $\theta_0$  y  $\varphi_0$  a la frecuencia  $f_0$ , el factor de agrupación tendrá la siguiente expresión

$$F(\theta, \varphi) = \sum_{n,m} |w_{m,n}| e^{jk_0[md_x(u-u_0)+nd_y(v-v_0)]} \quad (12)$$

Normalmente, para un *array* de fase rectangular, se escoge una distribución de amplitudes  $w_{n,m} = b_m c_n$  y el factor de agrupación se puede escribir como el producto de dos factores independientes de  $u$  y  $v$ ;

$$F(\theta, \varphi) = \sum_m b_m e^{jk_0md_x(u-u_0)} \sum_n c_n e^{jk_0nd_y(v-v_0)} \quad (13)$$

La amplitud y la fase de cada una de las antenas diseñadas en este TFM y como consecuencia la forma que toma la expresión de los pesos complejos, se controlará mediante la acción de circuitos de conformación de haz denominados *beamformers*, los cuales permiten variar la fase de la señal radiada electrónicamente, eliminando la necesidad de orientar las antenas mecánicamente [4]. Existen varias formas de direccionar el haz, que se desarrollarán más a fondo en el siguiente apartado.

### 3.2. *Beamforming*: Definición y clasificación

El *beamforming* es una técnica de procesamiento de señales para la transmisión o recepción de señales direccionales. Consiste en combinar las señales de una matriz de elementos radiantes de tal manera que, en ángulos particulares experimenten interferencia constructiva mientras que en otros experimentan interferencia destructiva. Existen diversas técnicas de *beamforming* según sus características que describiremos brevemente a continuación [5].

Los esquemas de conformación de haces se clasifican generalmente como sistemas de haz conmutado o sistemas de matriz adaptativa. Un sistema de haz conmutado produce señales predefinidas, de forma que un único haz normalmente sirve a más de una estación móvil como se ilustra en la Figura 2 a). Por el contrario, los sistemas de matriz adaptativa pueden conformar un haz singular para cada usuario como se muestra en la Figura 2 b), reduciendo la interferencia entre dos usuarios. No obstante, un gran número de estaciones móviles puede sobrecargar el proceso, por lo que se trata de una técnica más difícil de implementar.

A su vez, la conformación de haz adaptativa se puede clasificar en dos tipos principales según el algoritmo empleado: algoritmos adaptativos no ciegos y algoritmos adaptativos ciegos. La variación de amplitud y fase de las señales de cada antena, se realiza aplicando a dichas señales pesos complejos  $w_i$  como se ha indicado en las ecuaciones (9) y (10). El objetivo de las antenas adaptativas, es seleccionar un conjunto de pesos de amplitud y fase con los que combinar las salidas de los elementos en una matriz, para producir el patrón de radiación deseado. Esto se consigue a través

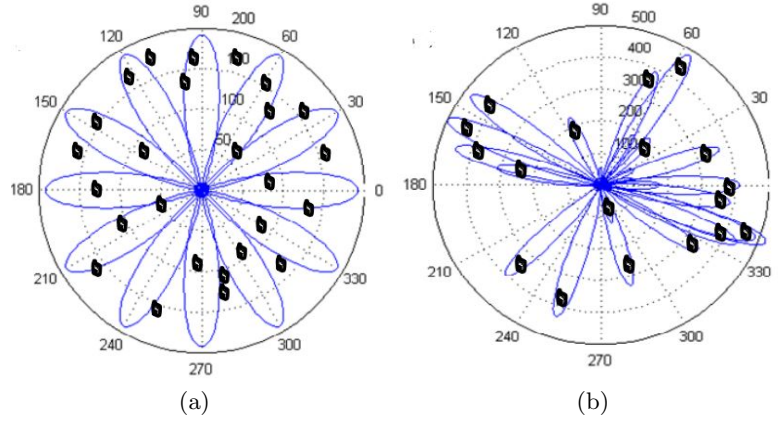


Figura 2: *Beamforming* de haz conmutado (a) y de matriz adaptativa (b) [5].

de algoritmos ciegos y no ciegos.

En los algoritmos no ciegos, se emplea una señal de referencia para adaptar constantemente los pesos. La señal de salida al final de cada iteración, se compara con una señal de referencia y la desviación de ambas se emplea para reajustar los pesos en el algoritmo. Los algoritmos adaptativos ciegos no dependen de la implementación de una señal de referencia, ni requieren ningún conocimiento estadístico para ser entrenados. El objetivo de estos algoritmos, es restablecer algunos tipos de características físicas de la señal, para maximizarlas al terminal deseado y minimizar las interferencias con otros terminales. Ejemplos de estos algoritmos pueden encontrarse en la literatura [6].

Los sistemas de haz conmutado y matrices adaptativas pueden estar constituidas por arquitecturas de *beamformers* analógicos, digitales e híbridos en cuyo diseño se centra este trabajo [7]. Las primeras antenas con *beamforming* analógico, contaban con desplazadores de fase fijos que producían un cambio de fase constante entre dos puertos, al igual que en los sistemas conmutados, pero los más modernos tienen desplazadores de fase variables, necesarios en sistemas adaptativos. Las operaciones de conformación del haz se realiza en el dominio analógico, exigiendo menor resolución a los convertidores analógico-digitales (ADC). Por el contrario, la conformación de haces digital cuenta con muchas utilidades como la estimación de la dirección de llegada del haz, control programable de los patrones de radiación de las antenas y direccionamiento adaptativo de su haz. Estas ventajas se pueden alcanzar únicamente recurriendo al procesamiento digital de señales. Con la finalidad de potenciar las ventajas de los dos métodos, se ha propuesto una mezcla entre la conformación de haces analógico y digital, denominado *beamforming* híbrido. A continuación, se llevará a cabo un análisis más detallado de las estructuras que presentan los receptores analógicos, digitales e híbridos de antenas adaptativas.

En la Figura 3 a) se representa un receptor analógico, donde el desfase se aplica a cada elemento en el *array* para después sumar todas señales coherentemente. Esta señal pasa posteriormente a través de un *mixer*, que disminuye la frecuencia de la señal recibida para que pueda ser muestreada

correctamente por el ADC. Esta arquitectura es la más simple, por lo que es la más económica pero también la menos versátil.

En el *beamforming* digital se emplean pesos complejos digitales en lugar de desfasadores analógicos. En este caso, será necesaria una cadena receptora completa en cada elemento de antena como aparece en la Figura 3 b). Esta arquitectura resulta más versátil que la analógica debido a que se pueden procesar varios haces de manera simultánea. No obstante, consume mucha potencia y mucho más silicio. Estos requerimientos hacen que sea una opción inviable en comunicaciones de múltiple entrada y múltiple salidas (MIMO) como las establecidas en las tecnologías 5G/6G.

Una técnica de *beamforming* híbrido consiste en dividir la matriz en submatrices más pequeñas y realizar *beamforming* analógicos dentro de esas submatrices, como se muestra en la Figura 3 c). Si el número de elementos de la submatriz es pequeño, el haz resultante es ancho. Cada submatriz se puede considerar como un super elemento radiante con un patrón de radiación algo direccional. Posteriormente, se realiza un *beamforming* digital utilizando las señales de las submatrices, lo que produce haces estrechos de alta ganancia correspondientes a la apertura total de la matriz. Con esta arquitectura la cantidad de mezcladores y ADC, así como el procesamiento de datos, disminuyen según el tamaño de la submatriz en comparación con el *beamforming* puramente digital. Por esta razón, la conformación de haz híbrida es la más empleada en sistemas de comunicación masivos (MIMO). Una limitación de este enfoque en comparación con el digital completo es el hecho de que todos los haces digitales estarán contenidos dentro del campo de visión del patrón de la submatriz.

En la Figura 4, se muestra el esquema de los elementos que constituyen una antena elemental en un receptor y en un transmisor para una arquitectura analógica o una submatriz de arquitectura híbrida, que se resume en un amplificador y un desplazador de fase. En el receptor, el desplazador de fase se coloca después del LNA, cuya función es amplificar la señal débil de la antena. En el transmisor, se emplea un amplificador de potencia que genera una salida de suficiente potencia como para alimentar el elemento radiante [8].

En este trabajo, emplearemos una arquitectura híbrida de receptores para crear un sistema de matriz adaptativa, donde los pesos complejos generados por los algoritmos controlan la fase que deben presentar los desfasadores analógicos, que se describirán en detalle en el siguiente apartado. No obstante, la algoritmia relativa al procesamiento digital de los pesos escapa al alcance de este trabajo.

### 3.3. Desplazadores de fase

Los desplazadores de fase son componentes esenciales de las antenas matriciales empleados para ajustar la fase de la señal de cada elemento radiante y así conformar el haz. Un desplazador de fase debe tener un amplio rango de fase ( $360^\circ$ ), pero una alta resolución. Para una resolución de  $n$  bits se consiguen saltos de fase de  $360^\circ/2^n$ . En este caso, emplearemos un desplazador de fase de 4 bits de resolución, que nos permitirá cambiar la fase en intervalos de  $22,5^\circ$ . Se intenta que la atenuación

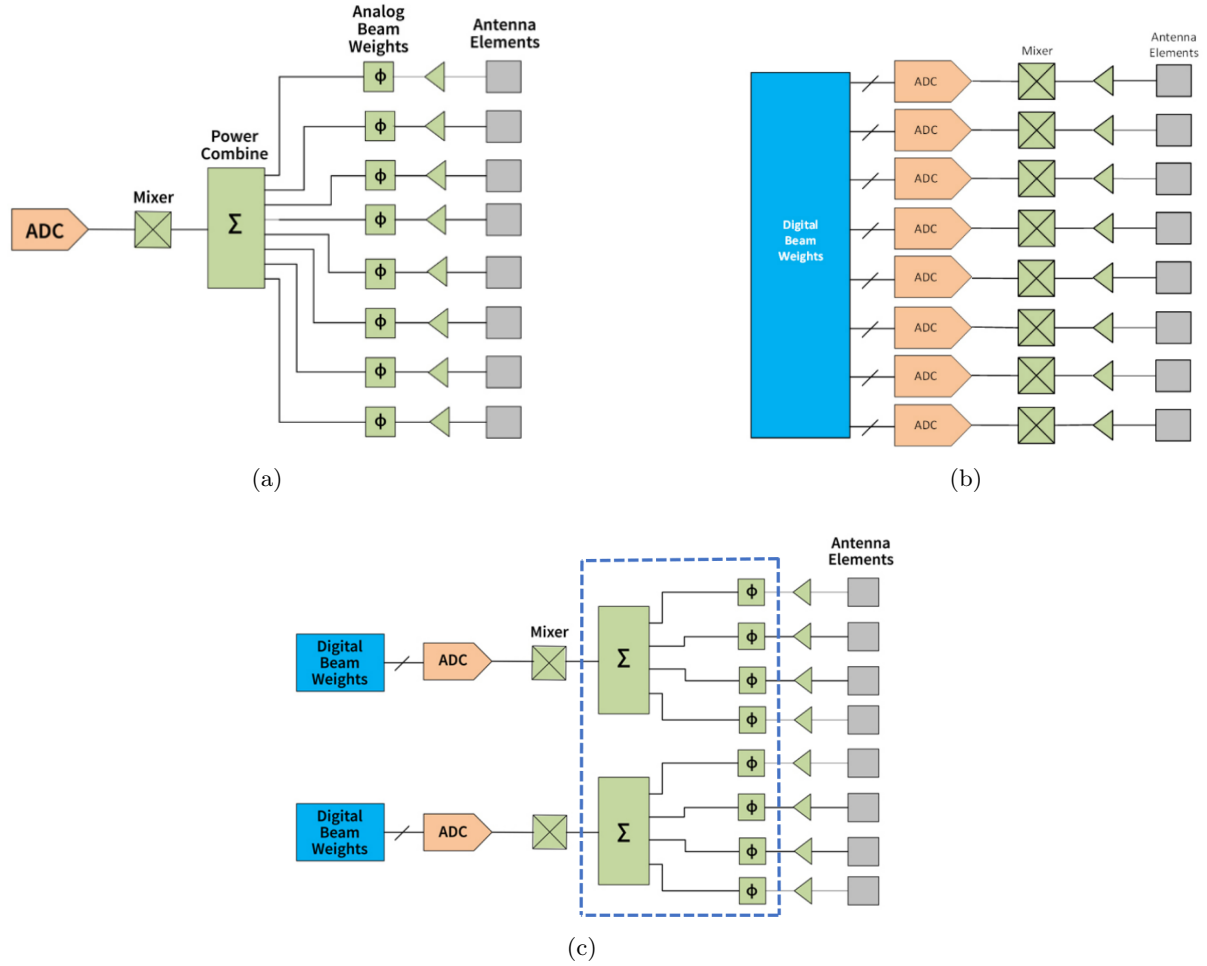


Figura 3: Arquitectura de un receptor analógico (a), arquitectura de un receptor digital (b) y arquitectura de un receptor híbrido (c) en la que aparece recuadrado el desplazador de fase y el combinador en cuyo diseño se va a centrar este TFM [7].

de la señal en estos desplazadores sean mínimas y que apenas exista variación de estas pérdidas en cada salto de fase. Otras de las características deseables de un desplazador de fase son un consumo bajo de potencia, fácil controlabilidad y un reducido consumo de área del chip.

Hay varios tipos de desplazadores de fase de radio frecuencia, empleando elementos de circuitos pasivos o activos [3]. En este trabajo, se diseñan desplazadores de fase activos, es decir, mediante el uso de transistores como elementos de circuito. Con respecto a los desplazadores pasivos, que emplean elementos pasivos tales como resistencias, condensadores autoinducciones y líneas de retardo, los desplazadores activos presentan una mayor ganancia total y una mayor exactitud en el salto de fase, a costa de una peor linealidad. En el caso de un transmisor, la linealidad sería una propiedad importante ya que se trata de la etapa previa al amplificador de potencia, como se muestra en la Figura 4 a). Sin embargo, en un receptor se da prioridad a la ganancia de potencia ya que la señal llega debilitada. Por lo tanto, como este trabajo se centra en el diseño de desplazadores para matrices de antenas receptoras, se emplearán desplazadores de fase activos.

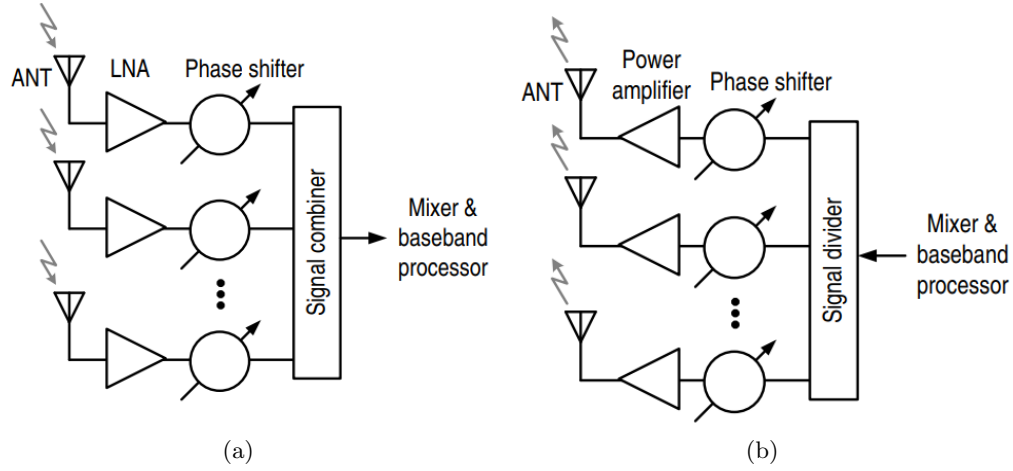


Figura 4: Bloques receptor (a) y emisor (b).

El principio de operación del desplazador de fase activo diseñado, se basa en la combinación ponderada de señales en cuadratura a través de amplificadores de ganancia variable (VGAs) controlados digitalmente. La arquitectura completa que tendría una submatriz para este diseño se ilustra en la Figura 5. La señal de entrada ( $V_{in}$ ), se divide en dos señales desfasadas en  $90^\circ$ , que denominaremos de ahora en adelante señal I/Q por simplicidad. Las señales I/Q pasan por VGAs separados, cuya ganancia  $A_r$  y  $A_j$  dependerá del número de transistores que se encuentren en corte o en conducción.  $A_r$  es la ganancia del VGA que pondera la señal en fase (I) y  $A_j$  es la ganancia del VGA que pondera la señal en cuadratura (Q). La señal de salida se puede expresar empleando notación fasorial como

$$V_{out} = (A_r + jA_j)V_{in} \quad (14)$$

La fase ( $\phi$ ) resultante vendrá dada por

$$\phi = \arctan(A_j/A_r) \quad (15)$$

y la ganancia total  $A$  se corresponde con

$$A = \sqrt{A_r^2 + A_j^2} \quad (16)$$

A partir del cociente  $A_j/A_r$  es posible obtener el desfase necesario tratando de mantener la ganancia constante.

En el siguiente apartado, se mostrará en detalle la estructura de cada uno de los elementos que componen el desplazador de fase.



## 4. Topología empleada

La estructura completa del desplazador de fase diseñado se muestra en la Figura 5. Está constituido por un filtro pasa-todo de cuadratura QAF, que proporcionará dos señales con un desfase ortogonal (I/Q) y dos VGAs que ponderan de manera independiente dichas señales. Los VGAs se usan en modo diferencial para poder invertir la señal. La fase a la salida se basa en el ratio de la ganancia entre los caminos I y Q como se indica en (15). Las señales procedentes de estos VGAs se combinarán linealmente empleando un combinador de potencia <sup>3</sup>.

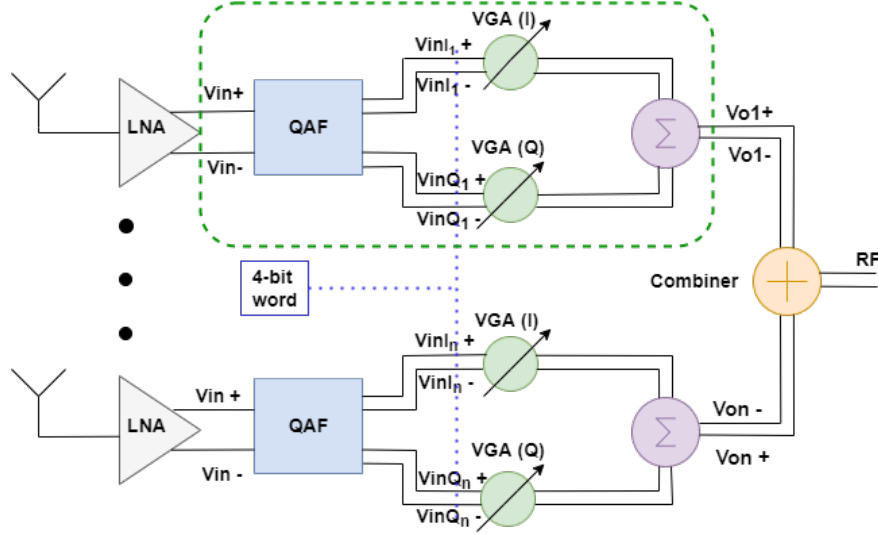


Figura 5: Arquitectura de una submatriz de un *beamformer* híbrido, donde se ha recuadrado el desplazador de fase activo.

### 4.1. Filtro pasa todo en cuadratura

Generar los vectores de base ortogonal sin pérdidas en voltaje, es un paso esencial para producir cualquier desfase entre señales. Tradicionalmente, se han empleado estructuras basadas en resistencias y condensadores como los filtros polifásicos RC, para generar señales en cuadratura. Un filtro polifásico RC de primer orden, usualmente es insuficiente para garantizar el desfase en un rango frecuencial determinado, requiriéndose de más secciones RC en cascada, como el filtro polifásico de tercer orden mostrado en la Figura 6 a). Ello supone una considerable atenuación de la potencia de la señal recibida. Por el contrario, es posible producir señales en cuadratura sin pérdidas y en un mayor ancho de banda empleando la técnica de resonancia LC, con la estructura mostrada en la Figura 6 b), denominada filtro QAF (*Quadrature All Pass Filter*) [9].

Se introduce en el QAF una señal diferencial sinusoidal  $V_{in}$ . A la salida, si se ajustan adecuadamente los valores de los parámetros  $C$ ,  $L$  y  $R$  se obtienen dos señales diferenciales sinusoidales,  $V_I$

<sup>3</sup>Los divisores/combinadores de potencia son elementos que acoplan una cantidad de potencia a un puerto, permitiendo que la señal se emplee en otros circuitos o vice versa.

y  $V_Q$ , desfasadas entre sí  $90^\circ$ , que posteriormente serán dirigidas a cada VGA.

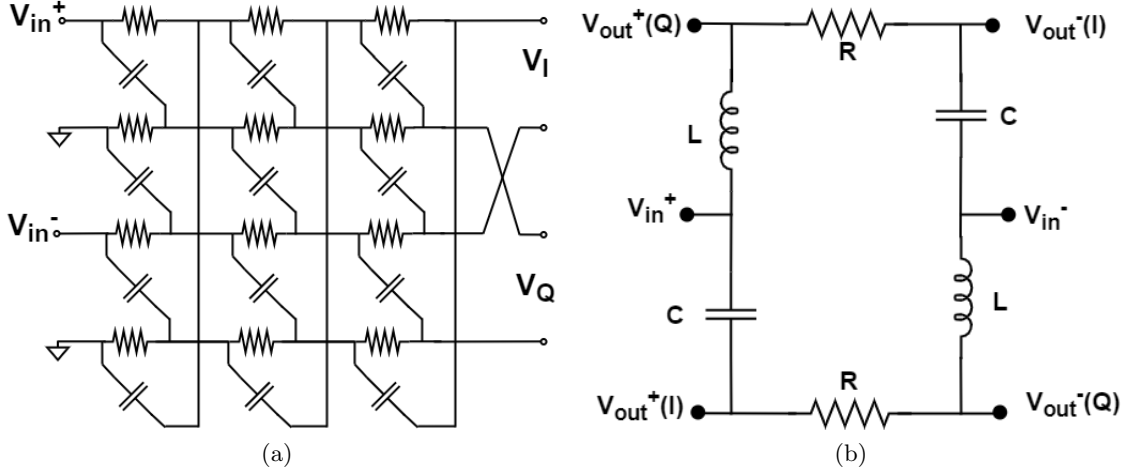


Figura 6: Esquemáticos de filtros polifase (a) y QAF (b).

Analizando el QAF en condiciones ideales para la transferencia en tensión, obtenemos las siguientes expresiones para las tensiones de salida en función de las de entrada:

$$V_I^+ = \frac{R + sL}{sL + R + \frac{1}{sC}} V_{in}^+ + \frac{\frac{1}{sC}}{sL + R + \frac{1}{sC}} V_{in}^- = V_{out}^+(I) \quad (17)$$

$$V_I^- = \frac{\frac{1}{sC}}{sL + R + \frac{1}{sC}} V_{in}^+ + \frac{R + sL}{sL + R + \frac{1}{sC}} V_{in}^- = V_{out}^-(I) \quad (18)$$

$$V_Q^+ = \frac{\frac{1}{sC} + R}{sL + R + \frac{1}{sC}} V_{in}^+ + \frac{sL}{sL + R + \frac{1}{sC}} V_{in}^- = V_{out}^+(Q) \quad (19)$$

$$V_Q^- = \frac{sL}{sL + R + \frac{1}{sC}} V_{in}^+ + \frac{\frac{1}{sC} + R}{sL + R + \frac{1}{sC}} V_{in}^- = V_{out}^-(Q) \quad (20)$$

Se comparan estas ecuaciones con la general para una función de transferencia de segundo orden

$$H(s) = \frac{\alpha s^2 + \beta s + \gamma}{s^2 + \frac{w_0}{Q}s + w_0^2} \quad (21)$$

donde  $w_0$  es la denominada frecuencia de resonancia

$$w_0 = \frac{1}{\sqrt{LC}} \quad (22)$$

y el factor de calidad  $Q$ , que para un resonador de segundo orden se define como el cociente de la

frecuencia de resonancia y el ancho de banda, se corresponde con

$$Q = \frac{1}{R} \sqrt{\frac{L}{C}} \quad (23)$$

Como  $V_{in}^+$  y  $V_{in}^-$  constituyen una señal balanceada, la función de transferencia puede considerarse como una superposición lineal un filtro pasa baja de segundo orden y un filtro pasa alta de segundo orden. Por ejemplo, vemos que mientras  $V_I^+$  presenta características de filtro pasa alta desde el punto de vista de  $V_{in}^+$ , muestra características de filtro pasa baja desde el punto de vista de  $V_{in}^-$ . Por lo tanto, la combinación lineal de estas características conduce a un filtro pasa todo [8].

Teniendo en cuenta que la señal de excitación es diferencial  $V_{in} = V_{in}^+ - V_{in}^-$ , y que la salida se toma también de forma diferencial,  $V_I = V_I^+ - V_I^-$  y  $V_Q = V_Q^+ - V_Q^-$ , obtenemos las funciones de transferencia para la señal en fase y en cuadratura en función de  $w_0$  y  $Q$

$$V_I = \frac{s^2 + s\frac{w_0}{Q} - w_0^2}{s^2 + s\frac{w_0}{Q} + w_0^2} \cdot V_{in} \quad (24)$$

$$V_Q = \frac{s^2 - s\frac{w_0}{Q} - w_0^2}{s^2 + s\frac{w_0}{Q} + w_0^2} \cdot V_{in} \quad (25)$$

Sustituyendo en las expresiones anteriores  $s = jw$ , obtendremos sendas respuestas frecuenciales, cuyo argumento se calcula como

$$\arg\{H(jw)\} = \tan^{-1}(w/w_z) + \dots - \tan^{-1}(w/w_p) + \dots \quad (26)$$

donde  $w_z$  hace referencia a los ceros del numerador y  $w_p$  a los polos del denominador. En este caso tenemos dos polos y dos ceros en cada función, por lo que la fase de la señal a una frecuencia dada  $w$ , será

$$\phi_I = \tan^{-1}\left(\frac{w}{w_{zI+}}\right) + \tan^{-1}\left(\frac{w}{w_{zI-}}\right) - \tan^{-1}\left(\frac{w}{w_{p+}}\right) - \tan^{-1}\left(\frac{w}{w_{p-}}\right) \quad (27)$$

$$\phi_0 = \tan^{-1}\left(\frac{w}{w_{zQ+}}\right) + \tan^{-1}\left(\frac{w}{w_{zQ-}}\right) - \tan^{-1}\left(\frac{w}{w_{p+}}\right) - \tan^{-1}\left(\frac{w}{w_{p-}}\right) \quad (28)$$

Las señales presentan los mismos polos ( $w_z$ ) ya que tienen el mismo denominador, pero los ceros difieren ( $w_{zI}$  y  $w_{zQ}$ )

$$w_{p\pm} = w_0 \left( -\frac{1}{2Q} \pm \frac{w_0}{2Q} \sqrt{1 - 4Q^2} \right) \quad (29)$$

$$w_{zI} = w_0 \left( -\frac{1}{2Q} \pm \frac{w_0}{2Q} \sqrt{1 + 4Q^2} \right) \quad (30)$$

$$w_{zQ} = w_0 \left( \frac{1}{2Q} \pm \frac{w_0}{2Q} \sqrt{1 + 4Q^2} \right) \quad (31)$$

Para comprobar que la señal está en cuadratura se calcula la diferencia de fases entre ambas salidas. Calculando  $\Delta\phi_{I/Q} = \phi_I - \phi_0$ , vemos que el desfase entre las salidas depende únicamente de

los ceros

$$\Delta\phi_{I/Q}(w) = \tan^{-1}\left(\frac{w}{w_{zI+}}\right) - \tan^{-1}\left(\frac{w}{w_{zQ+}}\right) + \tan^{-1}\left(\frac{w}{w_{zI-}}\right) - \tan^{-1}\left(\frac{w}{w_{zQ-}}\right) \quad (32)$$

Esta expresión debe tener un valor lo más cercano posible a  $90^\circ$ .

## 4.2. Amplificador de ganancia variable

Se ha mencionado anteriormente que el funcionamiento del desfasador se basa en el ratio de las ganancias de dos VGAs (*Voltage Gain Amplifiers*) programables de cuatro bits. En esta sección, se describirá más a fondo la estructura de los VGAs empleados, así como su funcionamiento.

En la técnica propuesta en este trabajo la ganancia de cada VGA depende del número de etapas amplificadoras, basadas en estructuras *cascade*, como la mostrada en la Figura 7 a), conectadas en paralelo.

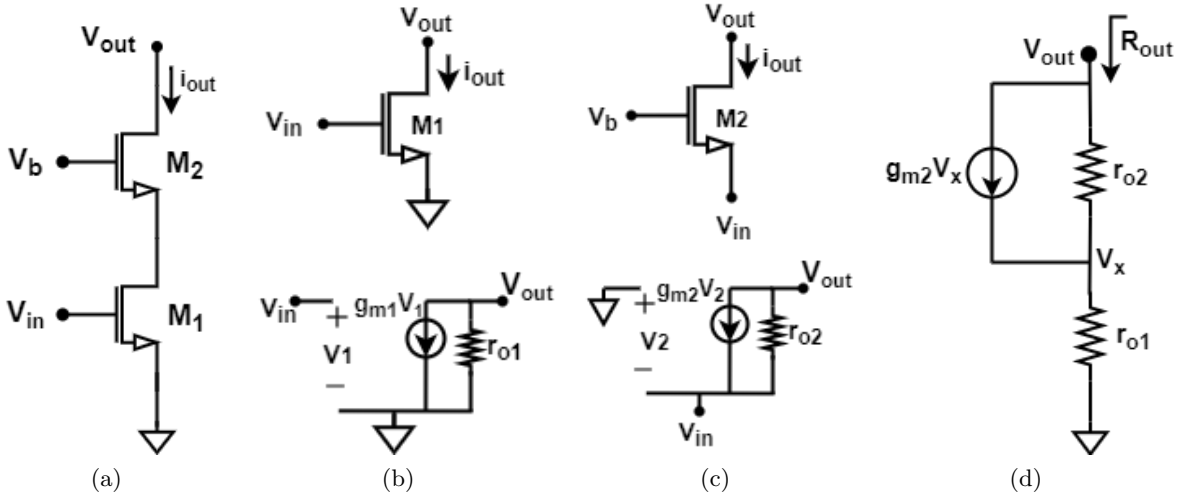


Figura 7: Estructuras de los transistores en configuración *cascade* (a), fuente común (b), puerta común (c), junto con su modelo de pequeña señal para el cálculo de la resistencia de salida (d).

La estructura *cascade* empleada está constituida por dos transistores: un transistor inferior ( $M_1$ ), Figura 7 b), en configuración de fuente común y un segundo transistor ( $M_2$ ), Figura 7 c), en puerta común que actuará como fuente de corriente. Se demostrará a continuación que esta topología puede emplearse como un amplificador de elevada ganancia [10]. La ganancia de circuito lineal se calcula de acuerdo con la ecuación general

$$A_v = \frac{v_{out}}{v_{in}} = -G_m \cdot R_{out} \quad (33)$$

donde  $R_{out}$  es la impedancia de salida total y  $G_m = i_{out}/v_{in}$  es la transimpedancia. Si se considera

únicamente el transistor en configuración de fuente común ( $M_1$ ), es posible deducir de su modelo de pequeña señal, mostrado en la Figura 7 b), que la impedancia de salida  $R_{out}$  se corresponde con  $r_{o1}$  y por lo tanto, su ganancia es  $A_{CS} = -g_{m1}r_{o1}$ .

Para obtener la impedancia de salida de la estructura *cascode* completa, se analizará el modelo de pequeña señal mostrado en la Figura 7 d). Suponemos que  $G_m \approx g_{m1}$  si  $1/g_{m2} \ll r_{o1}$  y la impedancia de salida  $R_{out} = (1 + g_{m1}r_{o2})r_{o1} + r_{o2} \approx g_{m1}r_{o1}r_{o2}$ . De esta forma, la ganancia de la estructura *cascode* es

$$A_v \approx -g_{m1}[(1 + g_{m2}r_{o2})r_{o1} + r_{o2}] \approx -g_{m1}r_{o1}g_{m2}r_{o2}. \quad (34)$$

Comparado a un transistor con una etapa fuente común, la ganancia en voltaje ha aumentado en un factor  $g_{m2}r_{o2}$ . La etapa *cascode* se inventó originalmente para suprimir un fenómeno indeseable a alta frecuencia llamado efecto *Miller* [11]. Este efecto describe el aumento del valor de la capacitancia de un condensador conectado entre la entrada y la salida de un amplificador en un factor  $(1-A)$ , donde  $A$  es la ganancia del amplificador. Al trabajar a altas frecuencias, la capacidad parásita  $C_{gd1}$  posicionada entre la entrada y la salida de la etapa fuente común, se hace más relevante y sufre este efecto. Consecuentemente, de acuerdo con la ecuación (33), se disminuye la ganancia en tensión a la salida de  $M_1$  a altas frecuencias, ya que ahora la impedancia de salida vendrá dada por  $Z_{out} = r_{o1}/(r_{o1} + sC_x)$ , donde  $C_x = (1 - A) \cdot C_{gd1}$  y  $A = -g_{m1}r_{o1}$ . Por ejemplo, en el caso del transistor en fuente común empleado,  $g_{m1} \approx 2,16 \text{ m}\Omega^{-1}$  y  $r_{o1} \approx 2,7 \text{ k}\Omega$ , lo que da una ganancia de aproximadamente -5,8 y la capacidad  $C_{gd1}$  aumentará en un factor 7 aproximadamente.

Además, este efecto empeora la respuesta frecuencial de la etapa. La resistencia  $R_s$  conectada a la entrada del transistor  $M_1$  que se muestra en la Figura 8, forma un filtro pasa baja junto con la capacidad equivalente de entrada  $C_{in}$  que depende de la capacidad  $C_{gd1}$ . La magnitud del polo de entrada viene dada por la siguiente expresión

$$w_{p1} = \frac{1}{R_s[C_{gs1} + (1 + g_{m1}r_{o1})C_{gd1}]}. \quad (35)$$

Este polo va a determinar la frecuencia a partir de la cual la ganancia comenzará a disminuir, como se muestra en la Figura 8 a), limitando el óptimo funcionamiento de esta etapa a frecuencias bajas. Disminuyendo el efecto *Miller* sobre  $C_{gs1}$  mediante la implementación de una estructura *cascode* como se demostrará a continuación, la frecuencia  $w_{p1}$  aumentará, mejorando el comportamiento frecuencial de la etapa fuente común.

Para ver cómo influye la etapa en puerta común  $M_2$  sobre el efecto *Miller*, consideramos el esquema de la Figura 8 b). El efecto *Miller* de  $C_{gd1}$  viene determinado por la ganancia del nodo A a X. Asumiendo  $r_o = \infty$  para todos los transistores, se obtiene una ganancia con la siguiente expresión  $A_{v,AX} = \frac{v_x}{v_A} = -\frac{g_{m1}}{g_{m2}}$ . Si ambos transistores tienen aproximadamente las mismas dimensiones ( $L_1 \approx L_2$  y  $W_1 \approx W_2$ ), dado que  $g_{mi} \propto \sqrt{\frac{W}{L}}$ , podemos aproximar  $g_{m1} \approx g_{m2}$  y la ganancia tomará el siguiente valor  $A_{v,AX} \approx -1$ . Ahora,  $C_x = (1 - A_{v,AX})C_{gd1} \approx 2C_{gd1}$ . Este resultado muestra que

el aumento en capacidad debido al efecto Miller es menor en una estructura *cascode* que en una estructura simple puerta común [11]. En el caso de la estructura *cascode* empleada,  $g_{m1}/g_{m2} \approx 0,5$  y la capacidad  $C_{gs1}$  aumentará únicamente en un factor 1,5.

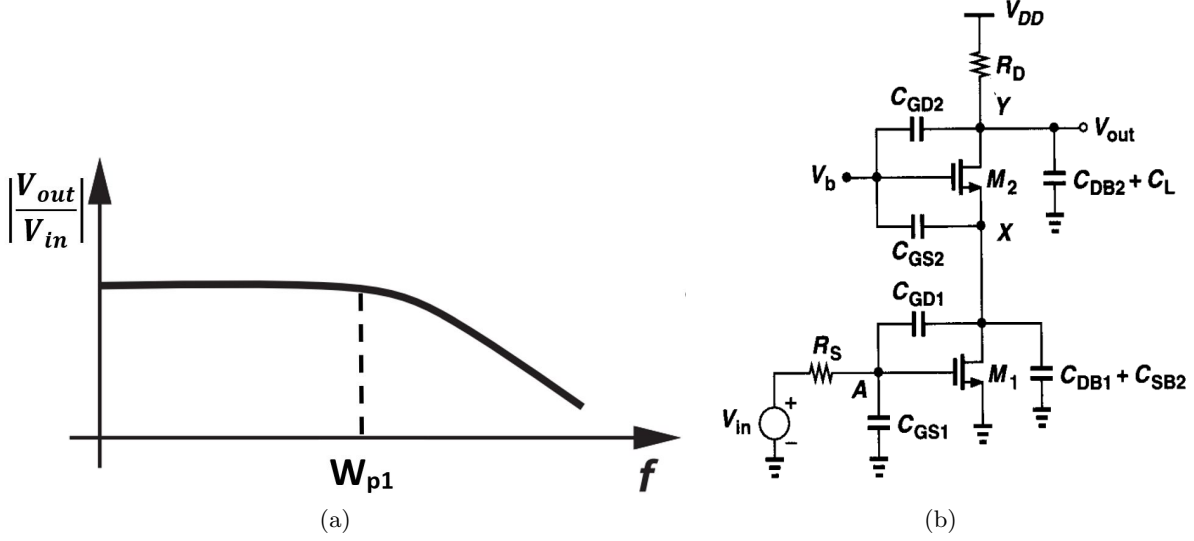


Figura 8: Respuesta frecuencial de la ganancia para la configuración fuente común de la estructura (a) y modelo de la estructura *cascode* para altas frecuencias (b).

En resumen, es posible identificar dos atributos importantes en la estructura *cascode* que la hacen adecuada para su aplicación en los VGAs: la capacidad de proporcionar una elevada impedancia de salida, y por ello servir como un amplificador de alta ganancia y la reducción del efecto *Miller*, lo que mejora su rendimiento a altas frecuencias.

Un VGA programable de 4 bits está compuesto de cuatro bloques (B y C marcados en azul en la Figura 9) con tres estructuras *cascode* conectables en paralelo y otros cuatro bloques de estructuras *cascode dummies* (A y D macadas en verde en la Figura 9). A diferencia de otras estructuras, el empleo de amplificadores *cascode* permite excitar por la puerta del transistor inferior y controlar la activación del amplificador por la puerta de transistor superior de manera independiente, mediante su conexión a tensión de alimentación ( $V_{dd}$ ) o a tierra. Cuando aplicamos la tensión  $V_{dd}$ , el transistor superior se polariza en saturación y por la estructura circulará corriente. Para conseguir saltos de fase de aproximadamente  $22,5^\circ$ , los ratios de ganancia del VGA (I) frente al VGA (Q) son:  $A_j/A_r = 0/3, 1/3, 2/2, 3/1$  o  $3/0$ . Como se puede observar los ratios  $1/3$  y  $3/1$ , no producen un desfase exacto de  $22,5^\circ$  y  $67,5^\circ$  pero son más sencillos de implementar que  $1/2, 4$  y  $2, 4/1$  con transistores reales. El error introducido debido a esta inexactitud en el desfase es aceptable para la mayoría de las aplicaciones en comunicaciones 5G [3].

Los transistores B y C son los encargados de la circulación de la corriente a través del VGA. Para conseguir desfases de  $0^\circ$  a  $90^\circ$ , se emplean los transistores B, mientras que para ángulos mayores será necesario invertir la señal y los transistores encargados de ello son los C. Los transistores A

y D son transistores *dummies* cuya función es mantener el número de transistores conectados a la entrada y a la salida de cada VGA constante, respectivamente. Con esto se evita que las impedancias de entrada y salida, donde la contribución de las capacidades parásitas de los transistores no es despreciable, varíe de una configuración a otra. Gracias a ello se consigue una buena adaptación de impedancias independientemente de la configuración.

Para obtener la configuración +1 en un VGA, es necesario que estén en conducción todas estructuras *cascode* B y para la configuración -1 todas C. Para 1/3, conducirán cuatro estructuras A junto con dos B, mientras que para -1/3 conducirán dos estructuras C además de cuatro A. En el caso de 2/3, han de estar en conducción cuatro estructuras B además de dos transistores A. Análogamente para -2/3, deben de estar en conducción cuatro estructuras C junto dos A. Combinando estas configuraciones se pueden obtener desfases de 0° a 360° en saltos de 22,5° y a cada ángulo se le asigna una palabra digital. En la Tabla 1 se muestran el número de estructuras *cascode* activas necesarias para obtener cada configuración.

Los transistores de las estructuras *cascode* D, tienen la mitad de anchura que los transistores del resto de las estructuras. Tener dos estructuras D en conducción es equivalente a tener una única de anchura completa. Estos transistores se emplean para mantener constante el número de estructuras conectadas a la salida en los desfases de 0°, 90°, 180° y 270°. Para estas configuraciones, el número total de estructuras *cascode* conectadas a la salida es cinco, pero su efecto es equivalente a tener cuatro. De esta forma, el número total de estructuras *cascode* equivalentes en conducción conectadas siempre con cada entrada es tres y con cada salida es cuatro para todas las configuraciones.

Para visualizar la contribución de cada estructura VGA a la fase, podemos representar la fracción de transistores B y C en conducción mediante el número de divisiones en los ejes del plano complejo como se muestra en la Figura 10. El eje Y representa la contribución de ganancia del VGA (Q) al que llega la señal en cuadratura,  $A_j$  y el eje X la contribución del VGA (I) al que llega la señal en fase  $A_r$ . Por ejemplo, para obtener la fracción  $A_j/A_r=1/3$ , es decir un ángulo de 22,5°, el vector resultante debe estar formado por tres divisiones del eje X y una del eje Y. Esto se consigue con los seis estructuras *cascode* B en conducción en el VGA(I) y con dos estructuras *cascode* B y cuatro A en conducción en el VGA (Q). De manera análoga si se desea conseguir un desfase de 157,5° en el VGA I deberán estar en conducción todas estructuras *cascode* C, mientras que la configuración del VGA Q no varía con respecto a la anterior.

La impedancia de entrada de un estructura *cascode*, despreciando todas capacidades parásitas excepto la capacidad puerta-fuente del transistor  $M_1$  ( $C_{gs1}$ ) y suponiendo que no existe modulación de longitud de canal <sup>4</sup>, tiene la siguiente expresión,

$$Z_{in} = \frac{1}{sC_{gs1}} \quad (36)$$

---

<sup>4</sup>La modulación de canal se trata de un efecto de segundo orden en los transistores MOSFET, en el que se reduce su longitud de canal  $L$ , debido a un incremento en la tensión en el voltaje drenador-fuente  $V_{DS}$ . La ausencia de este efecto indica que la resistencia de salida del modelo de pequeña señal  $r_{oi} = \infty$  [11].

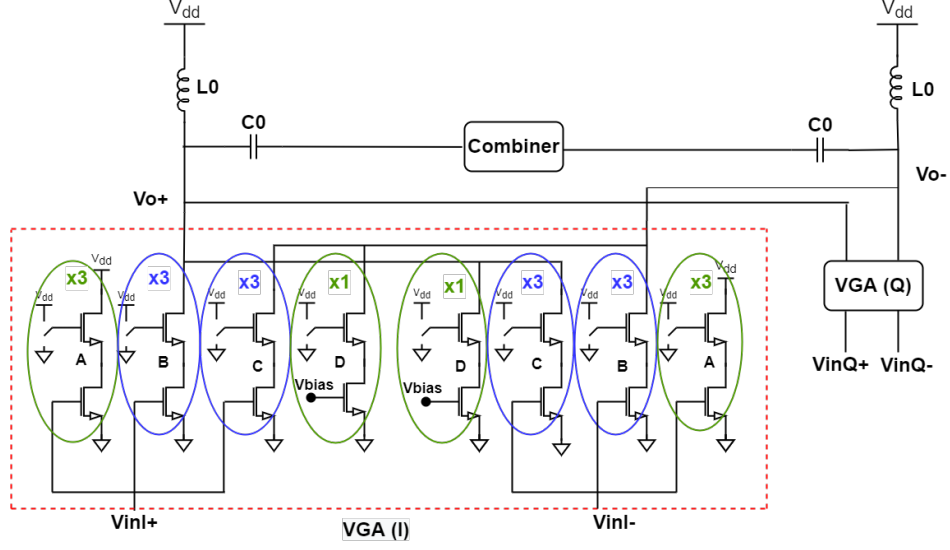


Figura 9: La estructura del VGA en fase, VGA(I), se ilustra en el interior del recuadro rojo.

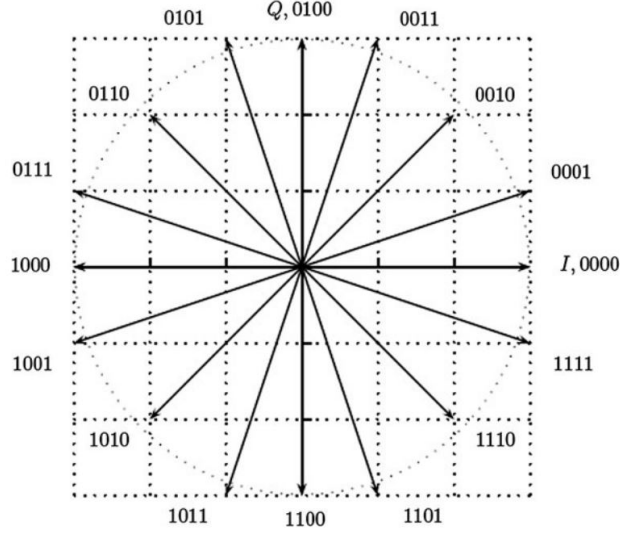


Figura 10: Diagrama de fases.

La capacidad parásita puerta-fuente de cualquier transistor se puede expresar de forma general en función de sus dimensiones

$$C_{gsi} \propto W_i \cdot L_i \quad (37)$$

donde  $W$  es la anchura y  $L$  la longitud e  $i$  es un subíndice empleado para especificar el transistor. La función de transferencia de una estructura *cascade* como la mostrada en la Figura 8 b) con  $Z_L$  en lugar de  $R_D$ , tiene una expresión complicada, pero que bajo ciertas condiciones puede aproximarse por

$$H(s) = \frac{V_{out}}{V_{in}} = -\frac{g_{m1}g_{m2}r_{o1}Z_L(s)}{1 + g_{m2}r_{o1}} \quad (38)$$



Configuración	VGA (I)				VGA (Q)				Fase (°)
	A	B	C	D	A	B	C	D	
0000	0	6	0	2	6	0	0	2	0,0
0001	0	6	0	0	4	2	0	0	22,5
0010	2	4	0	0	2	4	0	0	45,0
0011	4	2	0	0	0	6	0	0	67,5
0100	6	0	0	2	0	6	0	2	90,0
0101	4	0	2	0	0	6	0	0	112,5
0110	2	0	4	0	2	4	0	0	135,0
0111	0	0	6	0	4	2	0	0	157,5
1000	0	0	6	2	6	0	0	2	180,0
1001	0	0	6	0	4	0	2	0	202,5
1010	2	0	4	0	2	0	4	0	225,0
1011	4	0	2	0	0	0	6	0	247,5
1100	6	0	0	2	0	0	6	2	270,0
1101	4	2	0	0	0	0	6	0	292,5
1110	2	4	0	0	2	0	4	0	315,0
1111	0	6	0	0	4	0	2	0	337,5

Tabla 1: Configuraciones de los VGAs I/Q para cada desfase.

donde  $gm_i \propto \sqrt{\frac{W}{L}}$  y  $Z_L$  es la impedancia de carga que viene dada por la capacidad  $C_0$  y la autoinductancia  $L_0$  como aparece en la Figura 9. En esta expresión, se ha asumido que  $Z_L \ll R_{out}$ , se ha despreciado el efecto de cuerpo <sup>5</sup> de  $M_2$  ( $g_{mb2}=0$ ) y se ha considerado  $g_{m1}/C_{gs2}$  elevado. Como  $g_{m2}r_{o1}$  se elige elevada, la ganancia de la estructura *cascade* va a estar determinada principalmente por el valor que tome  $g_{m1}$  y consecuentemente por el cociente entre  $W_1$  y  $L_1$  del transistor  $M_1$ . Por esta razón, se tratará de implementar transistores  $M_1$  con cocientes  $W/L$  elevados.

### 4.3. Combinador de potencia

El combinador es la etapa siguiente al desplazador de fase. Las señales procedentes de los desplazadores de fase de elementos radiantes distintos, se introducen y se combinan en combinadores de potencia basados en estructuras *cascade* como el mostrado en la Figura 11 [12]. En nuestro caso, contamos únicamente con un desplazador de fase, por lo que se empleará la mitad de esta estructura (transistores  $M_1$  y  $M_2$ ). La finalidad de implementar un combinador a la salida, es conseguir una mejor reproducción del comportamiento del desplazador de fase, teniendo en cuenta condiciones reales de operación. El uso de una topología *cascade* para la construcción del combinador de potencia permite obtener ganancia adicional respecto a los combinadores pasivos y un buen comportamiento frecuencial, tal como se ha discutido en la sección anterior.

---

<sup>5</sup>Se trata de un efecto de segundo orden en los transistores MOSFET, en el que la tensión entre fuente y sustrato modifica la tensión umbral que da lugar al canal de conducción [11].

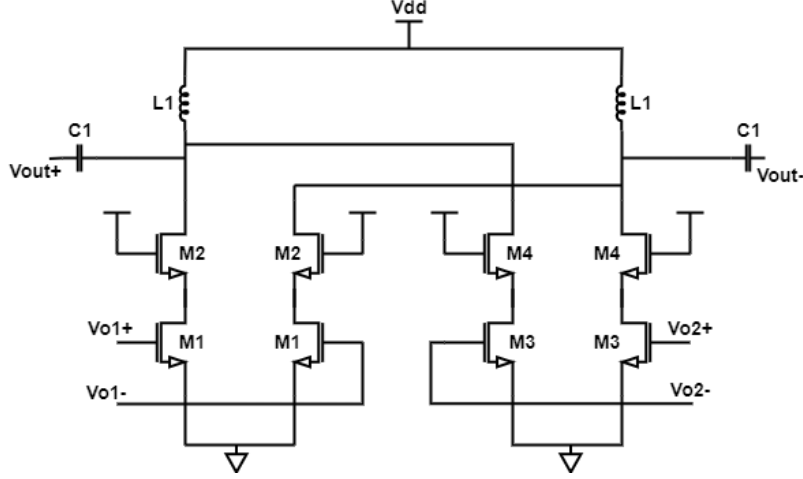


Figura 11: Topología del combinador de potencia.

## 5. Resultados

En las secciones previas, se ha presentado el comportamiento teórico de cada estructura por separado. En esta sección, se expondrá el comportamiento completo del desplazador de fase, así como el efecto que ejercen entre sí las distintas etapas que lo componen. Se darán los valores de las magnitudes más relevantes, junto con sus respectivos errores RMS (*Root Mean Square*). Como la resolución de 4 bits es  $22,5^\circ$ , el error RMS máximo en fase puede ser de  $11,25^\circ$ . Notar de la Figura 10 que de partida ya se tiene un error en ganancia que será máximo para 0010, 0110, 1010 y 1110. Estos errores provienen de la propia estructura que genera la señal en cuadratura (I/Q) y de posibles desajustes en la adaptación de impedancia entre bloques. El error RMS se calcula de forma general a través de la siguiente fórmula

$$RMS = \sqrt{\frac{\sum_i^N (x - \hat{x})^2}{N}} \quad (39)$$

donde  $x$  puede ser cualquier magnitud relevante como la ganancia o la fase,  $\hat{x}$  hace referencia al valor esperado correspondiente y la variable  $N$  denota el número de configuraciones, 16 en este caso. Se calcula el RMS en el rango frecuencial de interés (18 a 27 GHz).

### 5.1. Resultados obtenidos en el QAF

Como se ha mencionado en el apartado 4.1, se desea obtener un desfase de  $90^\circ$  entre la señal en fase y en cuadratura. Simulando el comportamiento a la salida del QAF con distintos valores de sus parámetros, obtenemos que esta condición se cumple para 24 GHz <sup>6</sup> con inductancias de 323 pH, capacidades de 575 fF y resistencias de  $65 \Omega$  (Tabla 2). Si sustituimos estos valores en (30) y (31) para posteriormente calcular el desfase con la ecuación (32), obtenemos un valor de  $78,04^\circ$ . No obstante, el valor simulado es de  $89,8^\circ$ . La discrepancia entre estos resultados se debe

<sup>6</sup>La frecuencia de 24 GHz es muy utilizada en comunicaciones, lo que permite comparar diferentes soluciones a la misma frecuencia.

principalmente a que no se están teniendo en cuenta en las ecuaciones mencionadas las capacidades parásitas ( $C_L$ ) que aparecen a altas frecuencias en los transistores del VGA a los que va unido esta estructura. Estas capacidades producen errores en la cuadratura del QAF que dependen del ratio  $C_L/C$  [12] de la forma

$$\phi_{error} = 90^\circ - (\tan^{-1}(1 - 2\frac{C_L}{C}) + \tan^{-1}(1 + 2\frac{C_L}{C})) \quad (40)$$

Por lo tanto, se trata de emplear valores de capacidades ( $C$ ) elevadas para disminuir el ratio  $C_L/C$  en la medida de lo posible. La capacidad de carga  $C_L$ , se corresponde principalmente con la contribución de las capacidades  $C_{gs1}$  en paralelo de los transistores  $M_1$  de las estructuras *cas-code* del VGA. Estas capacidades toman valores del orden de 1,3 fF, bastante inferiores al valor que toma  $C$  de 575 fF, consiguiendo así un desfase próximo a  $90^\circ$  como se muestra en la Figura 12 a).

Si calculamos la expresión para la ganancia en cuadratura y en fase se obtiene la siguiente fórmula

$$\left| \frac{V_{OI}^+ - V_{OI}^-}{V_{in}} \right| = \left| \frac{V_{OQ}^+ - V_{OQ}^-}{V_{in}} \right| = \sqrt{\frac{(\frac{ww_0}{Q})^2 + (w_0^2 + w^2)^2}{(\frac{ww_0}{Q})^2 + (w_0^2 - w^2)^2}} \quad (41)$$

Sin embargo, como se muestra en la Figura 12 b), la respuesta frecuencial para la ganancia de la señal en fase y en cuadratura es distinta. Esta diferencia, que a 24 GHz es de 0,14, se debe a la ruptura de simetría que sufre la estructura del QAF producida de nuevo por las capacidades parásitas.

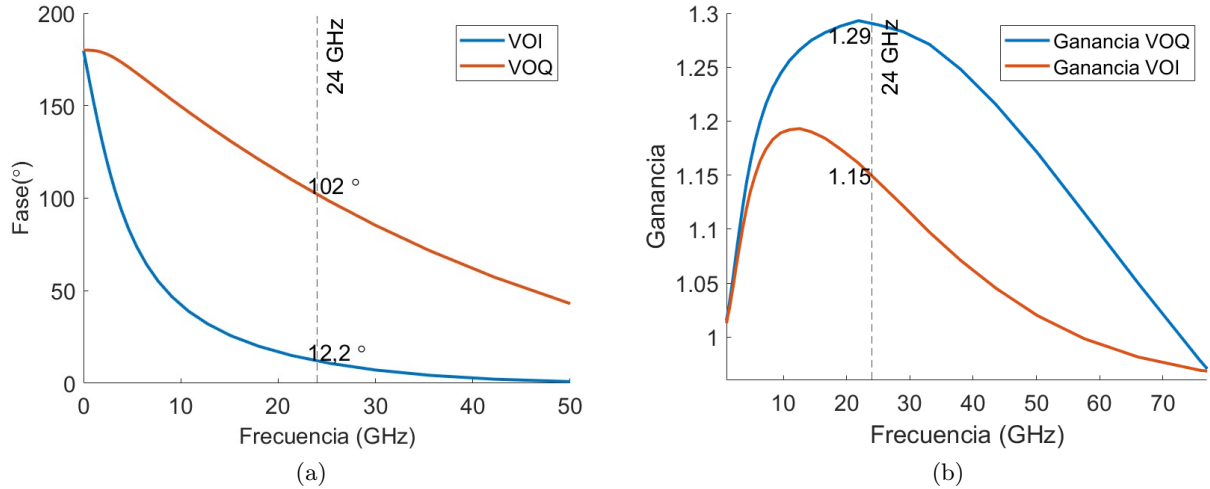


Figura 12: Fase (a) y ganancia (b) a la salida del QAF de la rama en fase y en cuadratura en función de la frecuencia.

Visto el efecto de la impedancia de carga sobre la fase y la ganancia a la salida del QAF, analicemos ahora su efecto sobre la impedancia de entrada. Como aparece en la Figura 4, en el bloque receptor la etapa anterior al desplazador es un LNA. Habitualmente, los LNAs tienen una

impedancia de salida de  $50 \Omega$  y para conseguir un buen acoplo de impedancias y evitar la pérdida de señal, la impedancia de entrada del QAF debería estar en torno a este valor. La expresión teórica para la impedancia de entrada al QAF sin tener en cuenta las capacidades parásitas es aproximadamente

$$Z_{in} = \left( sL + R + \frac{1}{sC} \right) \parallel \left( sL + R + \frac{1}{sC} \right) = \frac{1}{2} \left( sL + R + \frac{1}{sC} \right) \quad (42)$$

El valor de esta magnitud obtenida mediante simulación teniendo en cuenta la capacidad de carga ( $C_L$ ) y con los valores de resistencia, capacidad e inductancia mencionados anteriormente, es de  $37,5 \Omega$  a 24 GHz como se muestra en la Figura 13 a), que difiere de los  $50 \Omega$  que se desean obtener. Debido a la dependencia que tiene el error en la fase con la capacidad, mostrada en (40), tratamos de operar con una capacidad  $C$  elevada, lo que entra en conflicto con el aumento de la impedancia de entrada, como se muestra en (42). Una solución a este problema es la introducción de una red de adaptación entre el LNA y el QAF. Del análisis transitorio mostrado en la Figura 13 b), se puede ver cómo a partir de una señal sinusoidal de 24 GHz el QAF crea dos señales en cuadratura.

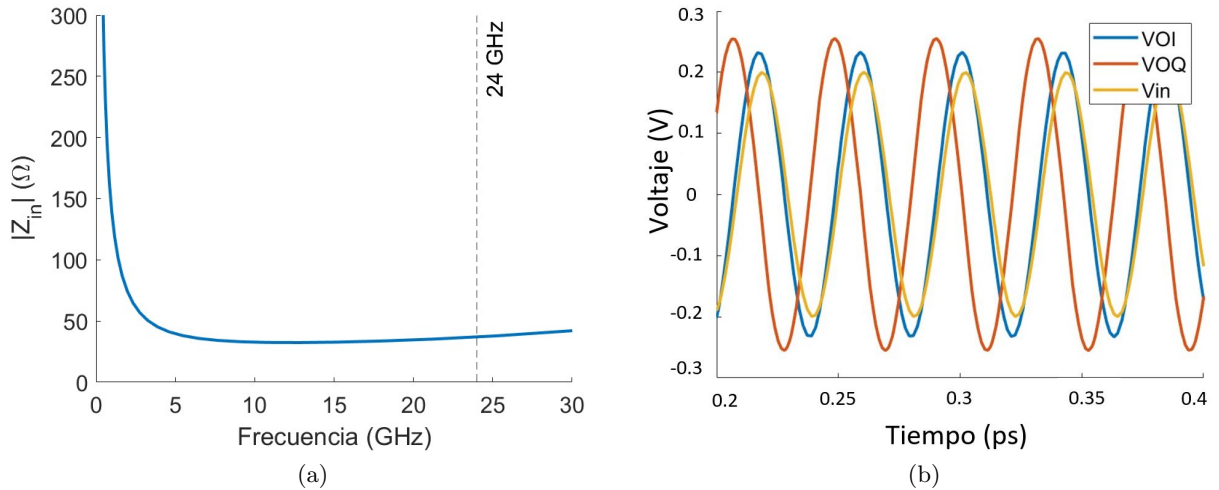


Figura 13: Respuesta frecuencial de la impedancia de entrada del QAF para una configuración 0000 (a) y análisis transitorio de las señales de entrada y de salida del QAF (b).

Simulando los valores de la impedancia de entrada del QAF para las distintas configuraciones del VGA en el rango de frecuencias la banda K (18-27 GHz), se obtiene la dependencia mostrada en la Figura 14 a). Es posible apreciar que a 24 GHz, las gráficas prácticamente se superponen. En cuanto a los errores RMS mostrados en la Figura 14 b), el valor obtenido a 24 GHz es  $0,2 \Omega$ , que supone menos de un 0,5 % del valor de  $|Z_{in}|$  que presenta el QAF a esta misma frecuencia y puede considerarse despreciable. Por esta razón, es posible asegurar que la impedancia de entrada se mantiene constante en todas configuraciones, lo que asegura una buena adaptación de impedancias a la entrada del VGA.

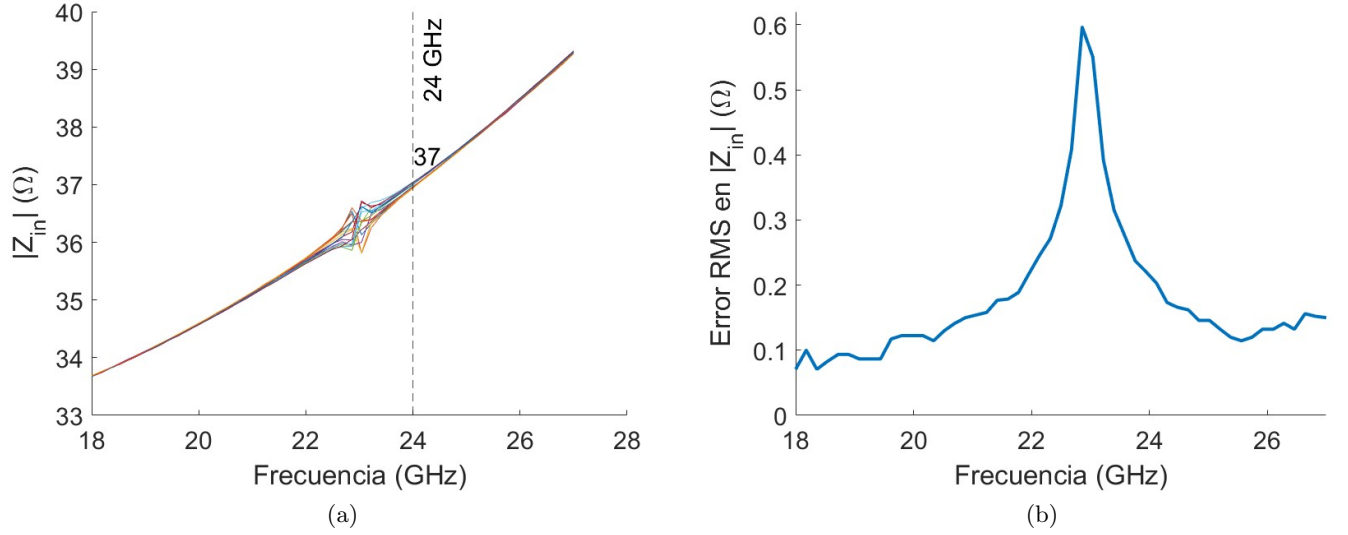


Figura 14: Valores de la impedancia de entrada del desfasador en función de la frecuencia para todas configuraciones (a), junto con sus correspondientes valores RMS (b).

## 5.2. Resultados obtenidos en el VGA

El dimensionado de los transistores juega un papel clave en la obtención de la ganancia deseada en los VGA, como se ha mostrado en (38). A menor anchura del transistor inferior  $W_1$ , menor ganancia, pero con ello contribuimos a reducir la capacidad de carga ( $C_L$ ) sobre el QAF, que reducirá el error en la cuadratura según la ecuación (40). Se trata por lo tanto de hallar las dimensiones óptimas de los transistores tal que se introduzcan ganancias en la señal en esta etapa, obteniendo a su vez una impedancia de carga lo menor posible. Esto se consigue con las dimensiones que aparecen en la Tabla 2.

En la Figura 9 puede apreciarse que los VGAs están conectados a un circuito LC, además del combinador. A diferencia de un resonador LC simple, la frecuencia de resonancia no vendrá dada por  $1/\sqrt{L_0 C_0}$ , como se indica en (22), ya que el condensador  $C_0$  está conectado al combinador. El combinador está constituido al igual que los VGAs por estructuras *cascodes*, cuyos transistores presentan capacidades parásitas. Consideremos únicamente la contribución de la capacidad puerta-fuente, siendo el resto despreciables. De esta forma, la capacidad  $C_0$  se encuentra en serie con la capacidad  $C_{gs1}$  del transistor  $M_1$  de la estructura *cascade* (ver Figura 11) y la capacidad equivalente total es  $C_{eq} = (1/C_L + 1/C_{gs1})^{-1}$ . Por lo tanto, la frecuencia de resonancia VGA vendrá determinada por

$$w_0 = \frac{1}{\sqrt{L_0 C_{eq}}} = \frac{1}{\sqrt{L_0 C_0}} \sqrt{1 + \frac{C_0}{C_{gs1}}} \quad (43)$$

Recordamos que  $C_{gs1}$  tiene la dependencia con las dimensiones del transistor que se muestra en la ecuación (37). Por ello, la frecuencia de resonancia se determinará mediante el ajuste de  $L_0$ ,  $C_0$  y las dimensiones del transistor  $M_1$  del combinador. Consecuentemente, habrá que escoger valores

adecuados de estos parámetros de forma que la frecuencia de resonancia sea próxima a la frecuencia de trabajo (24 GHz) y conseguir así ganancias superiores a la unidad. Los resultados con los que se cumplen estas condiciones son los mostrados en la Tabla 2.

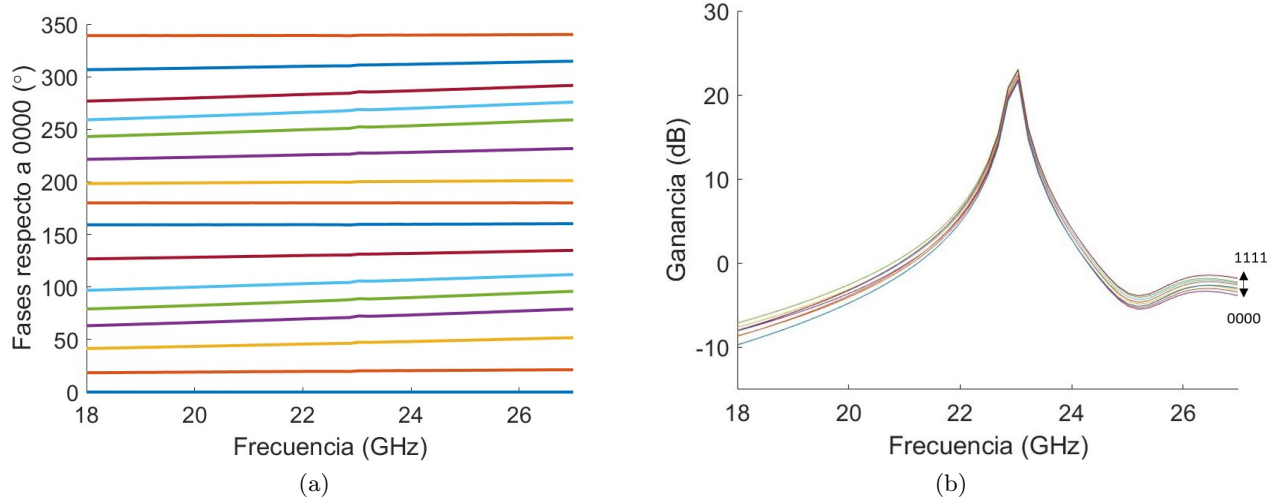


Figura 15: Valores de la fase (a) y la ganancia (b) a la salida del VGA en función de la frecuencia para todas configuraciones.

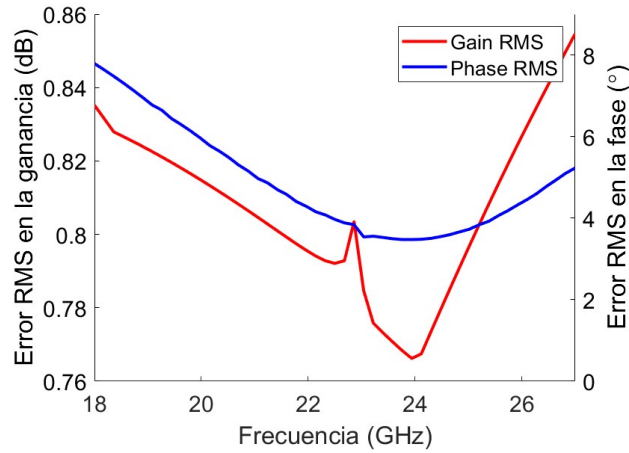


Figura 16: RMS de la ganancia y fase del VGA en función de la frecuencia para todas configuraciones.

A la salida de los VGAs, se obtienen en el rango de frecuencias de la banda K las fases y ganancias para todas configuraciones mostradas en la Figuras 15 a) y b), respectivamente. Las fases se mantienen constantes a lo largo del rango de operación con un error RMS menor que  $8^\circ$  para todas configuraciones, siendo en 24 GHz  $3,5^\circ$ , como se puede apreciar en la Figura 16. Las ganancias obtenidas a 24 GHz van de 2,88 dB para las configuraciones 0110 y 1110 a 4,21 dB para 0011 y 1011. El error RMS de la ganancia correspondiente a dicha frecuencia es de 0,76 dB.

Además, se comprobará que la impedancia a la salida de los VGAs se mantiene constante independientemente de la palabra digital. Los resultados obtenidos se muestran en la Figura 17 (a) y el correspondiente error RMS en la Figura 17 (b). De nuevo, las gráficas para la impedancia de salida se superponen, lo que indica que hay una buena adaptación de impedancia a la salida del VGA que se mantiene en todas las configuraciones. Además los errores RMS obtenidos son bajos en todo el rango de frecuencias, siendo el más elevado de  $2\ \Omega$  a 19 GHz, que comparado a la impedancia de salida de  $765\ \Omega$  que presenta a esta frecuencia resulta despreciable.

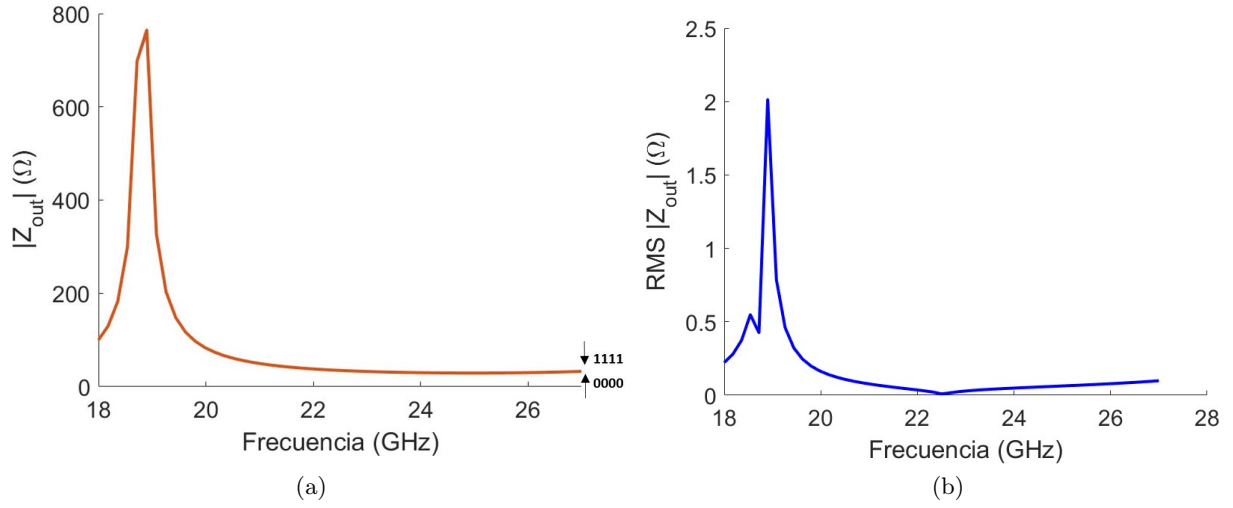


Figura 17: Impedancia de salida del VGA en función de la frecuencia para todas configuraciones (a) junto con su respectivo error RMS (b).

### 5.3. Resultados obtenidos con el combinador de potencia

Como se ha mencionado en el apartado anterior, las dimensiones de los transistores de la estructura *cascade* tienen un gran efecto sobre la frecuencia de resonancia del desplazador de fase. Se ha seleccionado la anchura del transistor  $M_1$  para que la frecuencia de resonancia del VGA se encuentre a 23 GHz. Además, esta estructura tiene su propia frecuencia de resonancia ya que también cuenta con un circuito LC, que se empleará para aumentar la ganancia global del sistema. El ajuste de los valores de la inductancia  $L_1$  y la capacidad  $C_1$  se hace de forma que el pico de resonancia del combinador se superponga al pico de resonancia de las estructuras de los VGAs. Los valores de los parámetros que optimizan los resultados de fase y ganancia se muestran en la Tabla 2.

Ambos transistores de la estructura *cascade* tienen las mismas dimensiones. Con esta caracterización, conseguimos elevar la ganancia del desplazador de fase, manteniendo las mismas fases, como se muestra en las Figuras 18 a) y b). Comparando estos resultados con respecto a los obtenidos a la salida del VGA (Figuras 15 a) y b)) vemos que no hay variación en cuanto a la respuesta frecuencial de las fases para cada configuración y los errores RMS tanto en fase como en ganancia apenas se ven alterados. Por lo tanto, el combinador no introduce ninguna modificación en las fases de la señal de

QAF				
L	C	R		
323 pH	575 fF	65 Ω		
VGA				
L <sub>0</sub>	C <sub>0</sub>	W <sub>1</sub>	W <sub>2</sub>	L <sub>1,2</sub>
375 pH	150 fF	2,6 μm	9 μm	60 nm
Combinador de potencia				
L <sub>1</sub>	C <sub>1</sub>	W <sub>1</sub>	W <sub>2</sub>	L <sub>1,2</sub>
375 pH	300 fF	85 μm	85 μm	60 nm

Tabla 2: Valores de los parámetros del QAF, VGA y del combinador de potencia.

salida y aumenta la amplitud de la señal. A raíz de estas observaciones podemos concluir que esta etapa funciona correctamente.

Los desfases obtenidos para cada configuración se aproximan a los deseados, siendo de nuevo el error RMS inferior a  $8^\circ$  en todo el rango de trabajo y  $3,5^\circ$  en 24 GHz. Igualmente, para la ganancia se obtienen valores en el rango de 27,26 dB con las configuraciones 0110 y 1110 a 31,78 dB con 0011 y 1011 y los errores RMS son inferiores a 0,86 dB, siendo 0,76 dB en 24 GHz, como se muestra en la Figura 19 a).

Los resultado de las fases y ganancias a 24 GHz se han representado en el diagrama de fases que se puede ver en la Figura 19 b). Se puede apreciar cómo a partir de una combinación ponderada de la señal en fase y la señal en cuadratura se obtienen aproximadamente los saltos de fase deseados con una ganancia prácticamente constante en todas ellas. Los resultados numéricos con los que se ha realizado este diagrama de fases se encuentran en la Tabla 3.

En la Tabla 4, se muestra una comparación con otras topologías de desplazadores fase. Como se puede observar, y a falta de un estudio comparativo más exhaustivo, los resultados RMS en fase y en ganancia son inferiores a los que presentan otras topologías. Las estructuras VGAs de [13] y [14] están constituidas por transistores individuales en paralelo y no por estructuras *cascode* como en este trabajo y por ello, cuentan con un menor número de transistores, pudiendo mostrar un menor consumo. Teniendo esto en cuenta, a 24 GHz el consumo que presentan los VGAs de este trabajo no es elevado con respecto al resto de topologías, siendo incluso inferior al de [14]. Como se ha mencionado, el uso de estructuras *cascode* proporciona una mayor ganancia. El desplazador de fase de [14] presenta ganancias de -3 dB alrededor de 24 GHz en ausencia de un combinador de potencia y hace necesario la inserción de un LNA para compensar las pérdidas, mientras las del desplazador diseñado en este trabajo van de 2,88 dB a 4,21 dB en 24 GHz como puede apreciarse en la Figura 15. Consecuentemente, con este diseño se obtendrán unos resultados con errores RMS menores, con ganancias elevadas y con un consumo de potencia moderado.



Configuración	$A_j/A_r$	Fase obtenida	Fase esperada	Ganancia	Fracción de ganancia
0000	0/3	0	0	27,34	1,00
0001	1/3	20,42	22,5	29,21	1,07
0010	2/2	48,13	45	27,32	1,00
0011	3/1	73,43	67,5	31,78	1,16
0100	3/0	90,03	90	30,40	1,11
0101	3/-1	106,63	112,5	31,74	1,16
0110	2/-2	131,93	135	27,26	1,00
0111	1/-3	159,63	157,5	29,17	1,07
1000	0/-3	180,01	180	27,34	1,00
1001	-1/-3	200,43	202,5	29,21	1,07
1010	-2/-2	228,13	225	27,32	1,00
1011	-3/-1	253,43	247,5	31,78	1,16
1100	-3/0	270,03	270	30,40	1,11
1101	-3/1	286,63	292,5	31,74	1,16
1110	-2/2	311,93	315	27,26	1,00
1111	-1/3	339,63	337,5	29,17	1,07

Tabla 3: Resultados de fase y ganancia medidos a la salida del combinador a 24 GHz.

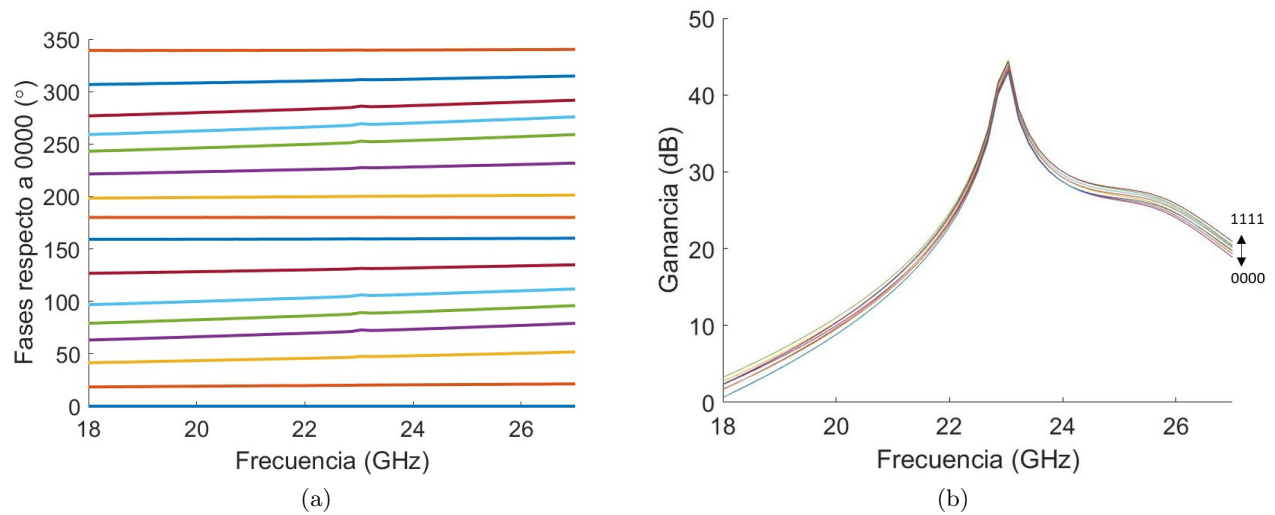


Figura 18: Valores de la fases (a) y la ganancias (b) a la salida del combinador en función de la frecuencia para todas configuraciones.

Ref.	Frecuencias (GHz)	nº de bits	Voltaje de alimentación	Error RMS en la fase (°)	Error RMS en la amplitud (dB)	Consumo del VGA (mW)	Tecnología
Este trabajo	18-27	4	1,2	<8	<0,86	10,5 @ 24 GHz	CMOS 65 nm
[13]	15-36	4	1,2	<11	<1,8	5,2 @ 24 GHz	CMOS 65 nm
[14]	15-26	4	1,5	<13	<2,1	11,7 @ 24 GHz	CMOS 0,13 $\mu$ m

Tabla 4: Tabla comparativa con distintas topologías de desplazadores de fase.

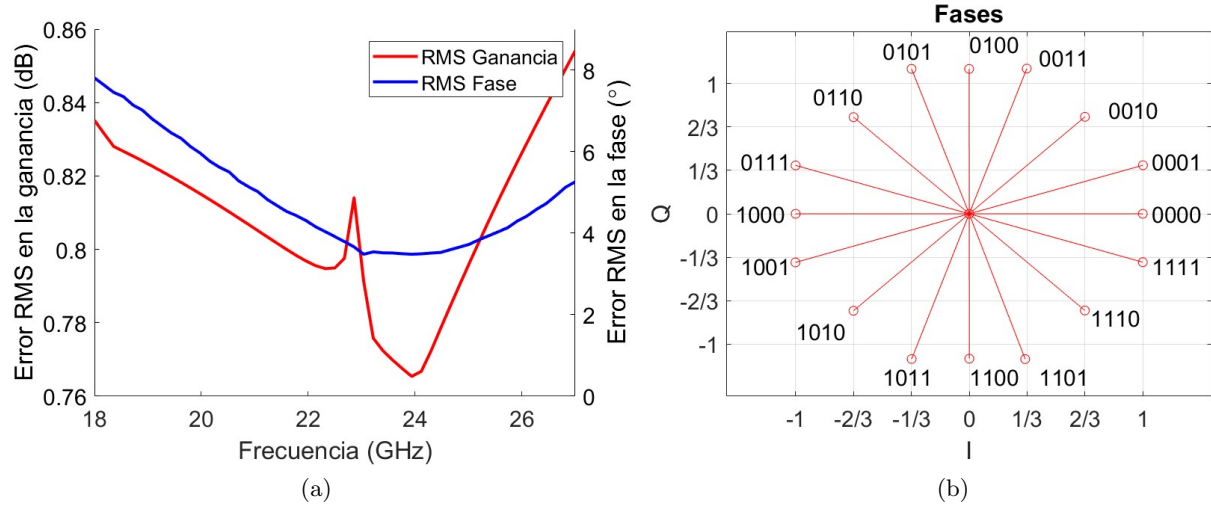


Figura 19: Valores RMS de la fase y la ganancia a la salida del combinador en función de la frecuencia (a) junto al diagrama de fases (b).

## 6. Conclusiones

En este trabajo se ha aplicado el potencial que ofrece la tecnología CMOS de 65 nm al diseño de un desplazador de fase de 4 bits adaptativo de topología híbrida, para su implementación en el bloque receptor de una antena matricial. Gracias a la acción de estos desplazadores de fase, que producirán variaciones en la fase de la señal de acuerdo con una palabra digital, se posibilitará la recepción de señales electromagnéticas procedentes de una determinada dirección, eliminando interferencias indeseadas con otras señales. Se han recalcado las ventajas que introduce esta direccionalidad en cuanto a mejoras en la calidad de las comunicaciones y el avance que supone poder orientar las antenas electrónicamente. Además, estos desplazadores de fase operarán en las frecuencias de banda K (18-27 GHz), donde es posible asignar a cada operador un ancho de banda mayor, aumentando así la velocidad y capacidad de transmisión de datos. Estas características hacen que la arquitectura diseñada sea idónea para aplicaciones en la nueva generación de comunicaciones inalámbricas (5G y 6G).

El desplazador diseñado está constituido por un filtro pasa todo de cuadratura (QAF), que proporciona a partir de una señal diferencial de 24 GHz dos señales diferenciales desfasadas  $90^\circ$ . La siguiente etapa está formada por dos amplificadores de ganancia variable (VGAs), que ponderarán la señal en línea y en cuadratura independientemente para producir los desfases deseados. La última etapa consiste en un combinador de potencia, que combina las señales procedentes de dos elementos radiantes. En este caso, contamos con un único desplazador de fase por lo que el combinador solo se empleará para conseguir una mejor reproducción de su comportamiento, teniendo en cuenta condiciones reales de operación.

Se han caracterizado las distintas etapas que constituyen el desplazador de fase mediante un

proceso iterativo, en el que se han conseguido ajustar los valores de sus parámetros (resistencias, condensadores, autoinducciones y dimensiones de transistores) simulando su respectivo comportamiento en las diferentes circunstancias. Cada etapa debe cumplir las especificaciones de diseño mencionadas a lo largo de la memoria y que permiten que la arquitectura completa del desplazador de fase funcione correctamente. Los requisitos imprescindibles que debe cumplir son la producción de saltos de fase equiespaciados de  $22,5^\circ$  constantes en el rango de frecuencias de la banda K y una ganancia elevada de la señal de salida. Además, los errores RMS de ambas magnitudes deben mantenerse a niveles bajos, gracias a una buena adaptación de impedancias entre los distintos bloques que constituyen el desplazador.

La principal diferencia entre otras topologías de VGAs y la diseñada en este TFM, es el uso de estructuras *casocode*, que como se ha mencionado aportan una mayor ganancia y mejor respuesta frecuencial con respecto al uso de un único transistor en fuente común. Además, esta estructura incorpora transistores *dummies* que mantienen la impedancia de entrada y de salida de los VGAs constante en todas configuraciones, consiguiendo así disminuir los errores RMS.

Los valores del diseño final se recogen en la Tabla 2, con los cuales se optimizan los resultados de la fase y ganancia con unos errores RMS a la salida del combinador de  $3,5^\circ$  para la fase y de 0,76 dB para la ganancia a la frecuencia de operación (24 GHz). Asimismo, se ha visto que los saltos de fase se mantienen constantes en un rango amplio de frecuencias en torno a 24 GHz y con una ganancia también aproximadamente constante y elevada que va de 27,26 dB a 31,78 dB en esta frecuencia. Los resultados preliminares de este trabajo han sido presentados en las Jornadas de Jóvenes Investigadores del I3A [15] y al congreso “VLSI-SoC” 2022 [16].

En definitiva, en este trabajo se han aplicado las técnicas de diseño microelectrónico así como de teoría de circuitos al diseño de un desplazador de fase, cuyo comportamiento ha demostrado ser óptimo. Esto ha sido en parte gracias a una buena selección de topologías de los bloque básicos entre las múltiples opciones posibles y su correspondiente optimización mediante un proceso iterativo de simulación empleando el entorno de diseño electrónico CADENCE® y el PDK (Process Design Kit) de la tecnología TSMC de 65 nm.

## 7. Líneas futuras

Se propone continuar con las siguientes etapas de diseño, como el *layout*<sup>7</sup> físico de los circuitos de prueba y depuración *postlayout*. El diseño e inserción de los *test pads* para su posterior caracterización en la mesa de micropuntas. Finalmente, la generación del fichero de diseño para su envío a la *foundry*.

Además, podría comprobarse que el funcionamiento de este desplazador de fase sigue siendo óptimo para las frecuencias de banda Ka (26,5 a 40 GHz) también empleadas en comunicación.

---

<sup>7</sup>Proceso en el que se representa un circuito integrado en términos de formas geométricas planas, que corresponden a los patrones las capas de metal, óxido o semiconductor que consituyen los componentes del circuito integrado.

## 8. Bibliografía

- [1] A.A. Salih, S.R. Zeebaree, A.S. Abdulraheem, R.R. Zebari, M.A. Sadeeq, O.M. Ahmed. *Evolution of Mobile Wireless Communication to 5G Revolution*, Technology Reports of Kansai University Volume 62; Issue 05 ,June, 2020
- [2] T. Nakamura. *5G Evolution and 6G*, IEEE 2020 Symposium on VLSI Technology.
- [3] Y. Yu, P.G. Baltus, A.H. van Roermund. *Integrated 60GHz RF Beamforming in CMOS*, Analog Circuits and Signal Processing, Springer.
- [4] R.J. Maillouz. *Phased Array Antenna Handbook Third Edition*, RF Globalnet Guest Column, July 9, 2018.
- [5] E. Ali, M. Ismail, R. Nordin, N.F. Abdulha. *Beamforming techniques for massive MIMO systems in 5G: overview, classification, and trends for future research*, Frontiers of Information Technology and Electronic Engineering 18, 753-772 (2017).
- [6] R. Thakur, K.S. Mourya. *Performance Comparison of Blind and Non Blind Adaptive Beamforming Algorithms in Mobile Communication*, IOSR Journal of Electronics and Communication Engineering (IOSR-JECE) e-ISSN: 2278-2834,p- ISSN: 2278-8735. Volume 12, Issue 6, Ver. I (Nov.-Dec. 2017), PP 51-57
- [7] D. Corman. *A Comprehensive Guide To Active Antennas (Or Beamforming 101)*, 09-07-2018, available: <https://www.rfglobalnet.com/doc/a-comprehensive-guide-to-active-antennas-or-beamforming-0001>.
- [8] K.J. Koh. *Integrated microwave and millimeter-wave phased-array designs in silicon technologies*. UC San Diego Electronic Theses and Dissertation 2008.
- [9] S.Y. Kim, D.W. Kang, K.J. Koh and G.M. Rebeiz. *An Improved Wideband All-Pass I/Q Network for Millimeter-Wave Phase Shifters*, IEEE Transactions on Microwave Theory and Techniques, Vol. 60, no.11.
- [10] B. Razavi. *Fundamentals of Microelectronics*, second edition 2014 Jhon Wiley and Sons.
- [11] B. Razavi. *Design of Analog CMOS Integral Circuits*, McGraw-Hill International Edition 2001.
- [12] Y. Yu, P.G. Baltus, A. Graauw, E. van der Heijden, C.S. Vaucher and A.H. van Roermund. *A 60 GHz Phase Shifter Integrated With LNA and PA in 65 nm CMOS for Phased Array Systems*, IEEE Journal of Solid-State Circuits, Vol. 45, no. 9, September 2010.
- [13] U. Esteban. *Diseño de desplazadores de fase monolíticos en tecnología CMOS nanométricas para matrices de antenas activas en la banda milimétrica*, TFM 2021.
- [14] K.J. Koh y G. M. Rebeiz. *0.13  $\mu\text{m}$  CMOS Phase Shifters for X-,K-, and K-Band Phased Arrays*, IEEE Journal of Solid-State Circuits, Vol. 42, no. 11, November 2007.

- [15] C.del Río, U.Esteban, C.Sánchez-Azqueta, S.Celma. *CMOS design of a phase shifter for 5G/6G active antenna arrays*, Jornadas de Jóvenes Investigadores del I3A, 2022.
- [16] C.del Río, U.Esteban, C.Sánchez-Azqueta, S.Celma. *A 18-17 GHz Programmable Gain Amplifier in 65-nm CMOS technology*, 30th IFIP/IEEE International Conference on Very Large Scale Integration (under review).

## Anexo 1: Tecnología TSMC CMOS 65 nm

En este anexo se muestran las principales características de la tecnología empleada en las simulaciones de Cadence.

La tecnología *Taiwan Semiconductor Manufacturing Company* (TSMC), como su nombre indica se trata de una tecnología de semiconductores líder con fábricas en Taiwán, Estados Unidos y China. En la actualidad, TSMC es el mayor negocio de fundición de semiconductores del mundo, fabricando 10.761 productos diferentes con 272 tecnologías distintas en 2019. Entre las distintas tecnologías mostradas en la Figura 20, la tecnología TSMC de 65 nm admite una amplia gama de aplicaciones, como dispositivos móviles, ordenadores, electrónica de automoción, IoT y wearables inteligentes. Esta tecnología emplea interconexiones de cobre y dieléctricos de baja k y admite una densidad de puertas de celdas estándar que duplica la del proceso de 90 nm de TSMC, ofreciendo una mejor integración y un mayor rendimiento del chip. En 2005, TSMC también introdujo el primer proceso de bajo consumo (LP) de 65 nm para satisfacer las necesidades de los clientes. El proceso LP de 65 nm reduce significativamente el consumo de energía con su innovadora tecnología de gestión de la energía.

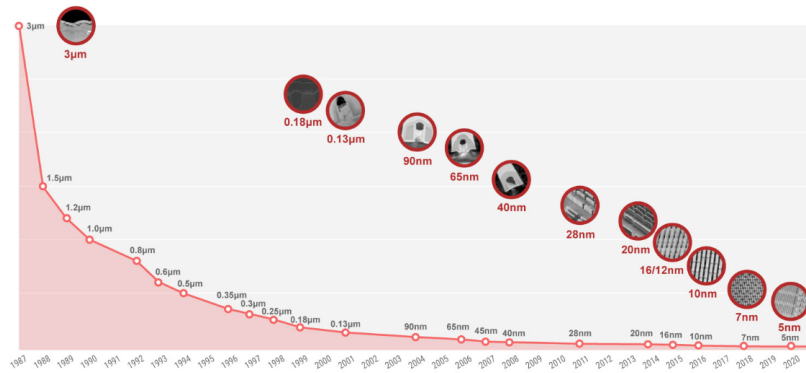


Figura 20: Evolución de las distintas tecnologías que ofrece TSMC [1].

Process Name	L65 LP MS/RF
Core Voltage	1.2V
I/O Voltage	2.5V
Substrate wafer	P-type
Substrate resistivity	8-12 ohm/cm
Temperature range:	-40C to 125C
Interconnect dielectric	LK
Number of metals	3 to 9 Cu
Waver size	12 inch
Resisitors	Unsiliced PO resistors
Capacitor	MIM capacitor

Tabla 5: Características de la tecnología TSMC de 65 nm.

Información obtenida de:

[1] <https://www.tsmc.com/english/dedicatedFoundry/technology/logic/1.65nm>

[2] <http://www.europactice-ic.com>

## Anexo 2: Fabricación de dispositivos de la tecnología CMOS

En este anexo se expondrá brevemente el proceso de fabricación de los distintos elementos activos y pasivos que conforman el desplazador de fase.

### A2.1 Resistencias

Una técnica común para su fabricación consiste en “bloquear” de forma selectiva una capa de polisilicio, creando así una región que tenga la resistividad del polisilicio dopado. Aunque es posible escoger el nivel de dopaje del polisilicio, normalmente suele encontrarse en el rango de cincuenta a cientos  $\Omega \cdot m$ . Se emplea siliciuro en ambos extremos de la resistencia, como se muestra en la Figura 21 a) para disminuir la resistencia de contacto con la capa metálica. Para un valor de resistencia dado, las resistencias de polisilicio exhiben típicamente una capacitancia al sustrato menor que otras. Estas resistencias son bastante lineales, pero suponen un alto coste y un proceso de fabricación complejo.

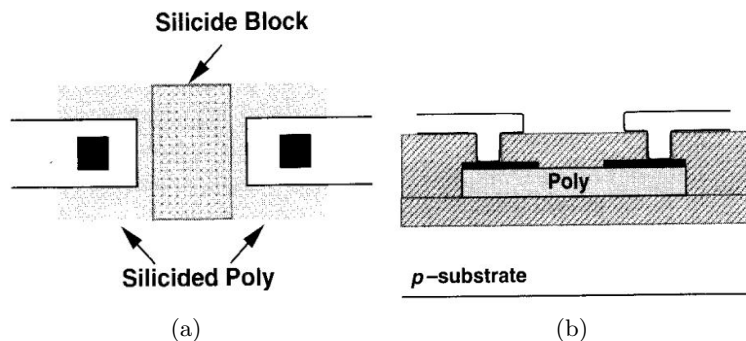


Figura 21: Resistencia Poly empleando un bloque de siliciuro [1].

### A2.2 Autoinductancias

Como se muestra en la Figura 22 una estructura común de una autoinductancia es una espiral plana fabricada con los cables metálicos que se utilizan como interconexiones en el chip. La inductancia de esta estructura viene dada por la dimensión lateral y el número de vueltas y apenas puede superar unas decenas de nanohenrios. Por esta razón, los inductores en el chip son adecuados sólo para el funcionamiento a alta frecuencia, aproximadamente por encima de 500 MHz. Los transceptores de RF, por ejemplo, utilizan muchos inductores en el chip para la resonancia con capacitancias parásitas.

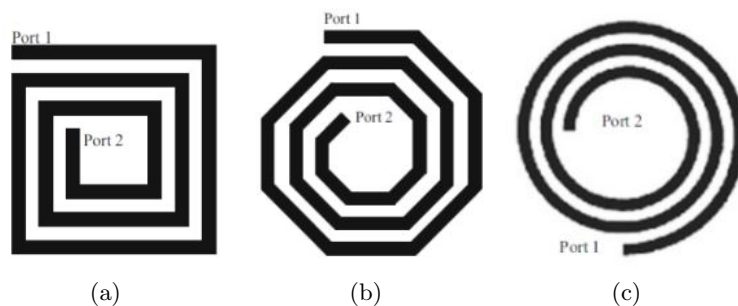


Figura 22: Distintas geometrías de inductancias [2].

### A2.3 Condensadores

Los condensadores MIM (*Metal-Insulator-Metal*) se implementan en circuitos integrados como dos capas de metal separadas por una capa aislante. El valor de la capacidad vendrá determinado por el área de dichas capas. En la Figura 23 aparece el esquema de un condensador MIM.

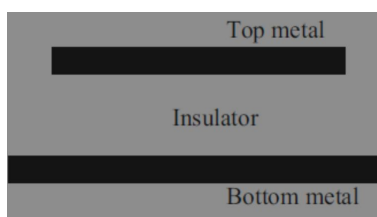


Figura 23: Sección transversal de un condensador MIM [1].

### A2.4 Transistores

Un transistor NMOS como los empleados en el diseño del desplazador de fase, consta de cuatro terminales denominados puerta (G), fuente (S), drenador (D) y sustrato (B). Fabricado sobre un sustrato tipo p, el dispositivo cuenta con dos regiones altamente dopadas tipo n, que constituyen la fuente y el drenador, una pieza de polisilicio conductora altamente dopada que forma la puerta y una capa fina de dióxido de silicio que aísla la puerta del sustrato. La fabricación de los transistores comienza con una oblea de silicio tipo p de aproximadamente 1 mm de grosor. Después del pulido y la limpieza de la oblea, se deposita sobre ella una capa fina de dióxido de silicio a modo de capa protectora. Seguidamente, se crean las regiones tipo n mediante técnicas de litografía óptica.



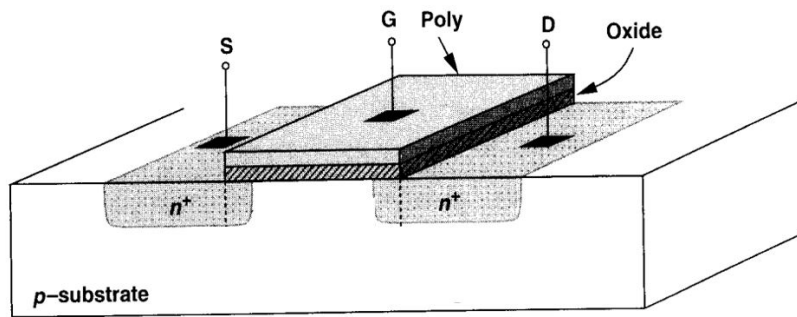


Figura 24: Estructura de un transistor NMOS [1].

- [1] B. Razavi. *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001.
- [2] M. Bozanic y S. Sinha. *Milimeter-Wave Low Noise Amplifiers*, Springer, 2018.