



## Trabajo Fin de Máster

Diseño de un ecualizador en tiempo continuo para  
aplicaciones en comunicaciones serie de alta  
velocidad

Autor/es

Diego Pérez Sanz

Director/es

Concepción Aldea Chagoyen

José María García del Pozo Faldos

Escuela de Ingeniería y Arquitectura de la Universidad de Zaragoza

2013

## RESUMEN

### DISEÑO DE UN ECUALIZADOR EN TIEMPO CONTINUO PARA APLICACIONES EN COMUNICACIONES SERIE DE ALTA VELOCIDAD

En este proyecto se propone como objetivo principal el diseño e implementación de arquitecturas de ecualización en tiempo continuo para aplicaciones en comunicaciones serie de alta velocidad.

Para ello se abordará un estudio teórico y revisión bibliográfica de soluciones de bajo coste para la transmisión de alta capacidad por fibra óptica. De los diferentes subsistemas que componen la arquitectura del receptor, este trabajo se centrará en el amplificador de transimpedancia y en el ecualizador necesario para aumentar el ancho de banda de los bloques anteriores, permitiendo la obtención de arquitecturas más eficaces del *front-end* analógico del receptor de fibra óptica, minimizando de esta manera los efectos que impactan seriamente sobre la sensibilidad y velocidad total del sistema.

Se llevará a cabo la caracterización experimental del prototipo T2-GDE-2013. Para ello será necesario abordar en primer lugar una primera fase consistente en la unión de un fotodiodo S5973 de Hamamatsu con el prototipo del TIA en un encapsulado DIP. Posteriormente se llevará a cabo la caracterización experimental de este bloque. Estas actividades implican la familiarización con la instrumentación necesaria y el proceso específico de medida.

Una vez determinada la respuesta del TIA se procederá al diseño de un ecualizador con elementos discretos. En dicho diseño se abordará en primer lugar la elección de una topología adecuada a las necesidades particulares del T2-GDE-2013. Una vez determinada la arquitectura se procederá a la selección de componentes prestando especial atención a los elementos activos. La caracterización del bloque propuesto se realizará en dos fases: 1) mediante simulación, haciendo uso de programas como *Matlab* u *OrCAD* y 2) experimentalmente, mediante el diseño y montaje de PCBs mediante *Eagle* o *PCAD*.

La última fase del proyecto consistiría en estudiar la posible migración de la topología discreta, objeto del estudio anterior, a un proceso de integración monolítico, para su posible utilización en receptores multiestándar en las bandas de transmisión de hasta 10 Gbps.

**Palabras Clave:** Ecualizador, Fibra Óptica de Plástico (POF), Amplificador de Transimpedancia (TIA), Comunicaciones Serie, Diseño PCBs.

## ÍNDICE

Lista de parámetros.....	5
Lista de acrónimos .....	6
1.    Introducción .....	7
1.1.    Interés y objetivos del proyecto .....	8
1.2.    Descripción del proyecto y metodología .....	9
1.3.    Herramientas utilizadas.....	9
2.    Sistemas de comunicaciones por fibra óptica .....	10
2.1.    Arquitectura de un sistema de comunicaciones por fibra óptica .....	10
2.2.    Limitaciones de las fibras.....	11
2.3.    Limitaciones del fotodetector .....	14
2.4.    Amplificador de transimpedancia.....	17
3.    Caracterización experimental del prototipo T2-GDE-2013.....	21
3.1.    Descripción del TIA T2-GDE-2013 .....	21
3.2.    Técnica de ensamblaje del fotodetector .....	22
3.3.    Comportamiento y caracterización experimental del sistema TIA+PD .....	23
4.    Diseño del ecualizador en tiempo continuo .....	29
4.1.    Técnicas de ecualización.....	29
4.2.    Análisis tecnológico .....	31
4.3.    Ecualizador BJT active shunt peaking .....	32
4.3.1.    Diseño del ecualizador BJT <i>active shunt peaking</i> .....	32
4.3.2.    Implementación del ecualizador BJT <i>active shunt peaking</i> .....	35
4.3.3.    Implementación del ecualizador BJT <i>active shunt peaking</i> para alta frecuencia	38
4.4.    Ecualizador BJT <i>pasive shunt peaking</i> .....	41
4.4.1.    Diseño del ecualizador <i>pasive shunt peaking</i> .....	41
4.4.2.    Implementación del ecualizador BJT <i>pasive shunt peaking</i> .....	43
5.    Conclusiones .....	49
5.1.    Conclusiones generales .....	49
5.2.    Líneas futuras .....	49
6.    Referencias.....	51
ANEXO I: diagramas de ojos .....	53
ANEXO II: MATLAB .....	55
ANEXO III: TIA.....	56
ANEXO IV: estructuras de ecualizadores con MOSFET .....	64

ANEXO V: planos .....	69
ANEXO VI: <i>datasheets</i> .....	76

## **Lista de parámetros**

$\beta$	Ganancia en corriente
$\Phi$	Diámetro
$\lambda$	Longitud de onda
$A_N$	Apertura numérica
$BW$	Ancho de banda
$BW_n$	Ancho de banda del ruido referido a la entrada
$C_{BC}$	Capacidad parásita base-colector de un transistor bipolar
$C_{BE}$	Capacidad parásita base-emisor de un transistor bipolar
$C_{PD}$	Capacidad de deplexión de un fotodiodo
$g_m$	Transconductancia
$H_i$	Función de transferencia
$I_C$	Corriente de colector
$I_D$	Corriente de drenador
$I_{DK}$	Corriente de oscuridad de un fotodiodo
$I_{n, A}^2$	Ruido referido a la entrada del amplificador operacional
$I_{n, IN}^2$	Ruido referido a la entrada del TIA
$I_{n, PIN}^2$	Ruido producido por el fotodiodo
$I_{n, RF}^2$	Ruido térmico
$I_{PIN}$	Corriente generada por un fotodiodo PIN
$k$	Constante de Boltzman
$L$	Longitud del canal de un transistor MOS
$n$	Índice de refracción
$q$	Carga eléctrica del electrón
$R_B$	Resistencia de base de un transistor bipolar
$s$	Frecuencia compleja
$T$	Temperatura
$T_R$	Transresistencia
$V_{BE}$	Voltaje base-emisor
$V_{CE}$	Voltaje colector-emisor
$V_{DD}$	Voltaje de alimentación
$V_{DS}$	Voltaje drenador-fuente
$V_{GS}$	Voltaje puerta-fuente
$V_R$	Voltaje en inversa
$V_{TH}$	Tensión umbral de transistores MOS
$W$	Anchura del transistor MOS

## **Lista de acrónimos**

AC	<i>Alternating current</i>
BER	<i>Bit error rate</i>
BERT	<i>Bit error rate test</i>
BJT	<i>Bipolar junction transistor</i>
BW	<i>Bandwidth</i>
CD	<i>Common drain</i>
CG	<i>Common gate</i>
CMOS	<i>Complementary metal oxide semiconductor</i>
CSIC	Consejo superior de investigaciones científicas
DC	<i>Direct current</i>
DCA	<i>Digital communications analyzer</i>
DIP	<i>Dual inline package</i>
DUT	<i>Device under test</i>
EMI	<i>Electromagnetic interference</i>
EQ	<i>Equalizer</i>
EQ-CT	<i>Continuous time equalizer</i>
EQ-P	<i>Passive equalizer</i>
FIR	<i>Finite impulse response</i>
GI	<i>Graded index</i>
GOF	<i>Glass optic fiber</i>
HAN	<i>Home area network</i>
HBT	<i>Heterojunction bipolar transistor</i>
HFET	<i>Heterostructure field effect transistor</i>
HDTV	<i>High definition television</i>
IDE	<i>Integrated development environment</i>
ISI	<i>Interference inter symbol</i>
LA	<i>Limiter amplifier</i>
LAN	<i>Local area network</i>
NMOS	<i>N-channel metal oxide semiconductor</i>
MOS	<i>Metal oxide semiconductor</i>
PCB	<i>Printed circuit board</i>
PD	<i>Photodiode</i>
PIN	<i>PN junction with isolated region</i>
PMOS	<i>P-channel metal oxide semiconductor</i>
POF	<i>Plastic optic fiber</i>
PRBS	<i>Pseudorandom binary sequence</i>
RCLED	<i>Resonant cavity light emitting diode</i>
RX	<i>Receiver</i>
SI	<i>Step index</i>
SMA	<i>Subminiature version A</i>
SMD	<i>Surface mounted device</i>
SMF	<i>Single mode fiber</i>
SNR	<i>Signal to noise ratio</i>
SPICE	<i>Simulation program with integrated circuit emphasis</i>
TIA	<i>Transimpedance amplifier</i>
TX	<i>Transmitter</i>
VCSEL	<i>Vertical cavity surface emitting laser</i>

## 1. Introducción

En los últimos años se ha producido un enorme crecimiento de las comunicaciones de datos a medida que los dispositivos ofrecen más prestaciones. Además, los usuarios esperan tener los mismos servicios de banda ancha en áreas como trabajo, hogar y vehículo. Hoy en día, en nuestros hogares encontramos múltiples conexiones eléctricas de todo tipo y en cualquier habitación, desde la línea telefónica hasta el cable coaxial de la televisión. Este último, con varias décadas de historia, presenta ciertas dificultades para adaptarse a la actual demanda de televisión en alta definición. Las actuales emisiones en HDTV requieren una velocidad de datos de casi 3 Gb/s por canal. Estos sistemas de transmisión convencionales presentan problemas a estas velocidades para longitudes grandes y son complicados de instalar.

Los sistemas de comunicaciones basados en fibra óptica de vidrio (GOF) soportan velocidades de transmisión muy superiores y ofrecen una total inmunidad frente a interferencias de tipo electromagnético. Sin embargo, la instalación de estos sistemas es complicada y costosa, lo que la hace inaccesible a la mayoría de usuarios.

La fibra óptica de plástico (POF) es una alternativa más económica y flexible tanto a los sistemas de fibra óptica de vidrio como a la transmisión por hilo de cobre, especialmente en redes de comunicaciones de corta distancia (redes LAN), por su mayor ancho de banda (BW), robustez y menor coste.

POF	Cable de Cobre	Fibra de vidrio
	Inmunidad total al EMI	Conexiones optoelectrónicas más simples
	Empleo de canalizaciones existentes	Diodos (RCLED) o láser (VCSEL)
	Cables más delgados	Solución más económica

**Tabla 1. Tabla comparativa de prestaciones de las POF**

Entre las ventajas que ofrece la POF podemos citar: flexibilidad, ligereza, robustez, inmunidad al ruido electromagnético y una fácil conectividad, que permite una instalación rápida y sencilla por el propio usuario sin requerir de personal especializado.

Pese a no ser tan rápida como la GOF, presenta una velocidad máxima considerable (hasta varios Gbps) que proporciona un salto cualitativo comparada con el par de cobre tradicional (100Mbps). [ZIE08] y [ANT10].



**Fig. 1 Fibra óptica de plástico (POF)**

### 1.1. Interés y objetivos del proyecto

Debido a las características expuestas anteriormente, cada vez está más extendido el uso de estos sistemas tanto en los hogares (HAN), Fig. 2, como en equipos de control automático, en entornos de fabricación ruidosos y en la industria automovilística. A nivel de usuario nos permitirán crear redes internas de alta velocidad en nuestras casas, pudiendo utilizar las canalizaciones eléctricas ya instaladas sin perder rendimiento, al no verse afectadas por el ruido electromagnético [KOO11].

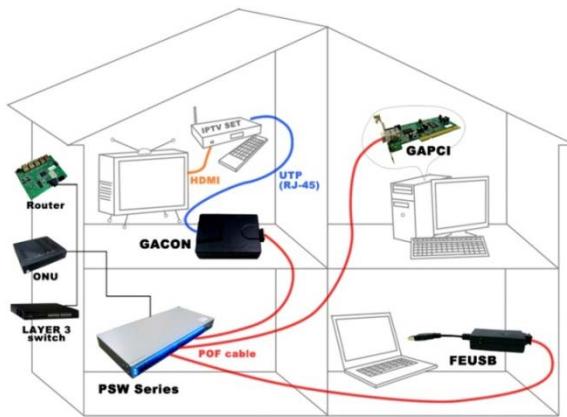


Fig. 2 Fibra óptica de plástico (POF)

El bajo coste y la mayor robustez de la POF conlleva unas limitaciones importantes, como son su elevada atenuación y distorsión de la señal.

La principal desventaja de la SI-POF (*Step-Index POF*) es el bajo valor del producto longitud-ancho de banda (45MHz·100 m) debido a la dispersión cromática y modal [ZIE08] que sufre la señal al viajar por la fibra. Como los niveles de interferencia intersímbolo (ISI) aumentan considerablemente conforme la velocidad de transmisión o *bitrate* supera el ancho de banda (BW) del canal, la tasa de error de transmisión (BER) puede ser inaceptable para un determinado estándar de comunicación.

Otra limitación radica en el tipo de fotodiodos empleados en estos sistemas de comunicación, diodos PIN de áreas grandes y con capacidades parásitas intrínsecas elevadas [SÄC05]. Estas limitaciones imponen serias restricciones en diseño del receptor del sistema de comunicaciones.

Si buscamos soluciones económicas para sistemas de comunicaciones de corta distancia, una buena elección será el uso de POF para el canal de fibra, pero siendo necesario aplicar técnicas de ecualización para conseguir anchos de banda a precios competitivos con sistemas convencionales como el cobre [BAN08], [DON10] y [GIM11].

El objetivo de este trabajo fin de máster (TFM) será corregir las limitaciones frecuenciales en un receptor de POF mediante el diseño y desarrollo de un ecualizador en tiempo continuo para aplicaciones en comunicaciones serie de alta velocidad.

## 1.2. Descripción del proyecto y metodología

En este TFM se busca implementar un ecualizador en tiempo continuo que sea capaz de corregir las limitaciones frecuenciales que presenta un sistema óptico basado en POF aumentando de esta manera el BW.

Para la realización del trabajo, en primer lugar se ha llevado a cabo un estudio teórico y una revisión bibliográfica, en particular, de soluciones de bajo coste para comunicaciones serie de alta velocidad centrándose en profundidad en las etapas preamplificadoras y técnicas de ecualización [AZN13], [GIM13b] y [SAN13]. A continuación se ha realizado una caracterización experimental del prototipo de amplificador de transimpedancia T2-GDE-2013 (TIA) más fotodiodo (PD), analizando su comportamiento e identificando su BW.

Una vez conocidas las limitaciones frecuenciales y vistas las diferentes opciones y técnicas existentes de ecualización, se ha pasado al análisis de la estructura elegida y a la posterior implementación del ecualizador en tiempo continuo con componentes discretos para la caracterización experimental del bloque utilizando instrumentación específica.

Finalmente se han extraído una serie de conclusiones evaluando todas las etapas involucradas en el trabajo y de donde se extraen líneas futuras de actuación.

## 1.3. Herramientas utilizadas

### SOFTWARE:

- MATLAB/SIMULINK: Herramienta de software matemático que ofrece un entorno de desarrollo integrado (IDE) con un lenguaje de programación propio. Utilizado como herramienta matemática, visual y de simulación para los estudios teóricos del TFM.
- OrCADPSpice AD: Programa utilizado para la simulación eléctrica de los circuitos mediante el uso de modelos *Spice* de los diferentes componentes.
- EAGLE: Programa de diseño por computador de placas de circuito impreso (PCB) a partir de la realización de esquemáticos.

### INSTRUMENTACIÓN:

- BERT N4906A, Agilent: Permite medir el BER (*Bit error ratio*) y genera señales PRBS (*Pseudorandom binary sequences*) que permiten obtener información sobre el sistema de transmisión.
- DCA 86100C, Agilent: Analizador de comunicaciones digitales que permite visualizar (diagramas de ojo) y analizar señales periódicas (PRBS).
- ZVL Rhode&Schwarz: Analizador de redes vectorial utilizado para obtener las respuestas frecuenciales del ecualizador.
- MSO9404A, Agilent: Osciloscopio con el que se han realizado diferentes medidas y pruebas en los circuitos.

## 2. Sistemas de comunicaciones por fibra óptica

### 2.1. Arquitectura de un sistema de comunicaciones por fibra óptica

Un sistema de comunicaciones por fibra óptica está compuesto por tres bloques básicos: transmisor, fibra óptica y el receptor. En la Fig. 3 podemos observar el diagrama de bloques del sistema de comunicación óptica.

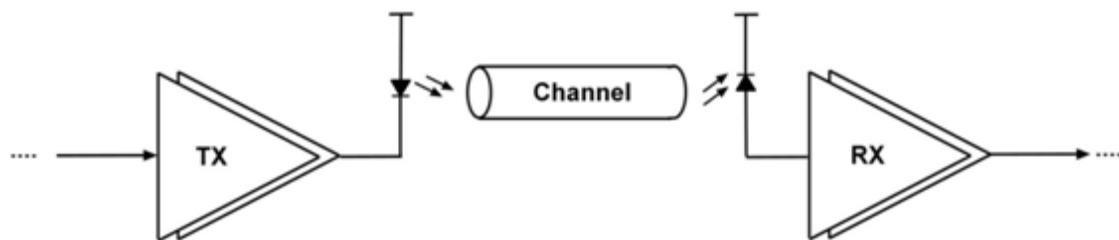


Fig. 3 Diagrama de bloques de un sistema de comunicación por fibra óptica

El emisor se encarga de procesar la información y convertir la señal de naturaleza eléctrica en una señal óptica. Esta señal óptica viaja a través de la fibra en forma de pulsos de luz hasta llegar al receptor. El receptor convierte la señal óptica recibida en una señal eléctrica nuevamente para su posterior procesado.

El diagrama de bloques conceptual del transmisor o emisor se describe en la Fig. 4 donde podemos encontrar el serializador, cuya función es combinar y preparar las líneas de datos de baja velocidad paralelas en una señal serie de alta velocidad, y el diodo láser, encargado de convertir las señales eléctricas en ópticas.

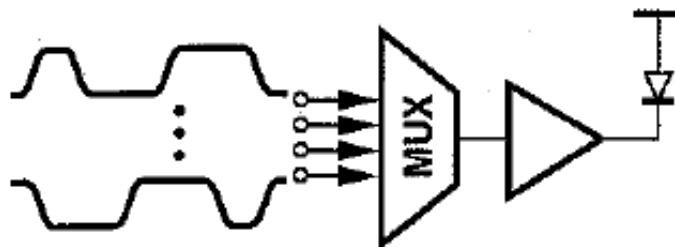


Fig. 4 Diagrama de bloques del transmisor [RAZ03]

En el receptor, Fig. 5, nos encontramos en primer lugar el fotodetector o fotodiodo (PD), que es el encargado de transformar la señal luminosa en corriente eléctrica. El amplificador de transimpedancia (TIA) es la etapa encargada de convertir la corriente generada en el fotodiodo en voltaje, y por último, una etapa postamplificadora encargada de proporcionar valores digitales compatibles con la circuitería digital para el posterior acondicionado de la señal.

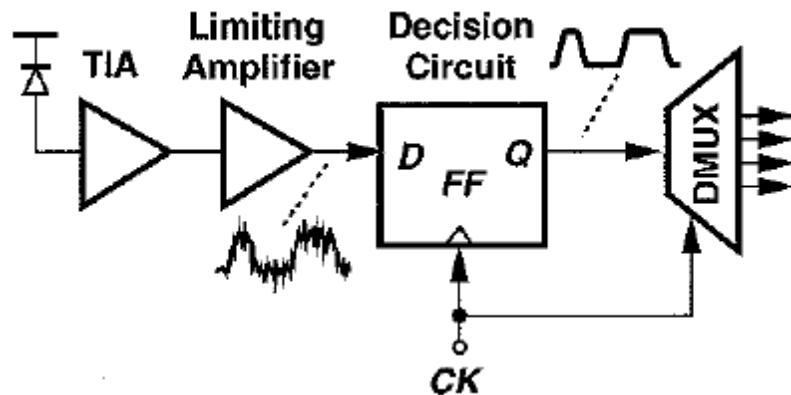


Fig. 5 Diagrama de bloques del receptor [RAZ03]

Como veremos más adelante, las limitaciones impuestas tanto por la fibra óptica como por el fotodiodo hacen necesario la presencia un ecualizador que compense las deficiencias en la transmisión y proporcione un ancho de banda adecuado a las velocidades requeridas con unos valores de ISI y BER determinados. Este será el objetivo principal de este trabajo.

## 2.2. Limitaciones de las fibras

El canal por el que la señal óptica se propaga es fibra óptica. Existen dos grandes grupos de fibras: las fibras de plástico (POF) y las fibras de vidrio (GOF). Ambas poseen la misma estructura que está constituida por: un núcleo, una cubierta y un revestimiento [ZIE08].

El núcleo (o *core*) es la parte central de la fibra y por donde la luz que se quiere transmitir queda confinada debido a que su índice de refracción es mayor que el del material de la cubierta (o *cladding*), produciéndose un efecto de reflexión total interna y propagándose de esta manera la luz a través del medio. Por último, una tercera capa de recubrimiento (*jacket*) protege el núcleo y la cubierta. Las POFs tienen un *core* de diámetro de hasta 1 mm, frente a las 10  $\mu\text{m}$  que puede tener el núcleo de las GOFs.

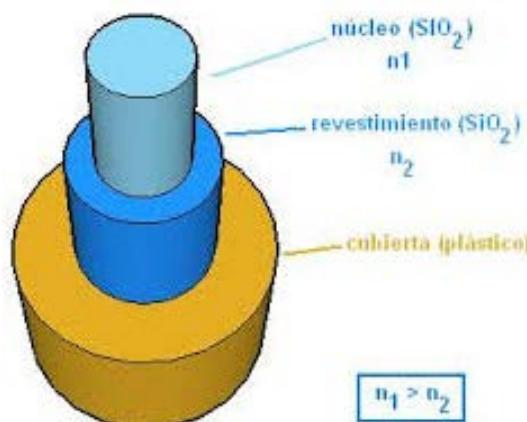


Fig. 6 Imagen de la estructura de una fibra.

Las fibras ópticas se diferencian entre fibras monomodo (SMF) y fibras multimodo. El número de modos ( $V$ ) que puede propagarse en una fibra depende de su diámetro ( $\phi$ ) comparado con la longitud de onda de la luz ( $\lambda$ ) y la apertura numérica ( $A_N$ ), parámetro que determina el ángulo máximo de luz incidente:

$$V = \frac{2\pi\phi}{\lambda} A_N \quad (1)$$

Si  $V$  es menor que 2.405 solo se puede propagar un modo. En caso contrario se trata de una fibra multimodo.

Las fibras de plástico (POF) son generalmente fibras multimodo con grandes diámetros de núcleo y altas aperturas numéricas para facilitar el acoplamiento de la luz a la entrada y la salida. Esta es una de las ventajas más importantes de las POF, puesto que la tecnología de conexión que puede usarse es más económica que la usada para las fibras de vidrio.

Otro aspecto diferenciador en las fibras ópticas es el perfil del índice de refracción de su núcleo, pudiendo ser de dos tipos: aquellos que presentan una estructura de salto de índice (SI) y los de perfil gradual (GI) [ZIE08].

Los principales problemas de la transmisión de fibra óptica son la dispersión y la atenuación que limitan el ancho de banda del sistema (BW) y la velocidad de transmisión de la POF.

La atenuación de la señal obliga a que la potencia de transmisión óptica sea elevada sobre todo cuando el canal va aumentando su longitud. La atenuación intrínseca de una POF es de aproximadamente 200 dB/Km, y este valor limita el uso de la POF a aplicaciones de corta distancia (pérdidas extrínsecas son aquellas debidas a malas conexiones o curvaturas de la fibra).

La dispersión es el fenómeno por el cual un pulso se ensancha a medida que se propaga a través de la fibra. Esto se debe a que los distintos modos de la luz viajan a distintas velocidades y llegan al receptor en diferentes instantes de tiempo. Los principales tipos de dispersión son: modal, cromática y de polarización [SAC05].

En la Fig. 7 se puede observar cómo se transforma un pulso de entrada al canal de transmisión por los efectos de atenuación y dispersión del medio óptico.



Fig. 7 Efectos de la transmisión en fibra óptica, atenuación y dispersión [GAR08].

El perfil de índice de refracción de una fibra determina la velocidad y el tiempo de retraso de todos los modos guiados. En general, las fibras GI (*graded index*) reducen el retraso modal. Sin embargo, producir estas fibras cuesta mucho, por lo tanto se utilizan fibras SI (*multistep index*), Fig. 8.

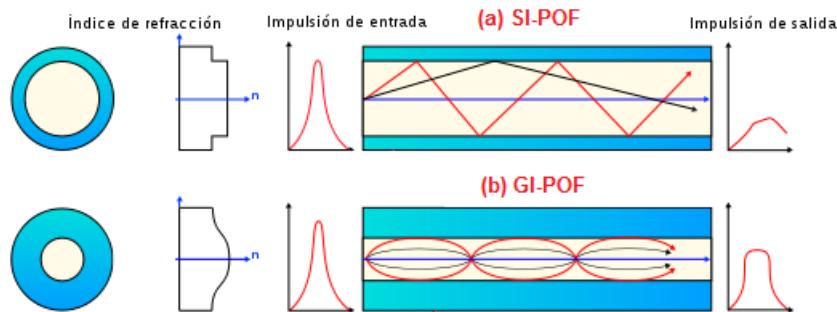


Fig. 8 Comparativa entre una SI-POF y una GI-POF [ARA10].

Estos efectos tienen que ser modelados cuando se describe la transmisión de la señal. Mientras que la distorsión en las fibras monomodo está causada principalmente por la dispersión cromática, la descripción de la dispersión en las fibras multimodo es considerablemente más compleja. No solo afecta la dispersión cromática, sino también la dispersión debida a que los diferentes modos se propagan a velocidades diferentes (dispersión multimodo). El tiempo de retraso entre los modos está determinado por el perfil de índice de refracción de la fibra y depende exclusivamente de la fibra.

Cómo se reparte la potencia de la señal en los modos individuales, sin embargo, está determinado por el acoplamiento de la luz en la fibra. Analizando el efecto de la dispersión en el dominio de la frecuencia podemos modelar a una POF como un filtro paso-bajo, Fig. 9, siendo necesaria una ecualización que compense dicho comportamiento y permita aumentar su ancho de banda.

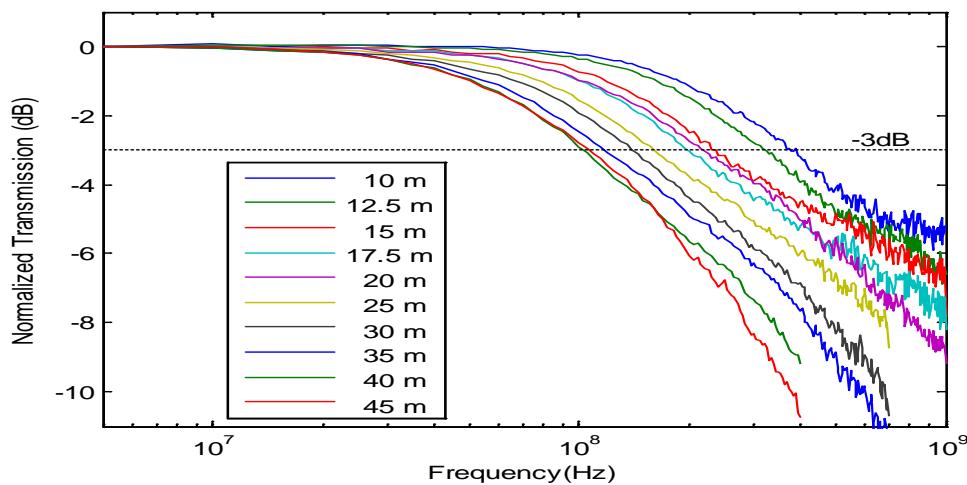


Fig. 9 Dependencia del comportamiento frecuencial de una POF (Mitsubishi GH) con su longitud.

La recuperación de la información de la señal de entrada y compensación de la limitación frecuencial en el pulso de salida de la fibra óptica es trabajo del bloque receptor.

### 2.3. Limitaciones del fotodetector

El fotodetector es el primer elemento que conforma el *front-end* y es el encargado de transformar la señal óptica procedente de la fibra en corriente eléctrica. En comunicaciones de banda ancha mediante POF, el fotodetector más utilizado de entre todos los disponibles en el mercado es el fotodiodo PIN. Estos fotodiodos están fabricados con semiconductores de estado sólido, siendo el material más usado el silicio (Si) y consiste en una unión P-N con una capa de material semiconductor intrínseco entre los materiales P y N tal y como muestra la Fig. 10. Las principales ventajas son su reducido coste de fabricación y su relativa buena eficiencia en la longitud de onda de trabajo de la POF ( $\lambda \approx 660$  nm).

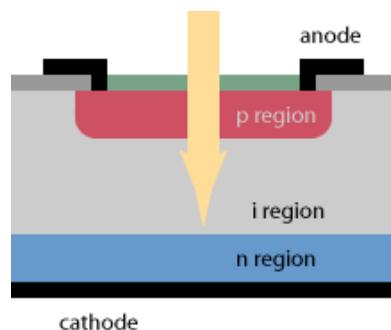


Fig. 10 Estructura física de un fotodiodo PIN.

Sus principales características son la *responsivity* (constante de proporcionalidad entre la corriente eléctrica generada y la potencia óptica incidente), el ruido y la capacidad de deplexión de la unión que determina la respuesta frecuencial del dispositivo. Estas magnitudes tienen un gran impacto en el comportamiento global del receptor.

En la Fig. 11 (a), podemos ver una comparativa de la *responsivity* que ofrecen PD de diferentes materiales y el rango de longitudes de onda en los que pueden trabajar y en la Fig. 11 (b) para diferentes PD de una misma familia.

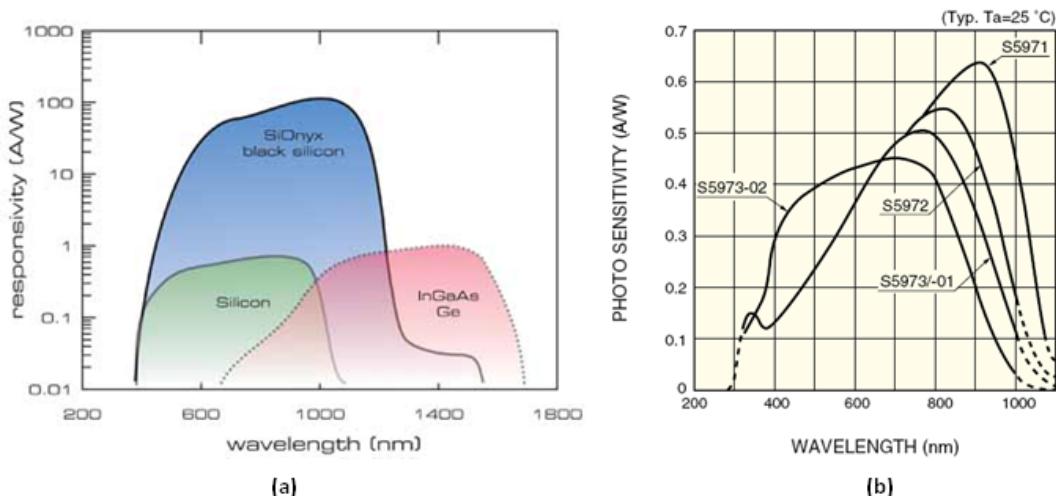


Fig. 11(a) Responsivity frente a longitud de onda de PD de diferentes materiales (b) Responsivity para la familia de PD S597X de Hamamatsu.

El principal ruido que genera el PD es el denominado ruido *shot*, compuesto por un número elevado de pulsos cortos (correspondientes a un par electrón-hueco creado por un fotón) distribuidos aleatoriamente en el tiempo, y cuyo valor *rms* viene dado por la siguiente expresión:

$$i^2_{n,PIN} = 2qI_{PIN}BW_n \quad (2)$$

Donde  $q$  es la carga eléctrica del electrón,  $I_{PIN}$  es la corriente de señal y  $BW_n$  es el ancho de banda en el que medimos el ruido de corriente [SÄC05].

Como se desprende de la ecuación (2) el ruido depende de la señal y es proporcional a su raíz cuadrada, de manera que si el nivel de señal aumenta, la relación señal-ruido (SNR) mejoraría con este aumento.

En condiciones de total oscuridad, el PD genera una pequeña señal de corriente denominada corriente de oscuridad  $I_{DK}$ , que depende del área de unión, de la temperatura y de la tensión inversa. Aunque el impacto de esta corriente en la señal así como el ruido asociado a ella se deben tener en cuenta en los cálculos, sus contribuciones suelen ser despreciadas en la mayoría de los casos.

$$i^2_{n,PIN} = 2q(I_{PIN} + I_{DK})BW_n \quad (3)$$

Normalmente, el valor de  $I_{DK}$  se puede despreciar de la ecuación frente a  $I_{PIN}$  ya que es muy bajo en comparación, normalmente en el orden de los pA. En la Fig. 12 vemos la dependencia de  $I_{DK}$  en la familia de PD S597X de Hamamatsu en función del voltaje inverso  $V_R$  del fotodiodo (necesario para el correcto funcionamiento del PD).

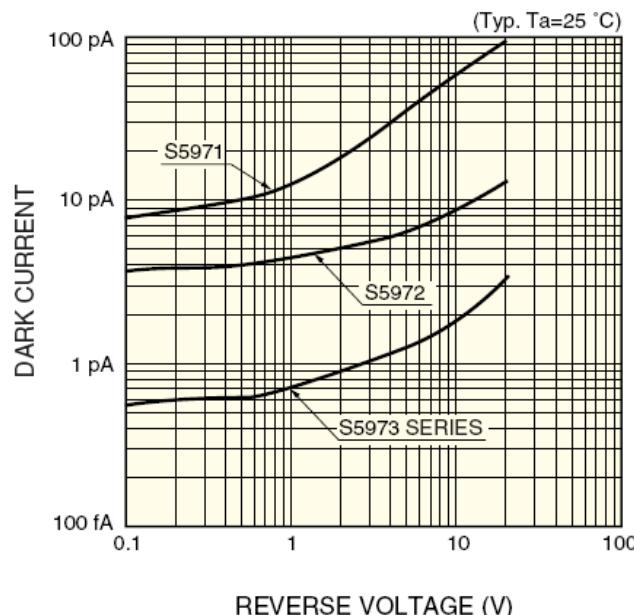


Fig. 12 Corriente de oscuridad de la familia de PD S597X de Hamamatsu en función del voltaje inverso

Por último, la respuesta frecuencial del fotodiodo viene limitada por la capacidad parásita asociada con la estructura del PD, la capacidad de deplexión  $C_{PD}$ . Su valor depende del área de unión, del valor de la tensión inversa  $V_R$  que se aplica al PD y de la distancia entre las regiones dopadas. A mayor  $V_R$  menor  $C_{PD}$  (Fig. 13), esta capacidad limita el BW del sistema al introducir una frecuencia de corte dependiente de  $C_{PD}$ .

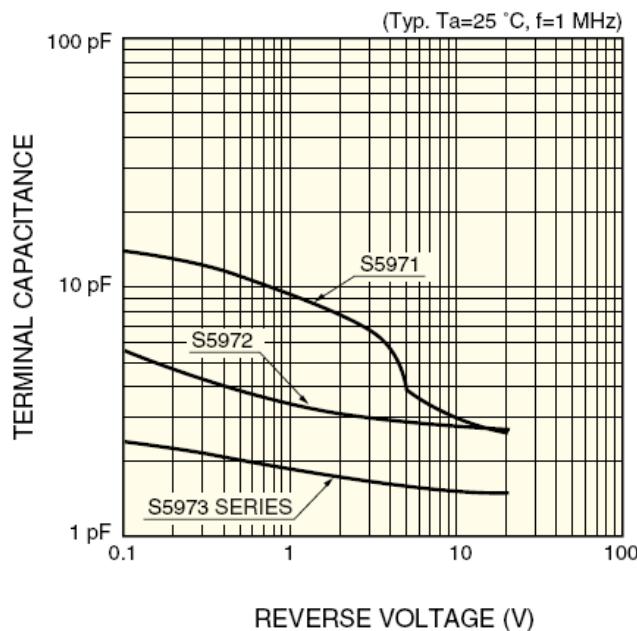


Fig. 13 Dependencia de la capacidad de unión de la familia de PD S597X de Hamamatsu con  $V_R$ .

Incluyendo las componentes descritas anteriormente podemos considerar como modelo para caracterizar el fotodiodo polarizado en inversa el que ilustra la Fig. 14.

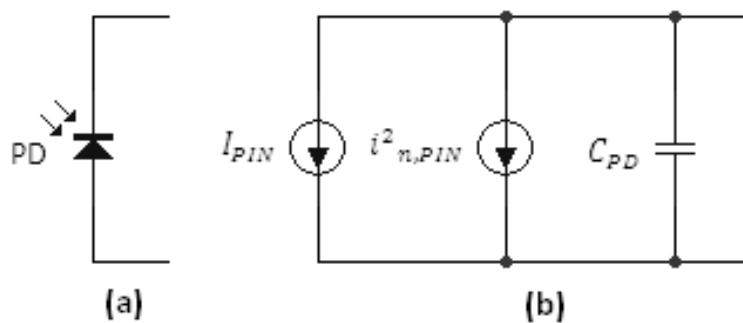


Fig. 14 Modelo equivalente del PD. (a) Símbolo (b) modelo equivalente.

Las limitaciones frecuenciales impuestas por la POF y el fotodetector hacen imprescindible que deban aplicarse ciertas técnicas de ecualización que permitan mejorar el ancho de banda y alcanzar las velocidades de transmisión adecuadas.

## 2.4. Amplificador de transimpedancia

La luz viajando a través de la fibra sufre pérdidas antes de alcanzar el fotodiodo como ha sido expuesto en puntos anteriores. El fotodiodo transforma la intensidad lumínica en una corriente proporcional, la cual es amplificada y convertida a tensión por un amplificador de transimpedancia (TIA) que constituye la primera etapa del *frontend* del receptor. El diseño de TIAs implica muchos compromisos entre ruido, BW, ganancia y potencia, suponiendo un verdadero reto tanto en tecnologías bipolar como en CMOS.

Veámoslo más detalladamente:

**Transimpedancia.** Es deseable diseñar un bloque que presente una transimpedancia lo más alta posible puesto que esto relaja los requisitos de ruido y la ganancia para el post amplificador.

**Ruido.** La corriente de ruido referida a la entrada es uno de los parámetros más críticos del TIA. A menudo, el ruido del TIA domina todas las demás fuentes de ruido y por lo tanto determina el rendimiento del receptor [SÄC05].

**BW.** Se busca que el BW sea lo más elevado posible, aunque un BW alto aumenta el ruido total integrado. Por otro lado, un BW limitado introduce ISI en las secuencias aleatorias, lo que se puede comprobar experimentalmente mediante diagramas de ojo (ANEXO I: diagramas de ojos), cerrando el ojo tanto verticalmente como horizontalmente.

Las dos implementaciones más comunes para la etapa preamplificadora son ([ING04], [RAZ03] y [SÄC05]):

- a) Modo tensión. La implementación más extendida es el amplificador de transimpedancia tipo *shunt-feedback*. Con esta opción el diseñador pretende obtener un óptimo equilibrio entre todas las magnitudes que determinan las prestaciones.
- b) Modo corriente. La implementación más extendida se basa en un amplificador de corriente como etapa previa seguida de una posterior conversión I-V realizada normalmente por un TIA. Esta opción presenta como principal ventaja el aumento de BW. Sin embargo esto se consigue incrementando el consumo y el ruido.

Antes de presentar las principales características de un amplificador de transimpedancia tipo *shunt-feedback* es conveniente analizar la topología más sencilla que realiza la conversión I-V, una resistencia, Fig. 15 (a), para conocer las principales limitaciones y el compromiso existente entre ellas.

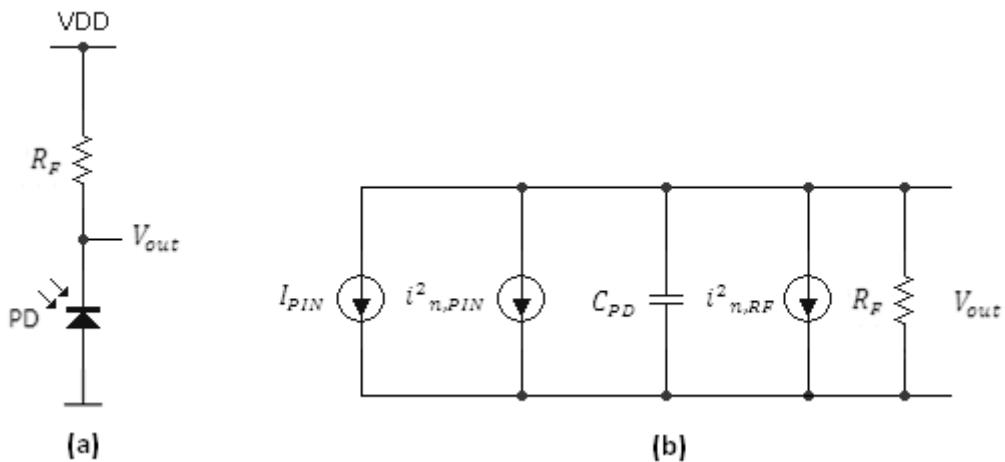


Fig. 15 Amplificador de transimpedancia básico implementado con una resistencia (a) estructura (b) modelo equivalente

Considerando el modelo de pequeña señal de la figura Fig. 15 (b) en donde se incluye el ruido térmico generado por la resistencia,  $i^2_{n,RF}$ , se extraen los principales parámetros de este preamplificador:

$$T_R = \frac{V_{out}}{I} = R_F \quad (4)$$

$$BW = \frac{\omega_p}{2\pi} = \frac{1}{2\pi R_F C_{PD}} \quad (5)$$

$$i^2_{n,IN} = i^2_{n,PIN} + i^2_{n,RF} = 2q(I_{PIN} + I_{DK})BW_n + \frac{4kT}{R_F} \quad (6)$$

De las expresiones anteriores se desprende que si conseguimos un elevado ancho de banda (valores de resistencia pequeños) es a costa de perder ganancia y aumentar el ruido, y de forma análoga, para valores de resistencia elevada conseguimos aumentar la transimpedancia y disminuir el ruido pero el ancho de banda se reduce a valores inaceptables.

#### **Shunt Feedback TIA**

La topología *shunt-feedback* de la implementación en modo tensión es la opción elegida en este trabajo para convertir la intensidad del PD en un voltaje de salida. Se ha elegido esta opción ya que proporciona un buen compromiso entre  $T_R$  y  $BW$  combinados con un bajo nivel de ruido, y además presenta menor consumo que las alternativas en modo corriente.

La estructura está formada por una resistencia conectada en el lazo de realimentación negativa de un amplificador de ganancia A como muestra la Fig. 16 (a).

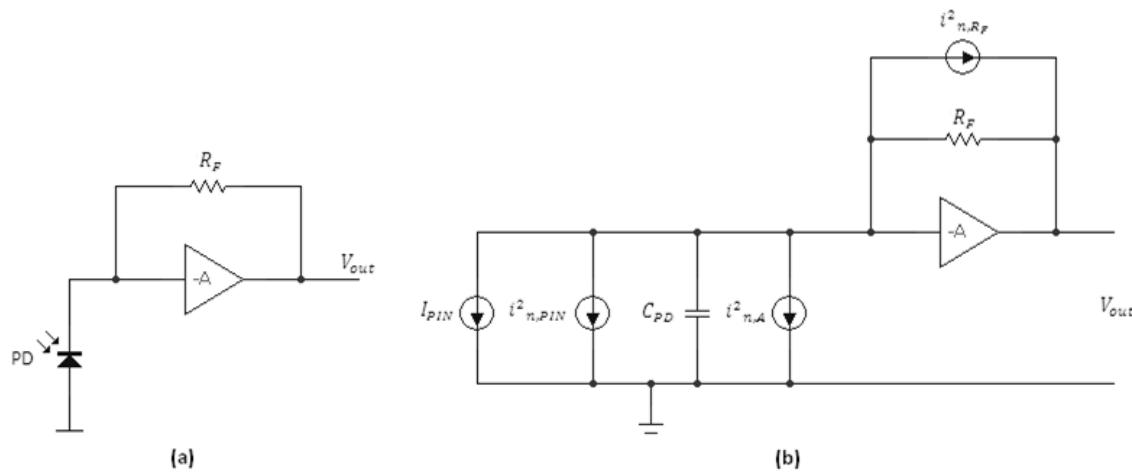


Fig. 16 (a) Estructura shunt-feedback del TIA (b) modelo equivalente del TIA más PD

Considerando el comportamiento del amplificador ideal con ganancia en lazo abierto A y considerando el modelo equivalente del PD de la Fig. 14, se obtienen las siguientes expresiones:

$$T_R = \frac{V_{out}}{I} = -\frac{AR_F}{A+1} \frac{1}{1 + \frac{R_F C_{PD}}{A+1} s} \quad (7)$$

dónde:

$$R_T = \frac{AR_F}{A+1} \quad (8)$$

$$\omega_P = \frac{A+1}{R_F C_{PD}} \quad (9)$$

Si la ganancia en lazo abierto del amplificador es suficientemente elevada ( $A \gg 1$ ), la transresistencia se aproxima al valor de  $R_F$ ,  $T_R = R_F$  a partir de (8).

La limitación frecuencial dependiente de los valores de  $R_F$  y  $C_{PD}$ , se ve compensada gracias a que la estructura *shunt-feedback* incrementa el valor del BW multiplicándolo por un factor  $(1+A)$ , aumentando así el ancho de banda del sistema.

$$BW = \frac{\omega_P}{2\pi} = \frac{1}{2\pi} \frac{A+1}{R_F C_{PD}} \quad (10)$$

En cuanto al ruido que introduce en el receptor el TIA más el fotodetector queda descrito en la ecuación (11).

$$i^2_{n,IN} = i^2_{n,PIN} + i^2_{n,R_F} + i^2_{n,A} \quad (11)$$

Donde  $i^2_{n,PIN}$  es la contribución de ruido aportada por el PD vista en el anterior apartado, ecuación (3),  $i^2_{n,R_F}$  es el ruido térmico producido por  $R_F$  cuyo valor viene dado por (12) y  $i^2_{n,A}$  es el valor del ruido producido por el amplificador referido a la entrada y que depende de su implementación.

$$i^2_{n,R_F} = \frac{4KT}{R_F} \quad (12)$$

Si queremos obtener una descripción más realista del sistema deberíamos considerar un modelo del amplificador que contemplara una dependencia frecuencial caracterizada por n polos (13).

$$A(s) = A_0 \left( \prod_{i=1}^n \left( \frac{1}{1 + \frac{s}{\omega_{Ai}}} \right) \right), \quad n \geq 2 \quad (13)$$

En este caso la función de transferencia  $T_R$  presentaría  $n+1$  polos. En la literatura encontramos ejemplos con  $n = 1$  [GDP11], con  $n = 2$  [SAN07] y hasta  $n = 3$  [GDP13]. Sin embargo, con un buen diseño de la estructura del amplificador de tensión, se pueden llevar estas contribuciones frecuenciales lo suficientemente lejos de las frecuencias de trabajo como para poder aproximar el TIA a un sistema de primer orden, ecuación (7). Con esta premisa, el diseño de un posible ecualizador será más fácilmente abordable.

### 3. Caracterización experimental del prototipo T2-GDE-2013

En este apartado se va a llevar a cabo la caracterización del prototipo de amplificador de transimpedancia *T2-GDE-2013*. El objetivo es poder conocer con exactitud las prestaciones frecuenciales del conjunto TIA más fotodiodo para la posterior toma de decisiones sobre la necesidad y especificaciones de un ecualizador.

Uno de los puntos previos más importantes será abordar el complejo proceso de colocar ambos componentes *on-chip* en un encapsulado DIP. Esto difiere de lo encontrado en trabajos preliminares [GDP10] y [GDP13], para partir de una situación más favorable en términos de elementos parásitos y pérdidas no deseadas.

#### 3.1. Descripción del TIA T2-GDE-2013

Las posibles topologías empleadas para implementar el amplificador de transimpedancia descrito en el punto 2.4 son muchas, desde la más sencilla, formada por una etapa en fuente común (CG) y un seguidor de tensión, hasta estructuras diferenciales que intentan eliminar el efecto de la alimentación y de la contaminación de ruido por sustrato [RAZ03].

En el caso que nos ocupa, el prototipo a caracterizar *T2-GDE-2013* presenta la implementación del TIA descrita en la Fig. 17 y consta de dos etapas: 1) etapa de entrada en fuente común con un transistor *cascode* y 2) etapa de salida de acople por fuente formada por una etapa en drenador común (CD) y una en puerta común (CG). El lazo de realimentación está formado por una resistencia  $R_F$  en serie con una fuente de tensión flotante y, un condensador de compensación, [GDP11]. Los valores de los componentes utilizados se encuentran detallados en el ANEXO III: TIA.

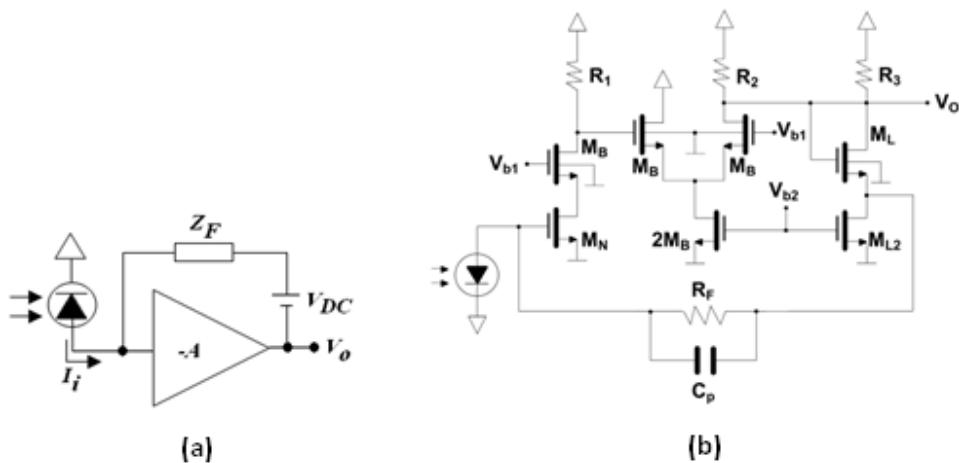


Fig. 17 (a) Esquemático del TIA (b) Implementación prototipo TIA T2-GDE-2013

El fotodiodo elegido ha sido el S5973 de Hamamatsu por sus altas prestaciones (ver ANEXO VI: *datasheets*). Las principales características del S5973 son: buena *responsivity* con longitudes de onda entre 500 y 800 nm, un área activa de  $0.5 \text{ mm}^2$  y una capacidad parásita de deplexión de  $1.8 \text{ pF}$  (a 1V de polarización inversa del PD).

### 3.2. Técnica de ensamblaje del fotodetector

Como se ha indicado en la sección precedente, el primer paso para llevar a cabo la caracterización experimental del prototipo es abordar la disposición *on-chip* del TIA y el fotodiodo en un encapsulado DIP. Este proceso es complejo, laborioso y artesanal, habiendo muy poca información descrita en la literatura.

El fotodiodo es fijado al encapsulado utilizando el siguiente procedimiento:

1. Inicialmente se pega una lámina aislante de mica mediante *g-varnish*, Fig. 18 (1) al sustrato. El *g-varnish* es un adhesivo aislante de conductividad eléctrica nula y que soporta muy bien las altas temperaturas.
2. El segundo paso consiste en pegar una segunda lámina conductora de oro cuya función es realizar el contacto con el cátodo del PD, Fig. 18 (2), de la misma manera que hemos hecho con la película de mica.
3. Y finalmente, el fotodiodo se fija a la lámina de oro mediante *epoxy* de plata, Fig. 18 (3). El *epoxy* de plata es un adhesivo conductor eléctrico.

Los procesos llevados a cabo con *g-varnish* se hacen a temperatura ambiente. Sin embargo, aquellos realizados con *epoxy* de plata deben realizarse a una temperatura de 60°C y durante periodos de 7 horas. Este proceso se ha realizado en los laboratorios del CSIC bajo la supervisión del Dr. Agustín Camón.

El prototipo de TIA se fija mediante *epoxy* de plata repitiendo el proceso descrito con el fotodiodo.

El *bonding* entre los diferentes dispositivos se realiza en una máquina de puntas modelo HYBOND 572A y que opera bajo el principio de ultrasonidos. Este aparato presenta las prestaciones requeridas por nuestro sistema ya que permite hacer *bondings* en superficies mínimas de 25 µm x 25 µm.

El material del hilo utilizado es aluminio de alta pureza con diámetro de 25 µm y que permite una adhesión óptima a las diferentes superficies del conjunto. Nótese que el material de los PAD del PD, del TIA y del encapsulado DIP son totalmente diferentes entre sí, y por lo tanto se tuvieron que realizar numerosas pruebas para ver cuál de los materiales del laboratorio se ajustaba mejor a nuestras necesidades.

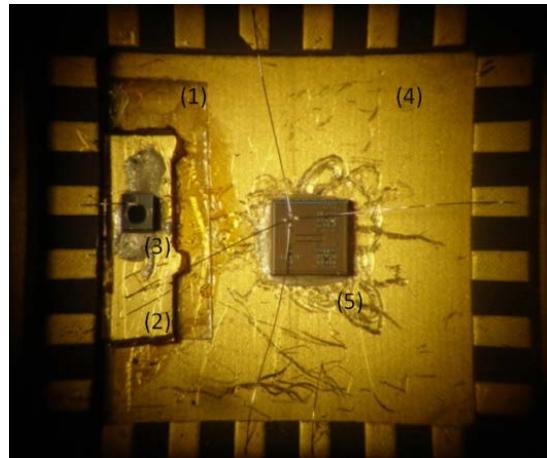


Fig. 18 Prototipo T2-GDE-2013, fotodiodo y TIA.

Finalmente, para las pruebas de laboratorio, se realizó una PCB con los diferentes conectores (SMA) de alimentación, tierra y salida (con *matching* a  $50\ \Omega$ ) así como una guía para la colocación de la fibra óptica, Fig. 19.

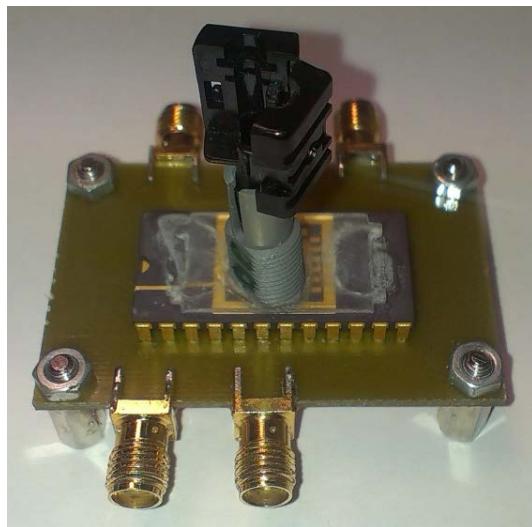


Fig. 19 PCB del prototipo T2-GDE-2013.

### 3.3. Comportamiento y caracterización experimental del sistema TIA+PD

Para la caracterización experimental del prototipo se ha utilizado un *transceiver* comercial, el GDL1000T-228 de *Firecomms* (ver ANEXO VI: *datasheets*) y una fibra POF de longitud mínima. El patrón pseudoaleatorio de entrada ha sido generado por un *tester* de tasa de error de 3,6 Gb/s, N4906A BERT de *Agilent*. El análisis de la señal de salida del prototipo se ha realizado con un analizador de comunicaciones digitales, el DCA 86100 C de *Agilent*.

El diagrama conceptual del *setup* de medida para la caracterización del prototipo TIA+PD con el equipo descrito anteriormente se muestra en la Fig. 20, y en la Fig. 21 se muestra el *setup* montado en el laboratorio.

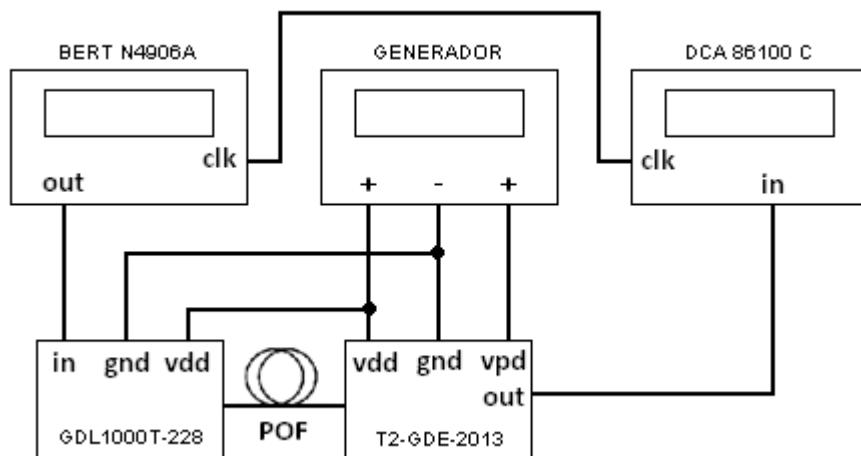


Fig. 20 *Setup* de medida conceptual del prototipo T2-GDE-2013

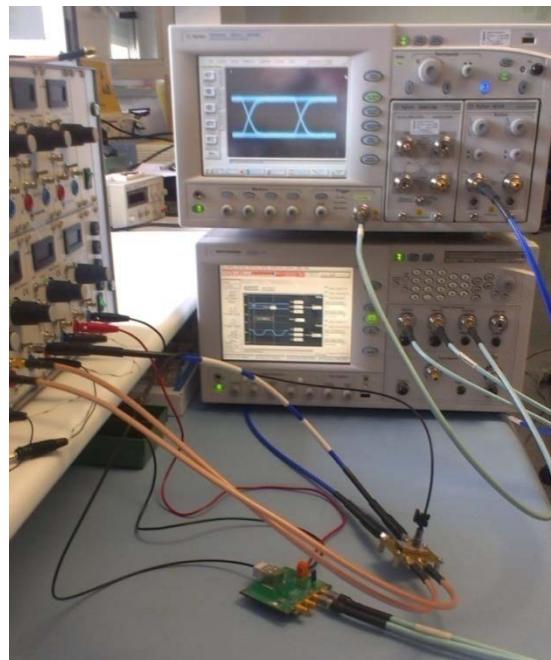
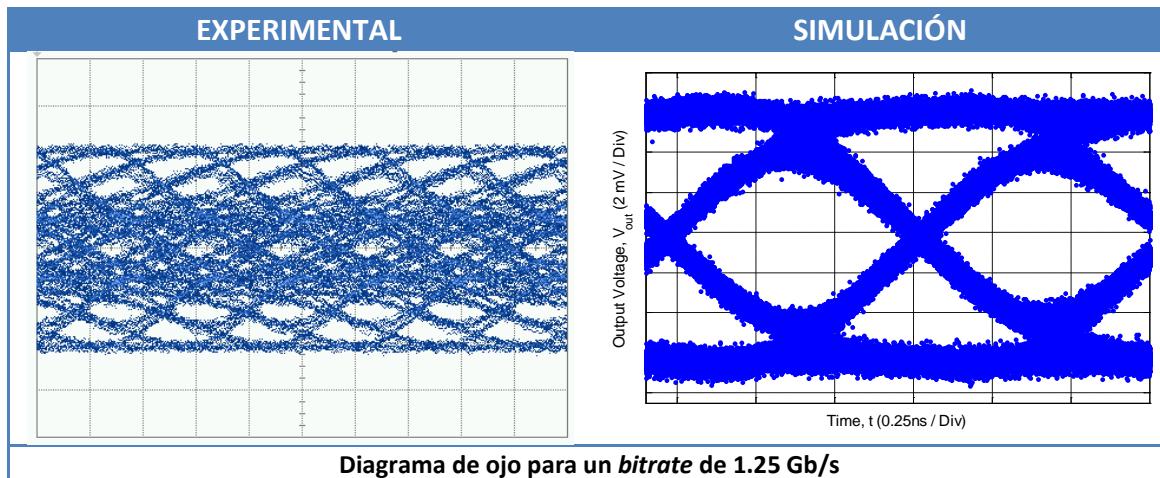


Fig. 21 *Setup* de medida en el laboratorio del prototipo T2-GDE-2013

Los equipos utilizados para el test óptico del prototipo no permiten obtener el comportamiento frecuencial de forma directa a como se obtendría mediante el uso de un analizador de redes, pero sí de manera indirecta mediante la comparativa simulación/experimental de los diagramas de ojo. Esto se basa en el hecho de que hay una correlación directa entre la respuesta en frecuencia de un dispositivo y su diagrama de ojo, es decir, si los diagramas de ojos experimentales y de simulación coinciden, las respuestas frecuenciales en ambos casos también coincidirán.

Por ello, a continuación en la Tabla 2, se presentan los resultados de simulación del prototipo y los resultados experimentales obtenidos después de la caracterización, incluyendo el sistema de *test* para un *bitrate* de 1.25 Gb/s.



**Tabla 2 Comparación de diagrama de ojo esperado por simulación y experimental.**

De los diagramas de ojos presentados en la tabla anterior se desprende que existe una diferencia clara entre los resultados experimentales y el comportamiento simulado del sistema. Si tenemos en cuenta el estudio previo realizado en el punto 2.4 atribuiremos esta diferencia al valor del parámetro  $C_{PD}$ .

Para estimar el valor de  $C_{PD}$  utilizado en la simulación, se tuvo en cuenta la capacidad de deplexión del PD, la capacidad parásita del proceso de fijación del PD al encapsulado y la capacidad parásita del *bonding*. La suma de estas capacidades daba un valor de 6,3 pF.

Los resultados experimentales nos dicen que esta capacidad estimada no se corresponde con la real. Para hallar una aproximación mejor del valor de  $C_{PD}$  y por tanto un valor del BW más ajustado al comportamiento real del prototipo, deberemos realizar de nuevo el estudio del comportamiento del sistema mediante la simulación de este modelo, de manera que llevaremos a cabo una comparativa experimental/simulación de los diagramas de ojo hasta que presenten comportamientos similares y poder obtener así valores más realistas de las capacidades presentes.

Con los valores obtenidos en la fabricación del TIA (ANEXO III: TIA) los de las hojas de características del PD S5973 (ANEXO VI: *datasheets*) y recogiendo otras capacidades existentes ( $C_{in}$  de entrada del TIA, capacidad de los conectores SMA, proceso de ensamblaje, etc) en un valor  $C_T$ , la ecuación (14) queda de la siguiente manera:

$$Z_T = \frac{V_{out}}{I_{PIN}} = \frac{602.2}{1 + 47.79C_T s} \quad (14)$$

En la Fig. 22 se presenta el esquema de simulación en *Matlab/Simulink* donde se ha introducido el modelo descrito anteriormente y se ha adaptado la señal de entrada para reproducir las condiciones de la caracterización experimental.

Dicho modelo incluye una señal de ruido equivalente a las medidas obtenidas con el DCA. Notar que la contribución del ruido total *rms* es de  $329.9 \mu V_{rms}$  y  $325 \mu V_{rms}$  cuando los estados son 0 y 1 respectivamente, Fig. 23:

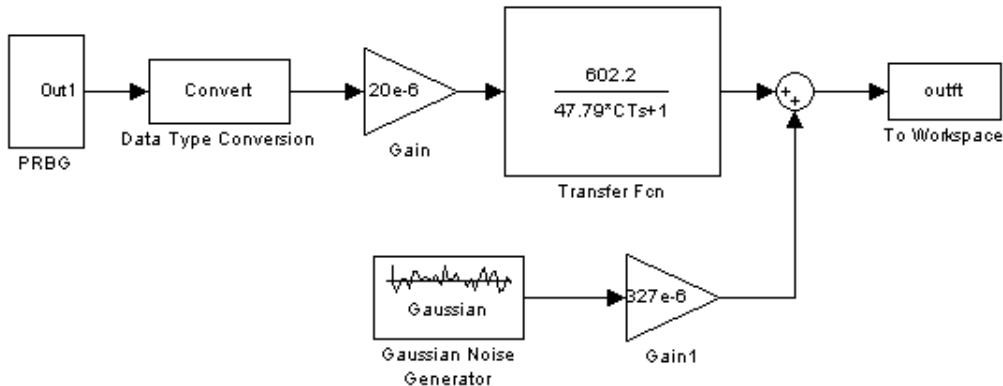


Fig. 22 Esquema de simulación en *Matlab/Simulink* del prototipo T2-GDE-2013.

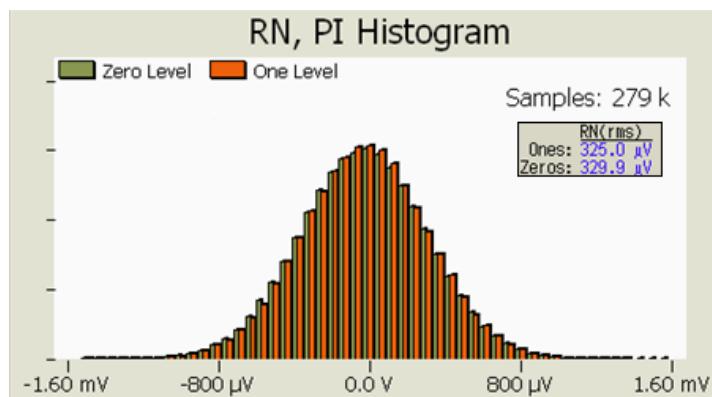


Fig. 23 Distribución del ruido en la salida del prototipo en función de los niveles lógicos

Para la visualización de los diagramas de ojo del modelo, se ha programado una función en *Matlab* disponible en el ANEXO II: *MATLAB*.

En la siguiente tabla, Tabla 3, se presenta la comparativa de los diagramas de ojo obtenidos con el *setup* de medida y los obtenidos mediante la simulación del modelo teórico descrito anteriormente a diferentes tasas de *bits*. Todos los resultados experimentales han sido obtenidos con la misma potencia óptica del láser, una secuencia PRBS de  $2^{31}-1$ , y una polarización en inversa del fotodiodo de 1,8 V.

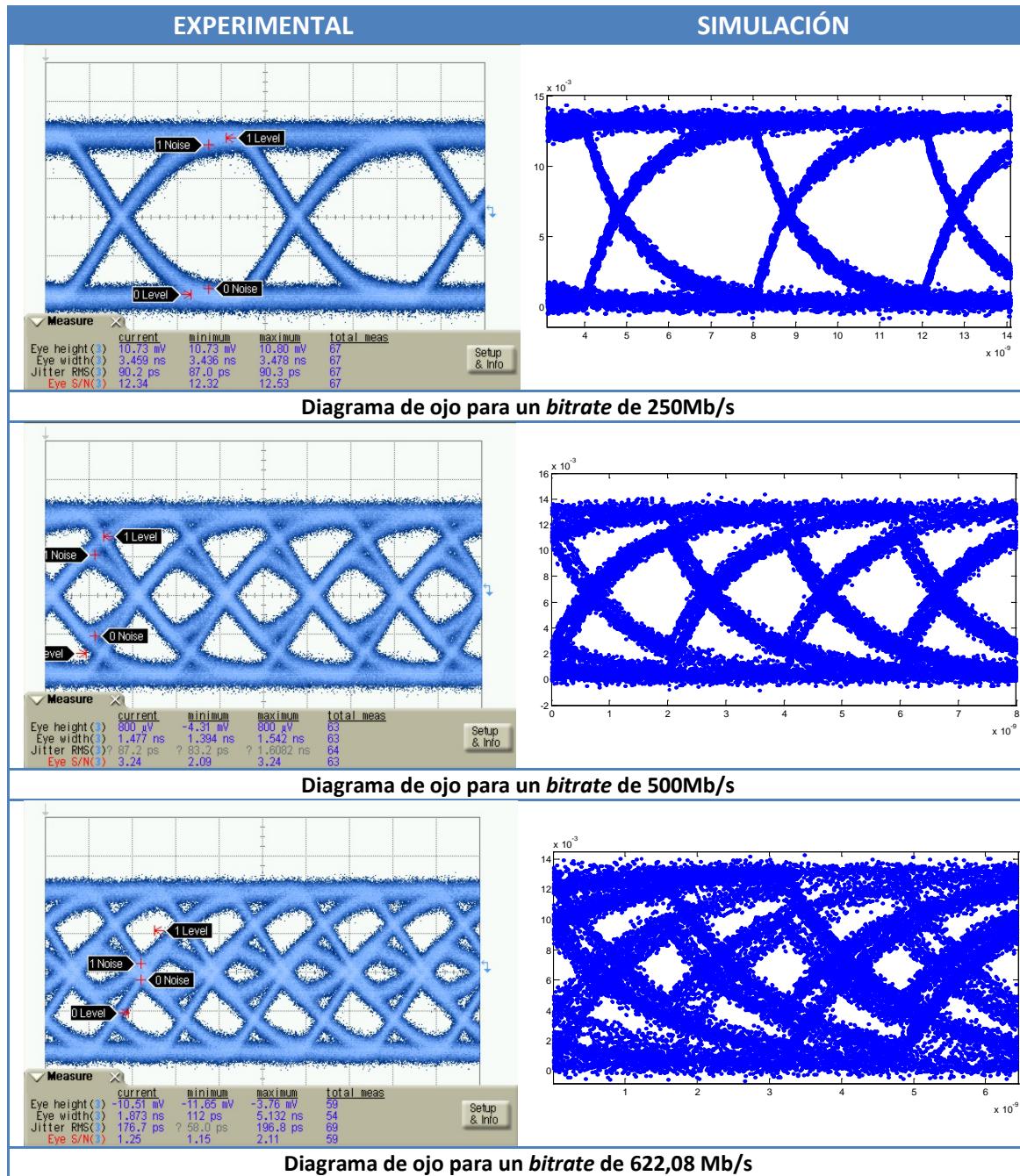


Tabla 3. Comparativa de diagramas de ojo experimentales y simulación.

De la comparación de los diagramas de ojo, se puede verificar que el comportamiento del prototipo se puede describir mediante el modelo de primer orden propuesto debido a la concordancia entre los diagramas de ojo experimentales y de simulación, y esta concordancia entre los resultados de simulación y experimentales se alcanza cuando el valor de la capacidad total equivalente de la ecuación (10) es:

$$C_T = 22.2 \text{ pF}$$

Como resultado final, obtenemos que la limitación frecuencial debida al BW de este modelo, calculada mediante la ecuación (10), y equivalente al experimental, es:

$$BW \approx 150MHz.$$

Este elevado valor de  $C_T$ , que establece la limitación frecuencial, es la suma de varias contribuciones de capacidades parásitas difíciles de medir, como son: la capacidad creada por la mica en el proceso de fijación, la de entrada del TIA, la de los conectores SMA, la de las pistas de la PCB y la parásita del encapsulado DIP.

Esta información es de gran importancia a la hora de poder reducir la limitación frecuencial en futuros diseños minimizando las diferentes contribuciones de las capacidades parásitas.

Finalmente, debido a este bajo valor de BW, que impide que se alcancen las prestaciones deseadas de trabajo a altas frecuencias, se concluye que es necesaria una etapa ecualizadora capaz de subsanar las limitaciones frecuenciales del sistema.

## 4. Diseño del ecualizador en tiempo continuo

### 4.1. Técnicas de ecualización

Como se ha mostrado en capítulos anteriores las características no ideales del canal a menudo deterioran la calidad de la señal recibida y pueden causar errores en la recuperación de los datos. Esto se debe a que, en la práctica, el canal de comunicación se comporta como un filtro pasa-baja. Como consecuencia, las diferentes componentes frecuenciales de la señal transmitida sufrirán distinta atenuación (atenuación dependiente de la frecuencia) y experimentarán distinta distorsión de fase (distorsión dependiente de la frecuencia) cuando se propagan a través del canal. Además, el canal de transmisión también puede introducir ruido en la señal. La limitación de la anchura de banda del canal contribuye de manera decisiva al deterioro de la señal original, produciendo lo que se conoce como interferencia inter-símbolo (ISI).

Los anchos de banda de la mayoría de los canales de comunicación están por debajo de los GHz y está relacionado con la velocidad de transmisión. Para mantener una velocidad de comunicación elevada, la ecualización es necesaria con el fin de eliminar o reducir el ISI. Un ecualizador proporciona una respuesta frecuencial ‘inversa’ a la del canal, de tal forma que la respuesta frecuencia total es plana en el rango frecuencial de interés.

Atendiendo a la localización del ecualizador, podemos distinguir dos tipos de ecualización: ecualización del transmisor o pre-énfasis y ecualización del receptor. Ambas buscan enfatizar las componentes de alta frecuencia y/o reducir las componentes de baja frecuencia de la señal transmitida o recibida para compensar el efecto de que las componentes de alta frecuencia se ven más atenuadas que las componentes de baja frecuencia en su recorrido a través del canal.

En el transmisor:

El pre-énfasis se realiza en el transmisor. En algunos casos, aumenta las componentes de alta frecuencia, lo que puede ocasionar problemas de ruido. En otros casos, reduce la potencia de las componentes de baja frecuencia, lo que se conoce como de-énfasis. Quizás en términos de consumo de potencia y efectividad, la técnica más conveniente sea el de-énfasis. Sin embargo el uso de de-énfasis disminuye la potencia total transmitida, disminuyendo como resultado la relación señal-ruido (SNR) en el receptor.

La implementación de un ecualizador en el trasmisor es relativamente más fácil que en el receptor, sin embargo, puesto que el pre-énfasis se realiza en el transmisor, no tenemos en cuenta las características variables del canal.

No obstante, en algunas aplicaciones suele optarse por cierta ecualización en el transmisor para mejorar algo la calidad de la señal recibida, aunque luego sea necesaria una ecualización definitiva en el receptor.

En el receptor:

Dentro de esta técnica de implementación existen tres grandes grupos:

- Ecualizadores pasivos. Como ventaja presenta un consumo muy bajo, por el contrario, los bajos niveles de señal no hacen de los filtros pasivos una solución práctica. [MAX03]
- Ecualizadores en tiempo continuo. Presenta un buen compromiso entre consumo, coste y adaptabilidad.
- Ecualizadores digitales con Filtros FIR. Incumplen la condición de bajo coste y consumo. Realizan la ecualización adaptativa de forma eficiente pero aumenta la complejidad.

Por tanto, se llega a la conclusión de que la mejor solución para este trabajo es la técnica de ecualización en tiempo continuo en el receptor (EQ-CT), debido a su simplicidad que asegura un bajo consumo y coste. Dentro de la bibliografía, se presentan diferentes estructuras de ecualización en tiempo continuo [LU01], [RAD05], [OSH98] y [GIM13a].

A la hora de realizar el estudio teórico del comportamiento deseado del ecualizador para este trabajo, hay que tener en cuenta que debe ser capaz de corregir las limitaciones frecuenciales que sufre el sistema debidas a la fibra óptica y el conjunto PD más preamplificador (TIA).

Estas limitaciones frecuenciales se pueden modelar, de forma simplificada, como una función de transferencia con dos polos, ecuación (15), [GDP13].

$$H(s) = \frac{A}{\left(1 + \frac{s}{\omega_{POF}}\right)\left(1 + \frac{s}{\omega_{TIA}}\right)} \quad (15)$$

Por ello, nuestro ecualizador debe presentar un comportamiento frecuencial que compense a  $H(s)$ , es decir que presente dos ceros, donde  $A_{EQ}$  es la ganancia del ecualizador, ecuación (16). Haciendo esto, la respuesta total del sistema podrá modelarse mediante:

$$H_{EQ}(s) = A_{EQ} \left(1 + \frac{s}{\omega_1}\right) \left(1 + \frac{s}{\omega_2}\right) \quad (16)$$

$$H_{SISTEMA}(s) = H \cdot H_{EQ} = A A_{EQ} \frac{\left(1 + \frac{s}{\omega_1}\right) \left(1 + \frac{s}{\omega_2}\right)}{\left(1 + \frac{s}{\omega_{POF}}\right) \left(1 + \frac{s}{\omega_{TIA}}\right)} \quad (17)$$

$$H_{SISTEMA}(s) = A A_{EQ}, \text{ para } \omega_1 = \omega_{POF} \text{ y } \omega_2 = \omega_{TIA} \quad (18)$$

El polo introducido por el conjunto PD más TIA ( $\omega_{TIA}$ ) tiene un valor fijo que se ha calculado en la caracterización experimental del prototipo *T2-GDE-2013*, mientras que la limitación frecuencial introducida por la POF ( $\omega_{POF}$ ) será variable por lo que se requiere que el ecualizador sea adaptativo.

La topología elegida para la realización del ecualizador en tiempo continuo es la denominada *shunt peaking*. En la literatura podemos encontrar diferentes implementaciones para esta técnica de ecualización englobadas en dos grandes grupos: *active* y *passive* [ANA04], [RAD05] y [LU01]. En las secciones venideras se analizarán varias de ellas y se verá su eficiencia para el caso que nos ocupa.

### 4.2. Análisis tecnológico

Los elementos más importantes del diseño de un EQ-CT, son los componentes activos, en nuestro caso los transistores. Ya que en este trabajo se va a realizar una arquitectura discreta de ecualizador es importante realizar un estudio previo de las opciones existentes en el mercado a la hora de seleccionar estos componentes.

Para altas frecuencias se suelen utilizar tecnologías híbridas como silicio-germanio (SiGe), arseniuro de galio (GaAs) o fosfuro de indio (InP) que ofrecen transistores con estructuras de heterounión (HFET, HBT). El inconveniente de estos transistores es su difícil modelado teórico y un alto precio que choca con el requisito de bajo coste establecido para este trabajo.

Teniendo en cuenta estas limitaciones, la opción tecnológica más adecuada para el diseño del ecualizador será la tecnología de silicio. Dentro de este marco las posibilidades son dos, utilizar transistores MOSFET o transistores BJT.

Los transistores MOSFET discretos disponibles en el mercado permiten un fácil modelado y presentan un coste bajo. Sin embargo, suelen estar diseñados para trabajar en aplicaciones de potencia y no tanto para pequeña señal y altas frecuencias, por lo que presentan serias limitaciones para nuestro ecualizador.

Por este motivo se ha decantado por la utilización de transistores BJT de silicio. Desde un punto de vista de diseño con componentes discretos los transistores elegidos siguen manteniendo los requerimientos de bajo coste y fácil modelado y además existe más variedad de transistores capaces de trabajar a frecuencias medias y altas.

El primer problema que un diseñador se encuentra cuando utiliza estos dispositivos para la fabricación de un ecualizador discreto es la reducida variedad de topologías existentes en la literatura. Tras una exhaustiva búsqueda se observa que la inmensa mayoría de las arquitecturas están realizadas en tecnologías CMOS integradas. Una opción es el cambio de tecnología de estas topologías bien descritas y caracterizadas en la literatura.

Es interesante notar que este proceso de migración tecnológica no será directo ya que no sólo las características de los transistores empleados son diferentes sino que los criterios de diseño cambian de un sistema integrado a uno discreto.

En tecnologías integradas la tensión de alimentación es de un valor normalmente fijo dependiente de la longitud del canal y en un diseño discreto este parámetro suele dejar cierto grado de libertad. Por contra, las dimensiones físicas de los componentes activos son variables a determinar en un diseño integrado mientras que en uno discreto son parámetros fijos dependiente del fabricante.

Por otro lado, el coste de componentes pasivos discretos (condensadores, resistencias y bobinas) es muy reducido mientras que en tecnologías integradas aumenta ya que pueden ocupar grandes superficies de silicio.

Todo lo anterior pone de manifiesto la complejidad del proceso de migración tecnológica, el cual, suele conllevar un flujo de diseño diferente al habitualmente utilizado. El flujo de diseño en este escenario comienza con la migración desde un sistema integrado a uno discreto dentro de la misma tecnología para posteriormente pasar a utilizar componentes de la nueva tecnología elegida. Este último paso es crucial para verificar que el comportamiento de la topología bajo estudio es similar al original, ya que suelen aparecer nuevos compromisos de diseño.

Este proceso previo queda descrito en el ANEXO IV. En dicho anexo se presenta una topología habitualmente utilizada en circuitos integrados CMOS, pero diseñada con elementos discretos. La concordancia entre resultados teóricos y experimentales de dicha estructura permite concluir que el comportamiento del bloque se sigue manteniendo y que podría ser apto para una migración tecnológica discreta. En la sección 4.3 se abordará este punto en profundidad.

### 4.3. Ecualizador BJT active shunt peaking

Tal y como se ha expuesto en la sección anterior, los transistores discretos MOSFET comerciales para nuestra aplicación no presentan las prestaciones necesarias, por lo que vamos a presentar como alternativa una migración de la topología *active shunt peaking* en tecnología FET (ANEXO IV) a bipolar.

#### 4.3.1. Diseño del ecualizador BJT *active shunt peaking*

Para ello se usará la misma metodología desarrollada en el ANEXO IV comenzando con el estudio del comportamiento teórico de la estructura ecualizadora con transistores bipolares. La estructura propuesta es la mostrada en la Fig. 24 (a).

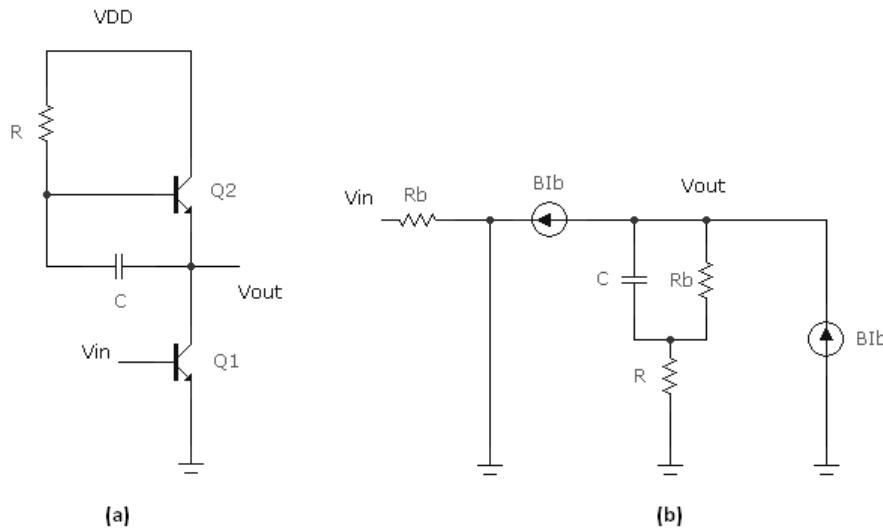


Fig. 24 (a) Arquitectura EQ-CT active shunt peaking BJT (b) Circuito equivalente para pequeña señal

El modelo equivalente en AC para pequeña señal, es el mostrado en la Fig. 24 (b), aplicando la teoría de análisis lineal, la función de transferencia que describe el bloque es la presentada en la ecuación (19):

$$\frac{V_o}{V_i} = \frac{-\beta (R + R_b)}{R_{IN} (\beta + 1)} \frac{\frac{R * R_b * C}{R + R_b} s + 1}{\frac{R_b * C}{\beta + 1} s + 1} \quad (19)$$

$$\text{Cero: } \omega_Z = \frac{R_1 + R_b}{R_1 * R_b * C_1}$$

$$\text{Polo: } \omega_P = \frac{\beta + 1}{R_b * C_1}$$

Los motivos de elección de esta estructura básica están basados en: 1) la topología contiene únicamente 2 elementos activos y es relativamente fácil de modelar, 2) es una estructura con mínimos requerimientos en tensión de alimentación, 3) presenta un número reducido de fuentes de ruido y 4) todos los componentes son elementos de bajo coste.

En la ecuación (19) aparecen un polo y un cero. Estos dependen de los parámetros característicos del transistor  $R_b$  y  $\beta$ , y por lo tanto, se requiere un compromiso entre las condiciones de operación en zona activa y la elección de  $R$  y  $C$ .

En la ecuación (16) del análisis teórico de un ecualizador no aparece ningún polo, pero como se puede ver en la ecuación (19), en un ecualizador real aparece un polo que determina el BW del ecualizador. Este polo permite fijar el ancho de banda del bloque limitando así la contribución de ruido.

Para fijar y limitar los valores de  $I_B$ , se colocará una resistencia  $R_{IN}$  en la base del transistor Q1, esta resistencia aparecerá en la ganancia de la función de transferencia.

Esta estructura por sí misma no es suficiente para compensar las limitaciones frecuenciales del sistema PD+TIA, ecuación (15), ya que sólo posee un cero. Para introducir el segundo cero se ha seguido la misma metodología y los mismos análisis para las configuraciones de la estructura *active shunt peaking* que en el ANEXO IV. En el caso de la configuración de dos arquitecturas *active shunt peaking* en paralelo con transistores bipolares, Fig. 25, aparecen los mismos problemas y limitaciones que los presentados por los transistores MOSFET por lo que se descarta su elección.

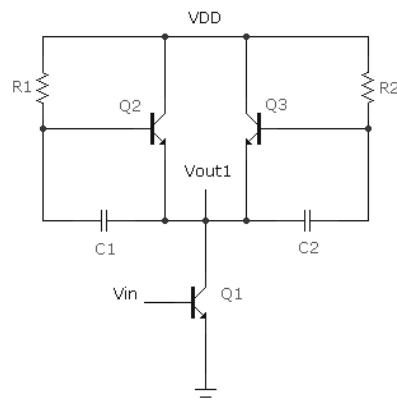


Fig. 25 Dos estructuras *active shunt peaking* en paralelo con BJT

Mediante la estructura en cascada de dos ecualizadores *active shunt peaking* con transistores bipolares, Fig. 26 (a), se consigue el objetivo deseado. Debido al uso de transistores bipolares, el análisis y los resultados son más complejos que en el caso de los MOSFET y se deben incluir algunas modificaciones al circuito.

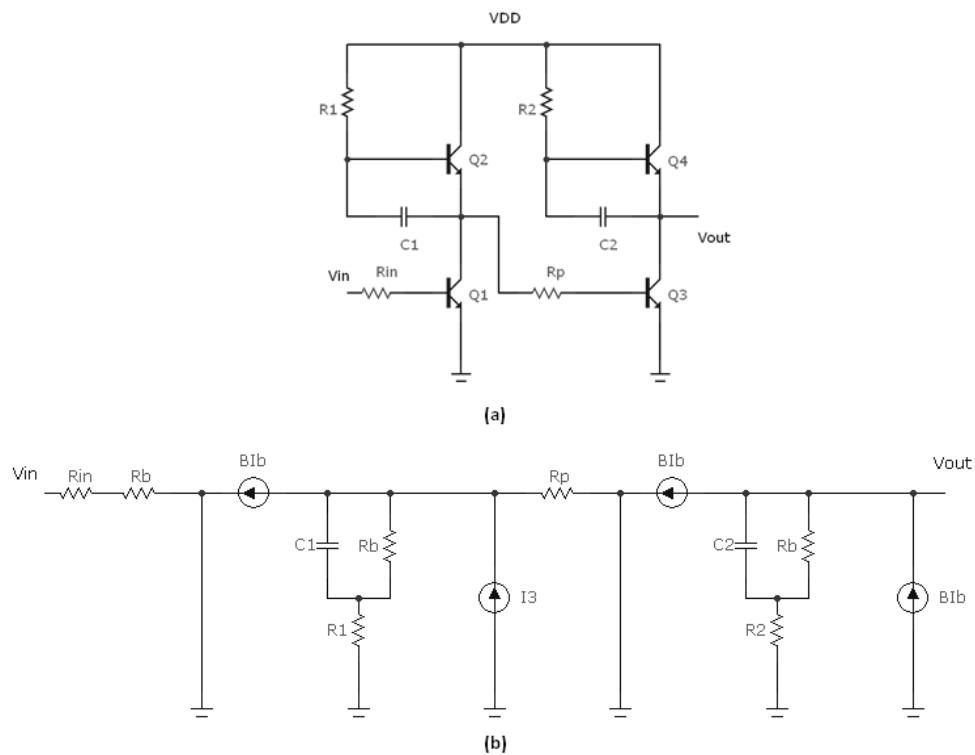


Fig. 26 (a) Dos estructuras *active shunt peaking* con BJT en cascada (b) Circuito equivalente para pequeña señal

El análisis en AC para pequeña señal, Fig. 26 (b), proporciona la siguiente función de transferencia:

$$\frac{V_o}{V_i} = \frac{\beta^2(R_1 + R_b)(R_2 + R_b)}{R_{IN}(\beta + 1)(R_1 + R_b + (R_b + R_p)(\beta + 1))} . \quad (20)$$

$$\frac{\left( \frac{R_1 * R_b * C_1}{R_1 + R_b} s + 1 \right) \left( \frac{R_2 * R_b * C_2}{R_2 + R_b} s + 1 \right)}{\left( \frac{R_b * C_2}{\beta + 1} s + 1 \right) \left( \frac{R_b * (R_1 + R_b + R_p) * C_1}{R_1 + R_b + (R_b + R_p)(\beta + 1)} s + 1 \right)}$$

$$\text{Ceros: } \omega_{Z1} = \frac{R_1 + R_b}{R_1 * R_b * C_1}, \quad \omega_{Z2} = \frac{R_2 + R_b}{R_2 * R_b * C_2}$$

$$\text{Polos: } \omega_{P1} = \frac{R_1 + R_b + (R_b + R_p)(\beta + 1)}{R_b * (R_1 + R_b + R_p) * C_1}, \quad \omega_{P2} = \frac{\beta + 1}{R_b * C_2}$$

Se obtienen dos ceros independientes mediante la adecuada elección de  $R_1$ ,  $R_2$ ,  $C_1$  y  $C_2$ . En uno de los polos aparece una dependencia con  $R_1$  y  $R_p$  por lo que se deben elegir estos valores junto al de  $C_1$  de forma que el polo esté suficientemente lejos de las frecuencias de trabajo. La ganancia del sistema se puede controlar modificando los valores de las resistencias de la estructura. Ya que  $R_1$ ,  $R_2$  y  $R_p$  están comprometidos por el valor de los polos, ceros y las condiciones de polarización, queda libre el valor de  $R_{IN}$  para establecer la ganancia que se desee.

Realizando el análisis en DC para asegurar el modo de operación en activa de los transistores, obtenemos restricciones en los grados de libertad del valor de los elementos resistivos de la primera red *active shunt peaking* al tener que ser un valor fijo la suma  $R_p + R_1$ .

Si tenemos en cuenta que una de las compensaciones frecuenciales será siempre la misma, la que impone el conjunto TIA más fotodiodo, se fijará la primera red ecualizadora de la Fig. 26 (a) para compensar este conjunto. La limitación frecuencial de la fibra se compensará con la segunda red ecualizadora.

#### 4.3.2. Implementación del ecualizador BJT *active shunt peaking*

Una vez elegida la estructura *active shunt peaking* en cascada con transistores bipolares se abordará un proceso de simulación eléctrica y posterior fabricación de prototipo utilizando transistores discretos sencillos ampliamente conocidos. El objetivo de este prototipo será la verificación de su correcto comportamiento frecuencial (a bajas frecuencias) como paso previo a abordar el diseño más complejo del ecualizador de alta frecuencia.

Para ello se han realizado simulaciones utilizando los modelos de *Spice* de los componentes con el entorno de simulación *PSpice* de *Cadence* y posteriormente se ha diseñado una PCB mediante el *software* de diseño electrónico *Eagle* para comprobar experimentalmente los resultados.

Se ha elegido el transistor bipolar **2N222A** de *ST* para la implementación del ecualizador. Debido a las restricciones sobre el rango de variación de los elementos resistivos del ecualizador, se ha optado por dejar estos componentes con un valor fijo calculado previamente y variar los condensadores  $C_1$  y  $C_2$ . Es interesante contrastar que esta restricción es producto de la migración tecnológica ya que para la topología con MOSFET (ANEXO IV), suelen ser las resistencias los valores modificables de la red de compensación.

Dado que la ganancia se puede controlar mediante  $R_{IN}$ , se ha colocado un *trimmer* con el que controlar la ganancia del ecualizador para las diferentes medidas experimentales. Se han utilizado conectores SMA y las resistencias y el resto de componentes de la PCB son SMD 1206 estándar, Fig. 27. Los esquemáticos y planos se encuentran en el ANEXO V: planos.

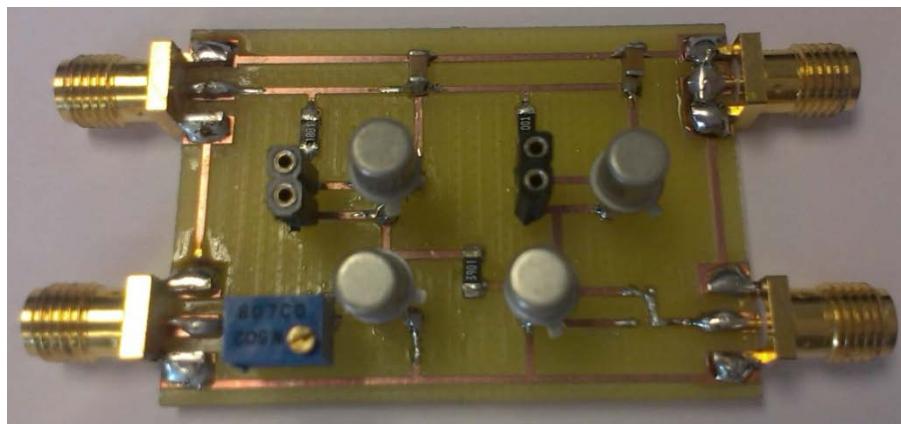


Fig. 27 Prototipo ecualizador bipolar para bajas frecuencias

Mediante los *datasheets* y la simulación, se elige la corriente de base con un compromiso entre bajo consumo y una buena respuesta frecuencial de los transistores y se fija mediante  $V_{in}$  y  $R_{in}$ . A partir de este valor de corriente por base, se calculan los valores de los elementos del ecualizador para la correcta polarización del circuito y se obtienen los valores característicos del transistor  $R_B$  y  $\beta$ . Con todos estos valores se procede al cálculo de los condensadores para fijar los ceros y los polos con los que se va a trabajar.

Para medir las respuestas frecuenciales, se ha utilizado un generador de señales capaz de trabajar hasta 30 MHz (33522A, *Agilent*) con el que se genera la señal AC de excitación del circuito más un offset para polarizar los transistores en DC.

Variando la frecuencia de esta señal se tomaron los valores de amplitud en la salida del circuito con un osciloscopio digital (MSO9404A, *Agilent*) para definir la respuesta frecuencial de los ecualizadores. Estos equipos presentan impedancias infinitas de entrada y salida en sus terminales por lo que se han podido interconectar con los ecualizadores directamente.

Con los valores de componentes mostrados en la Tabla 4, obtenemos los siguientes resultados mediante simulación (Fig. 28) y experimentales (Fig. 29) del prototipo para las dos siguientes frecuencias de ecualización:  $f_{z1} = \omega_{z1}/2\pi = 50 \text{ KHz}$  y  $f_{z2} = \omega_{z2}/2\pi = 150 \text{ KHz}$ .

## Diseño del ecualizador en tiempo continuo

PARÁMETRO	VALOR
$V_{DD}$	2 V
$R_1$	1800 $\Omega$
$R_2$	1000 $\Omega$
$R_p$	3900 $\Omega$
$C_1$	3 nF
$C_2$	12 nF

Tabla 4 Valores de los parámetros del prototipo de ecualizador *active shunt peaking* 2N2222

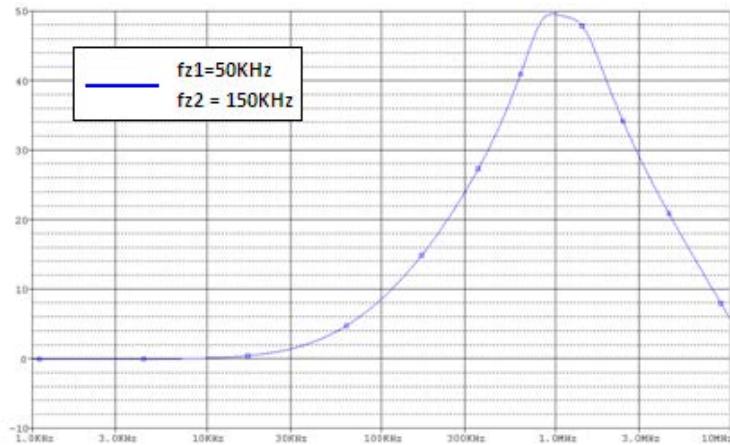


Fig. 28 Resultados simulación ecualizador *active shunt peaking* 2N2222.

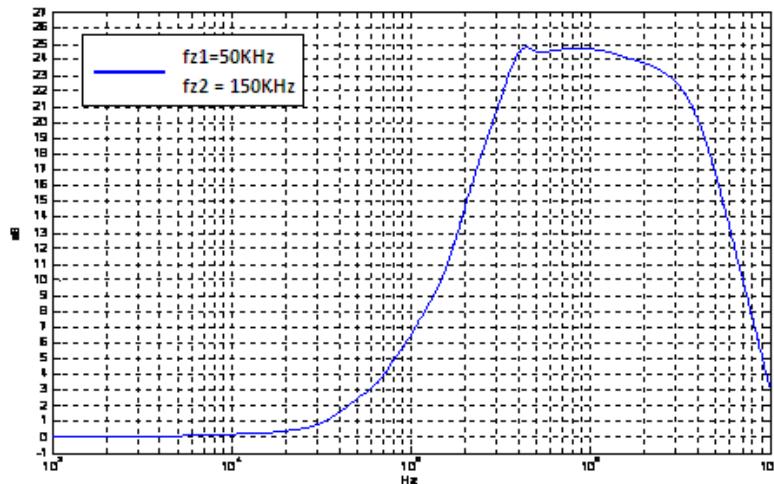


Fig. 29 Resultados experimentales ecualizador *active shunt peaking* 2N2222.

El prototipo se comporta de la forma deseada a las frecuencias calculadas para los ceros del ecualizador y coincide con las pruebas realizadas en el simulador. Si comparamos las ganancias de las figuras anteriores, se observa que en los resultados experimentales es menor. Esto es debido a que se satura a valores próximos a  $V_{DD}$ , algo que no se observa en el análisis AC del simulador debido a su aproximación lineal pero si en el análisis transitorio del simulador.

Sin embargo el ancho de banda del ecualizador no llega hasta el polo teórico del sistema ya que el pico del *boosting* cae a frecuencias más bajas. Esto es debido a limitaciones frecuenciales provenientes de efectos parásitos que se presentan en los transistores (en los que se ha usado un modelo de pequeña señal simplificado para los cálculos teóricos) y al *routing* de la PCB. La información extraída de estos resultados es valiosa de cara a hacer el prototipo final ya que parámetros como la capacidad por unidad de superficie de la PCB o el grado de modelado de los componentes activos pueden ser establecidos desde el principio.

#### 4.3.3. Implementación del ecualizador BJT *active shunt peaking* para alta frecuencia

A la hora de abordar la implementación del ecualizador final el primer paso es la elección de un transistor bipolar capaz de trabajar a frecuencias elevadas. Entre la oferta disponible en el mercado de transistores Si-BJT con esta característica se ha elegido el transistor **NE662M04** de *California Eastern Laboratories*.

El valor de la intensidad de base (y del cual dependen los parámetros característicos de los transistores, ver *datasheet* en ANEXO VI: *datasheets*) se ha elegido en función de un compromiso entre el consumo y la frecuencia de transición del transistor. La tensión de alimentación del bloque se ha fijado en un valor compatible con el utilizado para el TIA, el cual recordemos es 1.8 V.

El valor de uno de los ceros está fijado por el conjunto TIA/fotodiodo a 150MHz y el otro debe ser ajustable, debido a la variación de la limitación frecuencial introducida por la fibra óptica. Los valores de todos los componentes teniendo en cuenta estas premisas de diseño se muestran en la Tabla 5.

PARÁMETRO	VALOR
$V_{DD}$	1.8 V
$R_1$	180 $\Omega$
$R_2$	180 $\Omega$
$R_p$	330 $\Omega$
$R_b$	200 $\Omega$
$V_{in}$	0.87 V
$\beta$	70
$I_B$	100 $\mu\text{A}$
$R_{in}$	100 $\Omega$
$C_1$	3 nF
$C_2$	12 nF

Tabla 5 Valores de los parámetros del prototipo de ecualizador *active shunt peaking* BJT para alta frecuencia

Tenidos en cuenta todas estas elecciones, se ha llevado a cabo la simulación eléctrica del ecualizador con los modelos *Spice* proporcionados por el fabricante en los que se incluyen los efectos del encapsulado, por lo que a priori el comportamiento real debería ajustarse a los resultados obtenidos en simulación.

## Diseño del ecualizador en tiempo continuo

En el caso de alta frecuencia, se deben tomar consideraciones especiales para la medida de la respuesta frecuencial ya que se utilizan equipos específicos que requieren una adaptación de impedancias de  $50\ \Omega$  y un filtrado de la componente DC de las señales. Por lo tanto, antes de la fabricación del ecualizador, se debe tener en cuenta cómo se van a realizar las medidas experimentales.

En este trabajo, se va medir la respuesta frecuencial con un analizador de redes de *Rohde & Schwarz vector network analyzer ZVL6*, que posee un rango de frecuencias de 9KHz a 6GHz y un *matching* de entrada y salida de  $50\ \Omega$ .

Para adaptar el ecualizador al equipo de medida, se debe diseñar un circuito de *test*. Para la etapa de entrada hay que tener en cuenta la adaptación de impedancias a  $50\ \Omega$  y la necesidad de proporcionar un nivel en DC para polarizar los transistores del ecualizador.

Para la etapa de salida es necesario incluir un driver de desacoplo para acomodar las impedancias y reducir la influencia del sistema de test sobre los resultados finales.

Teniendo esto en cuenta, el circuito final resultante con los circuitos de *test* incluidos del ecualizador se muestra en la Fig. 30.

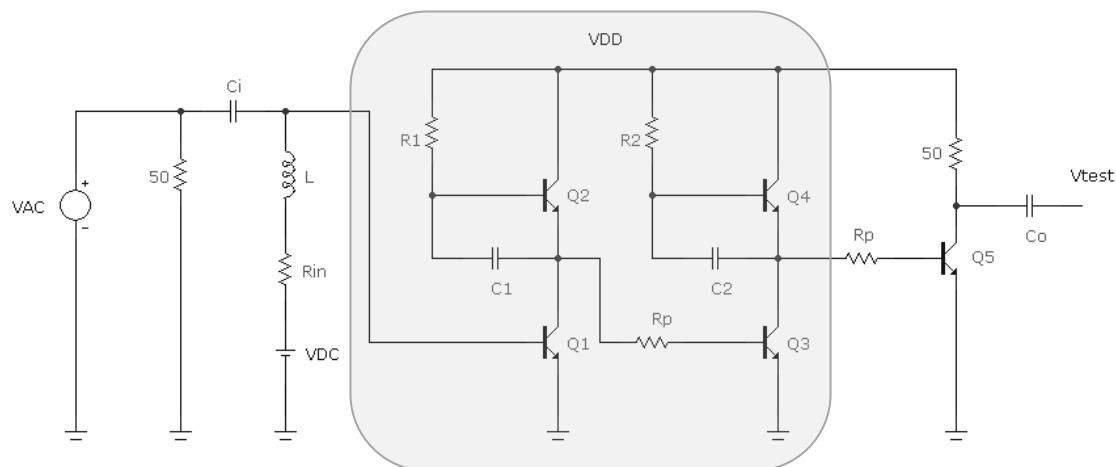
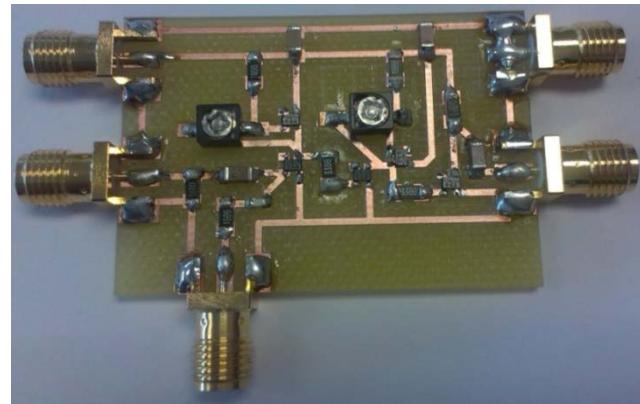


Fig. 30 Ecualizador *active shunt peaking BJT* (DUT en recuadro gris) con etapas de *test*.

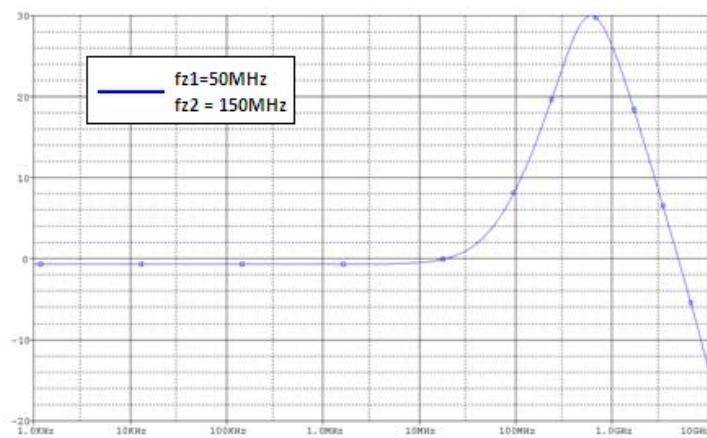
Todos los componentes de la placa, incluidos los transistores, son SMD. Para los condensadores variables se han usado unos *trimmers* SMD con un rango de variabilidad de entre 7 pF y 50 pF que permiten la fijación de los ceros en las frecuencias de trabajo.

El resto de condiciones de diseño son las mismas que las empleadas en caso de baja frecuencia. El resultado puede verse en la Fig. 31. Los esquemáticos y planos se encuentran en el ANEXO V: planos.



**Fig. 31 Prototipo ecualizador *active shunt peaking BJT* alta frecuencia**

Los resultados de la simulación han mostrado un comportamiento satisfactorio a frecuencias elevadas alcanzando valores de ancho de banda próximos al GHz, BW = 900MHz en el ejemplo de la Fig. 32.



**Fig. 32 Simulación de ecualizador *active shunt peaking BJT* para alta frecuencia.**

De los resultados experimentales, se puso de manifiesto un problema de estabilidad como se puede ver en el comportamiento oscilante de la Fig. 33. Este comportamiento indeseado tiene su origen en el lazo de realimentación positiva de la estructura ecualizadora, Fig. 24, y está relacionado con las capacidades parásitas entre terminales del transistor. Al ser estas capacidades muy pequeñas, del orden de pF, estos efectos indeseados no aparecieron cuando se llevó a cabo el estudio experimental del prototipo de baja frecuencia.



**Fig. 33 Oscilación de la estructura *active shunt peaking BJT***

Se ha probado la misma estructura con un transistor diferente, HFA3127 de *Intersil* (ANEXO VI: *datasheets*), para desechar la hipótesis de que el comportamiento inestable es debido al comportamiento particular del transistor NE662M04 obteniendo el mismo resultado indeseado del ecualizador.

Para justificar este comportamiento oscilante se realiza un análisis teórico de la estructura teniendo en cuenta las capacidades parásitas asociadas al transistor base emisor  $C_{BE}$  y base colector  $C_{BC}$ . Realizando el análisis para pequeña señal obtenemos la siguiente ecuación característica del sistema con el lazo de realimentación para una rama ecualizadora (Fig. 24 a):

$$\frac{R_B}{1 + R_B C_S} + \frac{R}{1 + R C_{BC} S} + \frac{R_o (1 + C_{BE} R_B S)}{1 + (R_o C_o + R_o C_{BC} \beta) S} \left( 1 + \frac{\beta}{1 + R_B C_S} \right) = 0 \quad (21)$$

Dónde  $R_o$  y  $C_o$  son la resistencia y capacidad que ve la estructura en su salida que en nuestro caso se corresponderán con la resistencia y capacidad de entrada vista desde la base del siguiente transistor de la estructura ecualizadora, Fig. 30.

A la hora de hallar una condición de oscilación a partir de la ecuación (21), nos encontramos con un sistema de cuarto orden en donde todos los parámetros están relacionados entre sí, por lo que no es una tarea trivial el poder identificar la condición de oscilación y controlarla mediante el cambio del valor de los componentes del circuito.

Es importante notar que la topología *active shunt peaking* CMOS integrada original es altamente estable. Pero los resultados experimentales de esta sección demuestran que el comportamiento del bloque tras la migración tecnológica a elementos discretos y bipolares conlleva unos cambios que no hacen viable tal migración.

A la vista de estos resultados, es necesario replantear la estructura ecualizadora por una que presente un comportamiento estable al trabajar en altas frecuencias.

#### **4.4. Ecualizador BJT *pasive shunt peaking***

##### **4.4.1. Diseño del ecualizador *pasive shunt peaking***

Para el diseño de la nueva estructura se ha eliminado el lazo de realimentación de los transistores para evitar una posible inestabilidad del sistema. La arquitectura usada es el resultado de unir una topología de degeneración de emisor con un filtro pasa baja [RAD05] más una topología *pasive shunt peaking* mediante la inclusión de una bobina, Fig. 34 (a).

El motivo de esta unión de estructuras ecualizadoras es la necesidad de obtener dos ceros para compensar las limitaciones frecuenciales del sistema, ecuación (17), ya que la estructura *pasive shunt peaking* presenta una función de transferencia similar a la estructura *active shunt peaking* con un solo cero.

Se va a seguir la misma metodología de diseño que en los anteriores apartados utilizando los transistores BJT para altas frecuencias directamente en la implementación del ecualizador.

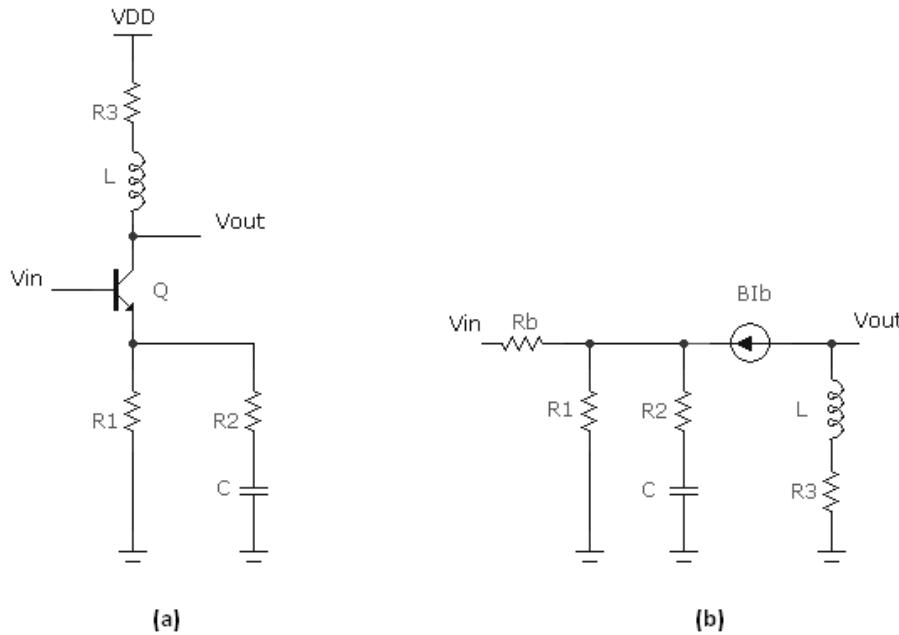


Fig. 34 (a) Arquitectura EQ-CT *pasive shunt peaking* del ecualizador (b) Circuito equivalente para pequeña señal

Se realiza el análisis AC para pequeña señal de la estructura propuesta para obtener su comportamiento en frecuencia, Fig. 34 (b). La función de transferencia resultante es la presentada en la ec. (22):

$$\frac{V_{out}}{V_{in}} = -\frac{\beta R_1}{\beta R_2 + R_b} \frac{\left(1 + \frac{L}{R_1}s\right)(1 + (R_2 + R_3)Cs)}{1 + \frac{\beta R_2 R_3 + R_b R_2 + R_b R_3}{\beta R_2 + R_3} Cs} \quad (22)$$

donde:

$$\omega_{z1} = \frac{R_1}{L}, \quad \omega_{z2} = \frac{1}{(R_2 + R_3)C} \quad (23)$$

$$\omega_p = \frac{\beta R_2 + R_3}{(\beta R_2 R_3 + R_b R_2 + R_b R_3)C} \quad (24)$$

Como se observa en la ecuación anterior, la función de transferencia del ecualizador incluye los dos ceros buscados. El valor de estos ceros depende de la red de elementos pasivos del ecualizador por lo que su posición en el dominio frecuencial se calculará tomando valores de manera adecuada de las resistencias, el condensador y la bobina.

En cuanto al polo del sistema, fijará el ancho de banda del ecualizador por lo que se debe situar en una frecuencia coherente con el *bitrate* y contribuciones de ruido que se pretenden alcanzar. Para ello, teniendo en cuenta el valor del parámetro característico  $\beta$  del transistor, se debe hacer una buena elección de los valores de los componentes que aparecen en la ecuación de  $\omega_p$  sin comprometer el valor de  $\omega_{z2}$ .

Por otro lado, en la ganancia del sistema aparecen los parámetros característicos del transistor  $\beta$  y  $R_b$ , pero se puede fijar mediante la elección de los valores de  $R_1$  y  $R_2$ . Por todo esto, es necesario un compromiso en la elección de los valores de componentes a la hora de calcular los parámetros frecuenciales y la ganancia del ecualizador.

#### 4.4.2. Implementación del ecualizador BJT *pasive shunt peaking*

El transistor utilizado es el mismo que el utilizado en la estructura *active shunt peaking*, el transistor **NE662M04** de *California Eastern Laboratories*.

Para fijar el valor de la intensidad de base por los transistores se utiliza una resistencia ( $R$ ) entre  $V_{DD}$  y  $V_{in}$ . Para la elección de  $I_B$ , ya que la estructura lo permite, se polariza el transistor para que presente un consumo muy bajo, obteniendo una intensidad ( $I_C$ ) igual a 1 mA.

Para controlar el cero variable y el polo se ha optado por un condensador variable ya que las resistencias afectan a la ganancia del sistema. La ganancia depende de los elementos resitivos del circuito así como de los parámetros del transistor  $R_B$  y  $\beta$ , ecuación (22).

Puesto que la ganancia sólo es controlable mediante los valores  $R_1$ ,  $R_2$  y estas resistencias aparecen en las ecuaciones de los ceros y el polo, hay que realizar una elección conjunta de todos los componentes adecuada para cumplir con todos los objetivos de diseño. Todas estas decisiones se reflejan en los valores de la Tabla 6.

PARÁMETRO	VALOR
$V_{DD}$	1 V
$R$	7.5 k $\Omega$
$R_1$	100 $\Omega$
$R_2$	100 $\Omega$
$R_3$	5 $\Omega$
$R_p$	500 $\Omega$
$L$	100 nH
$\beta$	70
$I_B$	20 $\mu$ A

Tabla 6 Valores de los parámetros del prototipo de ecualizador *pasive shunt peaking* BJT alta frecuencia

Como se ha explicado en el punto 4.3.3, es necesario añadir circuitos de *test* para realizar las medidas experimentales del ecualizador, el circuito final resultante con las etapas de *test* incluidas se muestra en la Fig. 35:

## Diseño del ecualizador en tiempo continuo

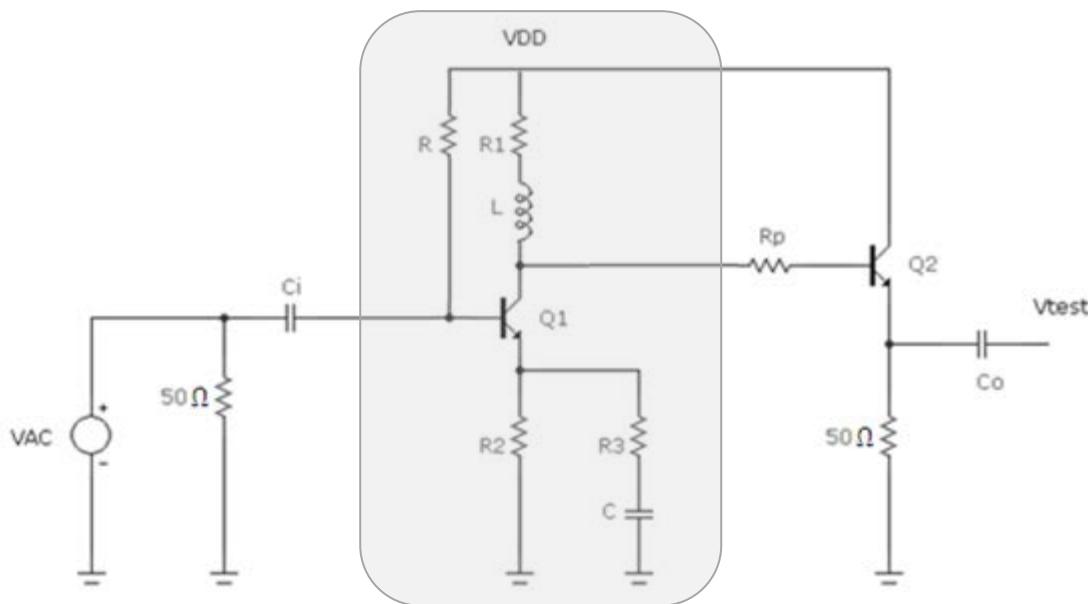


Fig. 35 Circuito del ecualizador *pasive shunt peaking BJT* (DUT en recuadro gris) con etapas de test

Todos los componentes de la placa, incluidos los transistores, son SMD. Para los condensadores variables se ha usado un *trimmer* SMD con un rango de variable de entre 7pF y 50pF. Los componentes pasivos son de encapsulado 0603 con el objetivo de reducir al máximo las posibles capacidades parásitas que afecten al comportamiento del ecualizador al trabajar en altas frecuencias

El resultado puede verse en la Fig. 36. Los esquemáticos y planos se encuentran en el ANEXO V: planos.



Fig. 36 Prototipo del ecualizador *pasive shunt peaking BJT*

Los resultados de la simulación para diferentes valores de C son satisfactorios alcanzando valores de ancho de banda elevados, BW = 800MHz en el ejemplo de la Fig. 37.

## Diseño del ecualizador en tiempo continuo

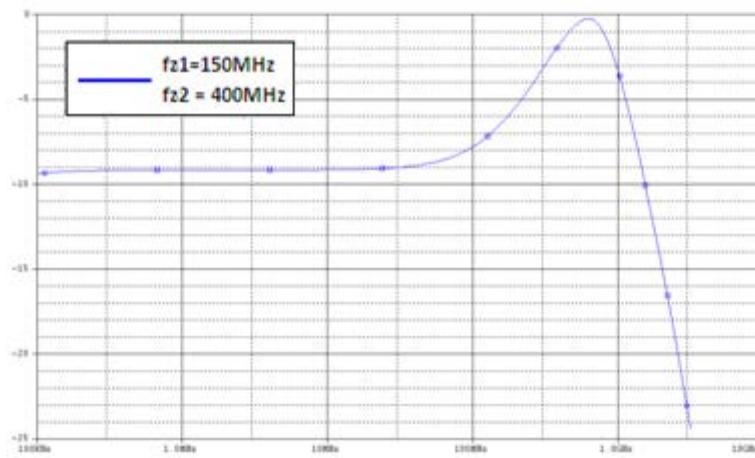


Fig. 37 Simulación del ecualizador *pasive shunt peaking BJT*

Se ha utilizado el *setup* de medida de la Fig. 38 para obtener la caracterización frecuencial experimental del ecualizador.

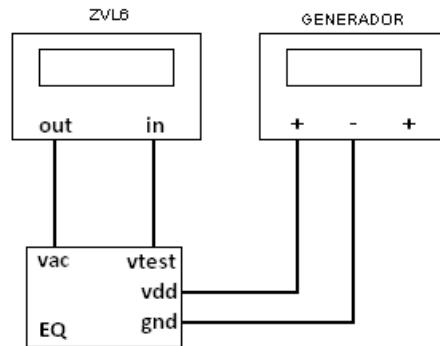


Fig. 38 Setup de medida del ecualizador *pasive shunt peaking BJT*

En la Fig. 39 se presenta el resultado experimental del comportamiento frecuencial del ecualizador con las mismas condiciones de diseño que en la Fig. 37.

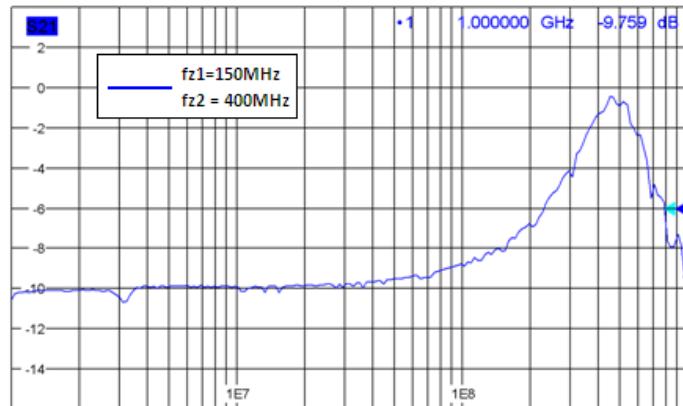


Fig. 39 Resultados experimentales del ecualizador *pasive shunt peaking BJT*

## Diseño del ecualizador en tiempo continuo

Los resultados anteriores reflejan el correcto funcionamiento del ecualizador en las frecuencias calculadas. En cuanto al BW, al igual que en los anteriores casos, es menor que el obtenido en simulación y que el calculado de forma teórica. Experimentalmente el sistema exhibe un ancho de banda de aproximadamente 500MHz. Esto es debido a que el impacto frecuencial introducido por la PCB, los elementos pasivos y los encapsulados de los transistores, era superior al estimado inicialmente.

Para obtener la caracterización experimental del conjunto del ecualizador más el prototipo TIA+PD, se utiliza el *setup* de medida descrito en la Fig. 40, en la Fig. 41 aparece este *setup* montado en el laboratorio.

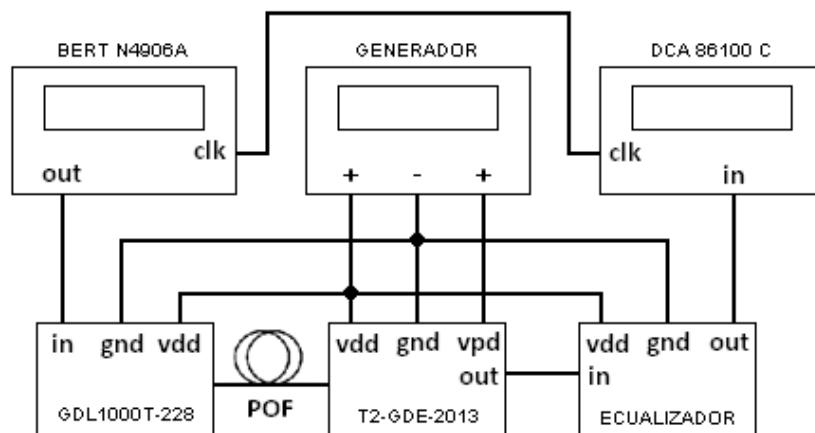


Fig. 40 *Setup* de medida del prototipo T2-GDE-2013 más ecualizador *pasive shunt peaking BJT*

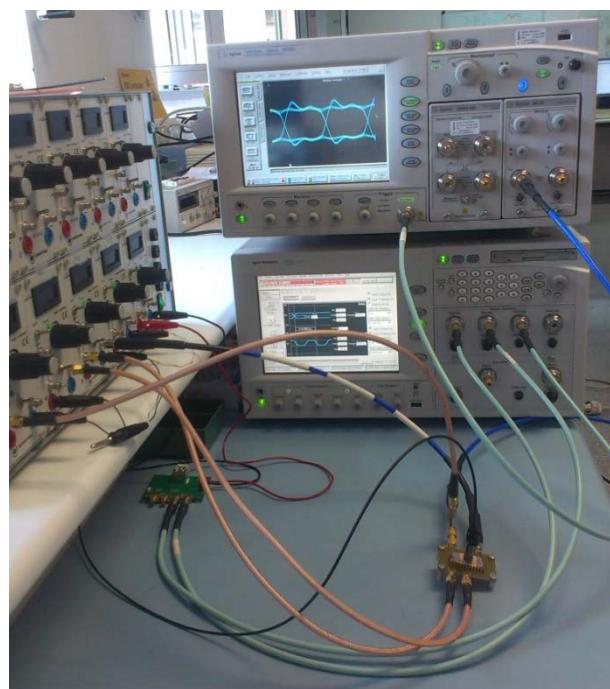


Fig. 41 *Setup* de medida en el laboratorio del prototipo T2-GDE-2013 más ecualizador *pasive shunt peaking BJT*

En la Tabla 7 se compara la respuesta del sistema con y sin el ecualizador, con la misma longitud de fibra (1 m) y para diferentes *bitrates* ( $\text{PRBS} = 2^{31}-1$ ). Se puede apreciar la notable mejora del BW introducida por el ecualizador obteniendo a unos diagramas de ojo con aperturas que van desde los 15 mV hasta los 8 mV con un jitter siempre inferior a 75 ps.

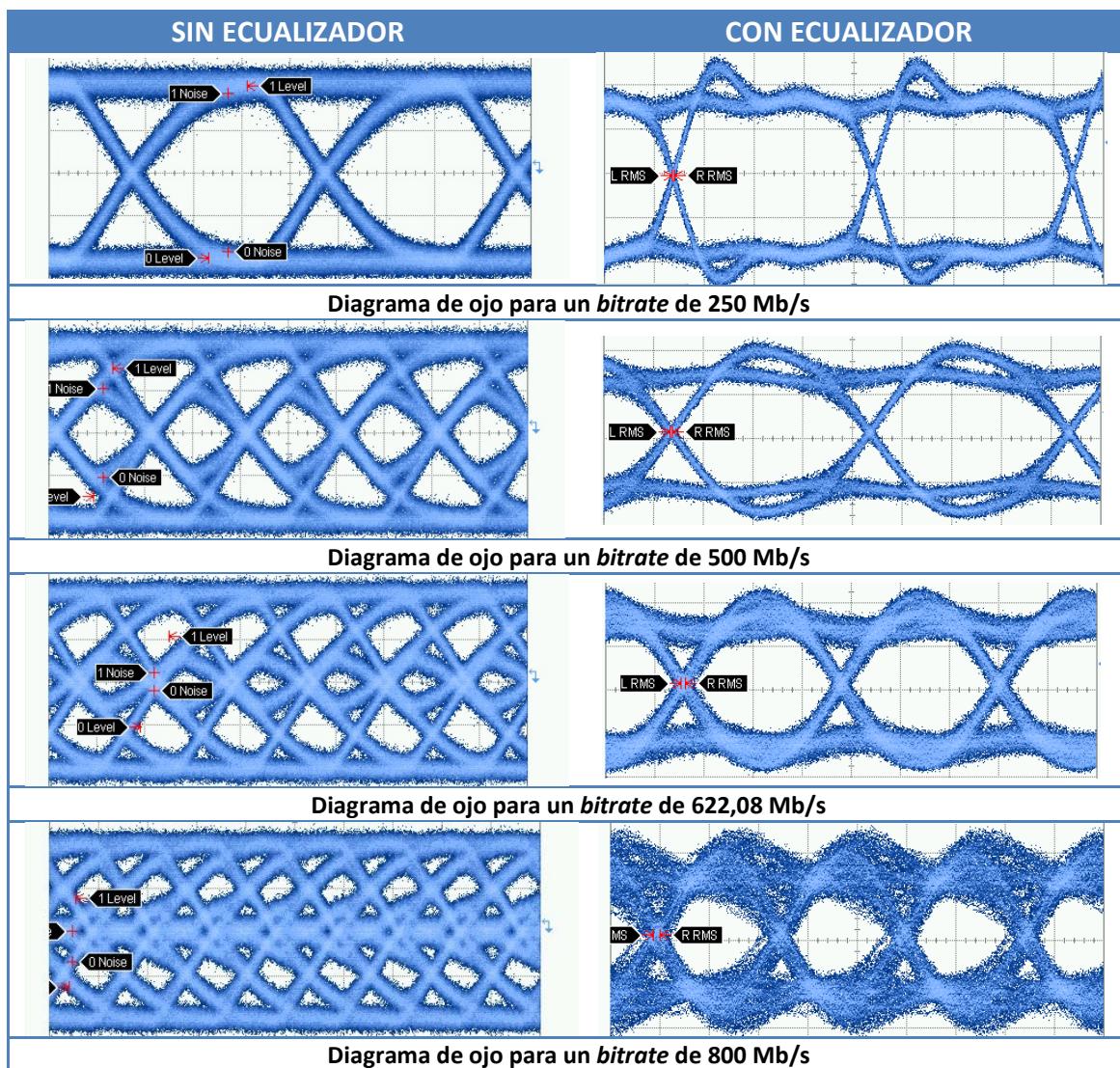


Tabla 7 Comparativa de diagramas de ojo del sistema con y sin ecualizador

Por último, para conocer el *bitrate* máximo con el que podemos trabajar con nuestro sistema de comunicaciones ópticas ecualizado, usaremos el indicador BER (ANEXO I: diagramas de ojos), que es el ratio de nos da información sobre el número de *bits* incorrectamente recibidos.

En la literatura [SÄC05], se suele indicar que el máximo valor de BER admitido es de  $10^{-12}$ , tomando este valor como referencia nuestro sistema es capaz de trabajar con *bitrates* de hasta 800 Mbps.

Como prueba final que verifique el correcto funcionamiento del ecualizador de forma adaptable, se toman medidas experimentales para diferentes longitudes de fibra adaptando el cero variable del ecualizador a la limitación frecuencial de cada POF probada. Para ello, se han tomado medidas con fibras (Mitsubishi GH, ANEXO VI: *datasheets*) de longitudes de 10, 20 y 30 metros respectivamente que se presentan en la Tabla 8.

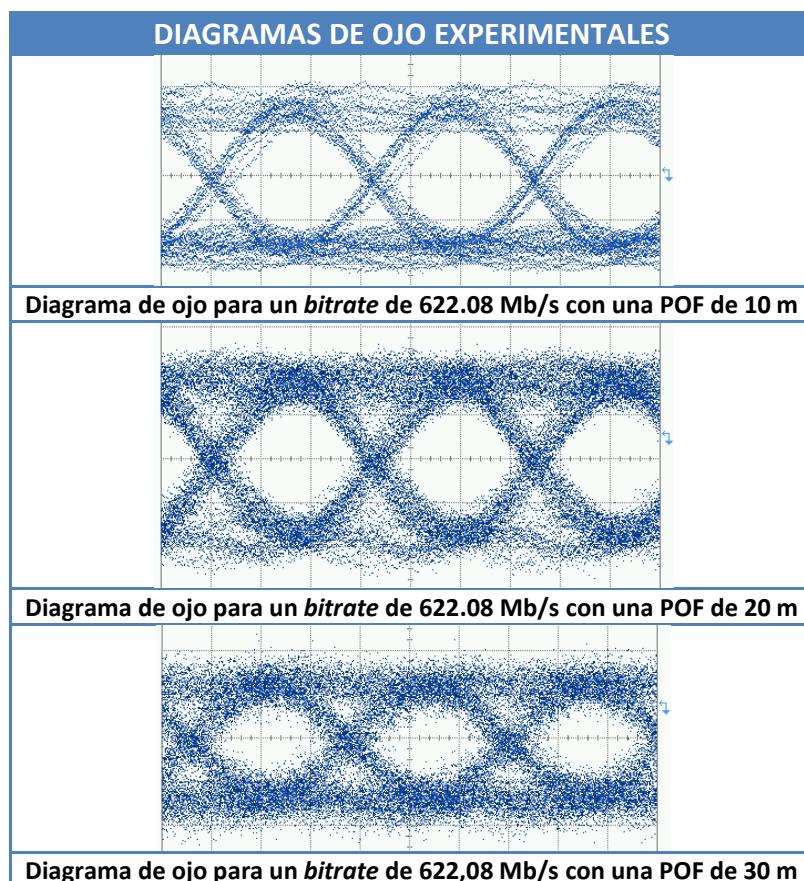


Tabla 8 Diagramas de ojo experimentales del conjunto TIA+PD ecualizado para diferentes longitudes de POF

Los resultados reflejan la variabilidad del cero que permite compensar las pérdidas en la fibra, obteniéndose unos valores de apertura del diagrama de ojo en el peor de los casos (30 m) de 5 mV con un jitter de 375 ps.

Se puede apreciar que, a pesar del incremento en la longitud de la fibra, las características de los diagramas de ojos se mantienen (anchura del ojo y tiempos de subida/bajada). Por contra, la señal ve incrementado su SNR ya que su amplitud disminuye debido a que el pulso de luz que atraviesa la POF sufre una distorsión y atenuación mayor cuanto más larga sea la fibra.

## 5. Conclusiones

### 5.1. Conclusiones generales

En este TFM, se ha realizado un estudio, análisis, simulación, implementación y caracterización de un sistema de comunicaciones óptico de banda ancha para POF. El objetivo del trabajo ha sido la realización de un ecualizador con componentes discretos adaptativo que compense las limitaciones frecuenciales que puede sufrir el sistema.

Se ha realizado el estudio de todos los bloques que componen el sistema, se ha abordado el proceso de fabricación y posterior caracterización experimental del bloque TIA más fotodiodo y se ha llevado a cabo el diseño electrónico de un ecualizador adaptativo mediante estudios teóricos y resultados obtenidos mediante simulación eléctrica. Para ello, se han aplicado los objetivos de bajo coste (inherente en los sistemas basados en POFs), bajo consumo y un compromiso entre ganancia, ruido y ancho de banda.

Se han realizado PCBs para los prototipos siguiendo las consideraciones de diseño más adecuadas en cada caso, se han descrito los *setup* de medida necesarios para la caracterización de cada bloque y se han presentado los resultados obtenidos. Como conclusión se tiene que el prototipo final de ecualizador realiza su cometido de forma correcta y eficiente cumpliendo con los objetivos marcados antes de su diseño.

Los resultados finales obtenidos del sistema de comunicaciones óptico completo utilizando POF, permiten la ecualización de las dos limitaciones frecuenciales, 150 MHz fijos del conjunto TIA+PD y ecualización adaptativa de la limitación de la fibra de varias longitudes. Por lo tanto, el ecualizador realiza su función cumpliendo además los objetivos de bajo coste (precio del ecualizador con los costes unitarios de cada componente: 4,10 €), bajo consumo (2,3 mW incluido el *driver* de salida) y un *bitrate* máximo de operación del sistema de comunicaciones óptico de 800 Mbps.

A la hora de estudiar la posible migración de la topología final discreta desarrollada para el ecualizador se debe elegir la tecnología de fabricación. Al tratarse de una estructura con transistores bipolares, no se podría usar una tecnología CMOS de 0.18 µm, en cambio se podría trabajar con una tecnología BiCMOS de 0.25 µm que cumple con requisitos de bajo coste.

### 5.2. Líneas futuras

En este TFM se ha desarrollado una etapa ecualizadora con componentes discretos que puede compensar las limitaciones frecuenciales de la POF de forma adaptativa y de los primeros bloques del *front-end* analógico (TIA+PD). Este trabajo abre las siguientes líneas futuras de investigación:

- Una vez demostrado el correcto funcionamiento del ecualizador adaptativo para compensar la limitación frecuencial variable introducida por la POF, un reto que se plantea es el de realizar un sistema electrónico que implemente un lazo de realimentación que permita adaptar el sistema automáticamente para compensar la limitación frecuencial introducida por la longitud y características de la fibra.
- Estudio del uso del ecualizador desarrollado en el emisor (pre-énfasis). Con este cambio de la ubicación del ecualizador se perdería la adaptabilidad de la estructura pero se enfatizarían las componentes de alta frecuencia realizando un *boosting* sobre ellas minimizando así el efecto de atenuación que se produce en la fibra.
- Realizar un proceso de migración de la topología discreta a una integración monolítica utilizando una tecnología BiCMOS de 0.25  $\mu\text{m}$ . Con ello se perseguiría minimizar más los costes y aumentar la frecuencia de operación del sistema.

## 6. Referencias

- [ANA04] B. Analui and A. Hajimiri, “*Bandwidth Enhancement for Transimpedance Amplifiers*”, IEEE Journal of Solid-State Circuits, Vol. 39, No.8 , August 2004.
- [ANT10] A. Antonino, D. Zeolla and R. Gaudino, “*Bidirectional gigabit transmission over a single SI-POF for home networking*”, in Proc. of Future Network &MobileSummit Conference, June 2010
- [ARA10] L. A. Araque, “Comunicaciones con Fibra Óptica, Fibra Monomodo”, <http://conocimientosdwdmtechnology.blogspot.com.es/2010/06/comunicaciones-con-fibra-optica-fibra.html>, June 2010.
- [AZN13] F. Aznar, S. Celma and B. Calvo, “*CMOS Reciever front-ends for Gigabits short-range optical communications*”, Springer, 2013.
- [BAN08] S. Bandyopadhyay, S. E. Ralph, P. Mandal and D. Pedrotti, “*Integrated TIA-equalizer for high speed optical link*”, 21st International Conference on VLSI Design, VLSID, pp. 208-213, February 2008.
- [BRE05] G. Breed, “*Analyzing Signals Using the Eye Diagram, High Frequency electronics*”, [http://www.hightfrequencyelectronics.com/Archives/Nov05/HFE1105\\_Tutorial.pdf](http://www.hightfrequencyelectronics.com/Archives/Nov05/HFE1105_Tutorial.pdf), Nov. 2005.
- [DON10] Y. Dong and K. Martin, “*Analog front-end for a 3 Gb/s POF receiver*”, Proceedings of 2010 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 197-200, August 2010.
- [GAR08] J. I. Garcés and J. Mateo, “Apuntes Comunicaciones Ópticas”, Universidad de Zaragoza, <http://diec.unizar.es/asignaturas>, 2008.
- [GDP10] J. M. García del Pozo, W.A. Serdijn, A. Otín and S. Celma, “*2.5 Gb/s CMOS preamplifier for low-cost fiber-optic receivers*”, Analog Integrated Circuits and Signal Processing, An International Journal, August, 2010.
- [GDP13] J. M. García del Pozo, S. Celma, C. Gimeno and A. Camón, “*Design and Experimental Verification of Low Cost POF Transimpedance Amplifiers*”, IET Optoelectronics, September, 2013.
- [GIM11] C. Gimeno, C. Aldea, S. Celma and F. Aznar, “*A Cost-Effective 1.25-Gb/s CMOS Receiver for 50-m Large-Core SI-POF Links*”, IEEE Photonics Technology Letters, 24, 486-487, 2011.
- [GIM13a] C. Gimeno, C. Aldea, S. Celma and F. Aznar, “*Multigigabit Analog Equalizers for Plastic Optical Fibers*”, Microelectronics Journal, DOI:10.1016/j.mejo.2013.01.005, 2013.
- [GIM13b] C. Gimeno, C. Sanchez-Azqueta, E. Guerrero, C. Aldea, and S. Celma, “*A 1-V 1.25-Gbps CMOS Analog Front-end for Short Reach Optical Links*” Proceedings of the 39rd European Solid-State Circuits Conference (ESSCIRC13), pp.339-342, 2013.
- [ING04] M. Ingels, M. Steyaert, “*Integrated CMOS Circuits for Optical Communications*”, Advanced Microelectronics, Springer, 2004.
- [KOO11] A.M.J. Koonen, et.al, “*A Look into the Future of In-Building Networks: Radmapping the Fiber Invasion*”, in Proc. 20th Intern. Conf. Plastic Optical Fibers (POF 2011), pp. 41-46, September 2011.
- [LU01] Chao-Hsin Lu, Wei-Zen Chen, “*Bandwidth Enhancement Techniques for Transimpedance Amplifier in CMOS Technologies*”, ESSCIRC2001, Villach, Austria, pp. 192-195, Sep.2001.
- [MAX03] Maxim Integrated Products, “*Designing a Simple, Small, Wide-band and Low-power Equalizer for FR4 Copper Links*”, DesignCon, 2003.

## Referencias

---

- [OSH98] K.T. Oshiro, G.T. Uehara, A.K. Oki, B. Tang, “A 10-Gbps 83 mWGaAs HBT Equalizer/Detector for Coaxial Cable Channels”, IEEE 1998 Custom Integrated circuits Conference, pp. 347-350.
- [RAD05] S. Radovanovic, Anne-Johan Annema, Bram Nauta, “A 3-Gb/s Optical Detector in Standard CMOS for 850-nm Optical Communication”, IEE Journal of Solid-State Circuits, vol. 40, no. 8. pp. 1706-1717. August 2005.
- [RAZ03] B. Razavi, “Design of Integrated Circuits for Optical Communications”, McGraw-Hill, 2003.
- [SAN07] M.T. Sanz, J.M. García del Pozo, S. Celma and A.Sarmiento, “Constant-bandwidth adaptive transimpedance amplifier”, Electronics letters, Vol.43 no. 25. December 2007
- [SAN13] C. Sánchez-Azqueta, C. Gimeno, E. Guerrero, C. Aldea, and S. Celma, “A Low-Power CMOS Receiver for 1.25-Gb/s over 1-mm SI-POF Links”, IEEE Transactions on Industrial Electronics (Forthcoming).
- [SÄC05] E. Säckinger, “Broadband Circuits for Optical Fiber Communication”, Wiley-Interscience, 2005.
- [ZIE08] O. Ziemann, J. Kranser, P. E. Zamzow, W. Daum, “POF handbook optical short range transmission systems”, Springer, 2008.

## ANEXO I: diagramas de ojos

Un diagrama de ojos es una representación gráfica intuitiva para señales de comunicación óptica o eléctrica. La calidad de estas señales se puede juzgar a partir de un diagrama de ojo analizando la interferencia intersímbolo (ISI), el ruido (SNR) y el *jitter*.

En nuestro caso nos permite analizar las formas de onda (niveles en 1 y 0 de los *bits* y sus transiciones) que se propagan mediante un canal de comunicaciones ópticas en la salida de los diferentes bloques del receptor (TIA y EQ).

Un diagrama de ojo es un gráfico que muestra la superposición de las distintas combinaciones posibles de unos y ceros en un rango de tiempo o cantidad de *bits* determinados. Dichas combinaciones permiten obtener las características de los pulsos que se propagan por el medio de comunicación.

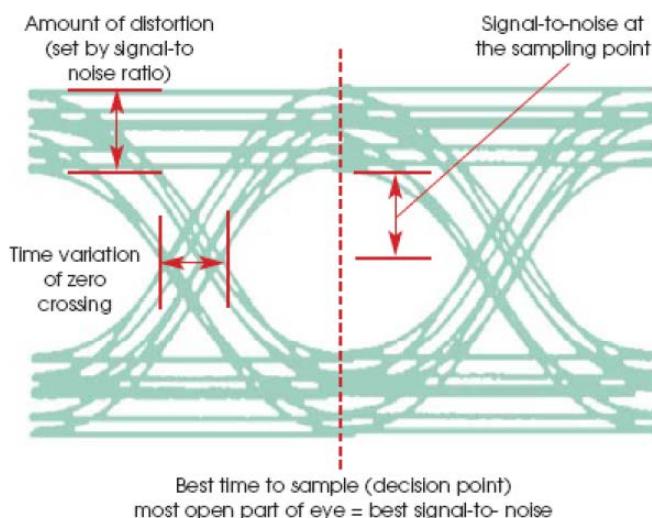


Fig. 42 Información básica de un diagrama de ojo [BRE05]

Las principales magnitudes que se pueden medir e identificar en un diagrama de ojos son las siguientes:

**ISI:** Es un fenómeno por el cual se distorsiona la señal (ensanchamientos temporales y solapamiento de *bits* consecutivos), se debe a la limitación del ancho de banda asociado al sistema, las señales en alta frecuencia se atenúan y producen un ensanchamiento del pulso, por lo tanto, cuanto mayor es la frecuencia de trabajo mayor es el efecto del ISI.

Midiendo la altura del ojo podemos obtener información sobre la atenuación de la señal y mediante la anchura tenemos información de la dispersión de la señal.

**Signal to noise ratio (SNR):** Esta magnitud define el ruido que se ha introducido en el sistema por diferentes motivos (efectos del canal, ruido térmico, etc.) y determina la relación entre la amplitud de la señal y el nivel de ruido.

## ANEXOS

---

El ruido intrínseco fundamental que nos vamos a encontrar en la señal es de dos tipos:

- *Flicker*. Bajo a altas frecuencias, por lo que va a contribuir poco en nuestro caso.
- Térmico.

**Jitter:** Este efecto indeseado mide las desviaciones temporales de los flancos (de subida y bajada) con respecto al caso ideal. Este fenómeno se puede dar por diferentes causas como pueden ser la reflexión del canal, efectos del ISI, variación de temperatura o ruido.

En el diagrama de ojos afecta a la anchura máxima del ojo reduciéndola cuanto más efecto *jitter* se produzca en el sistema.

**Bit error rate (BER):** Todos los efectos que se han descrito hasta ahora afectan a la calidad de la señal haciendo que parte de la información enviada por el receptor se pierda en el proceso de recepción del *front-end*.

Estas pérdidas se miden mediante la tasa de error de *bits* (BER) que da información del número de bits incorrectamente recibidos, con respecto al total de *bits* enviados durante un intervalo especificado de tiempo. Por lo general, a mayor tamaño de ojo en el diagrama mejor será el BER.

## ANEXO II: MATLAB

### FUNCIÓN eyediagr

```
%*****%
%          Función para la visualización de diagramas de ojo          %
%          Diego Pérez Sanz                                         %
%          Grupo de Diseño Electrónico                            %
%          Universidad de Zaragoza                                %
%*****%
```

```
function[ ]=eyediagr(t, x, T)

s =size(t);
n =0;

for i=1:s(1,1)

if(t(i,1)>= n*T && t(i,1)<(n+1)*T)

results(i,1)= t(i,1)- n*T;
results(i,2)= x(i,1);

end

if(t(i,1)>(n+1)*T)

    n = n +1;
results(i,1)= t(i,1)- n*T;
results(i,2)= x(i,1);

end

end
```

## ANEXO III: TIA

### Design and Experimental Verification of Low Cost POF Transimpedance Amplifiers

Jose María García del Pozo<sup>a,b</sup>, Santiago Celma<sup>a</sup>, Cecilia Gimeno<sup>a</sup>, Agustín Camón<sup>c</sup>

<sup>a</sup> Group of Electronic Design (GDE-I3A); <sup>b</sup> Servicio General de Apoyo a la Investigación-SAI;

<sup>c</sup> Instituto de Ciencias de Materiales de Aragón and Departamento de Física de la Materia Condensada  
(Universidad de Zaragoza -CSIC)

Facultad de Ciencias - C/ Pedro Cerbuna 12, CP.50009, University of Zaragoza, Zaragoza – Spain.

E-mails: {chgarcia, scelma, cegimeno, acamon}@unizar.es

#### ABSTRACT

This work introduces a low-cost transimpedance amplifier suitable for plastic optical fiber (POF) front-ends. The proposed transimpedance amplifier is designed with some novel principles and fabricated in a low-cost 180-nm CMOS technology. The power consumption is 24 mW supplying the block with 1.8 V. An electrical test allows characterizing the block under ideal conditions reaching 1 GHz bandwidth and low noise levels. An optical measurement setup is also presented, allowing checking the block performance in a controlled test ambient. This optical setup allows validating the novel design criteria as well as obtaining valuable information for future works.

**Keywords:** Transimpedance amplifier, plastic optical fiber, analog front-end, optical test setup.

#### INTRODUCTION

For short distance optical communication systems the use of plastic optical fibers (POFs) as transmission media are preferable to other materials such as glass fibers or cooper wires. The reason is that the cost-performance trade-off becomes much better. It is important to remark that low cost is mandatory in consumer electronics [1].

From an electrical point of view the problem is not technological as processes with transition frequencies beyond 300 GHz are already on the market, thus covering the supported POF performance [2]. The task is precisely to design the required blocks by using the cheapest available technology. All this implies reviewing the design strategies and find an appropriated design-technology combination.

This issue becomes especially critical in the optical receiver preamplifier, also called transimpedance amplifier (TIA), where all limitations introduced by POFs and light-electrical conversion devices must be minimized. The signal quality at the output of the TIA should be good enough for the later binarization by the postamplifier. As Figure 1 depicts, this binarization is carried out by two different blocks: the equalizer, which produces a spectral regeneration of the bit stream, and the limiting amplifier (LA), which provides a digital level output signal [3].

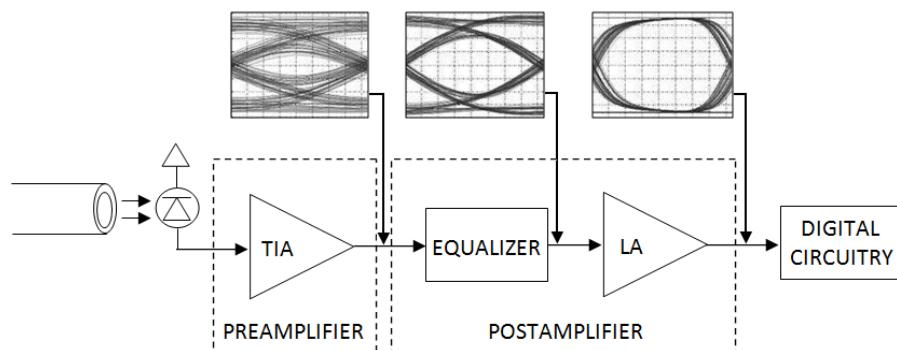


Figure 1. General view of an optical receiver front-end architecture.

Given this architecture, there is a group of conventionally accepted design rules which sets the required performance for each block [4, 5]. These design principles are summarized in three main points:

- (1) The TIA bandwidth (BW) must equal 0.7 times the data rate  $R_B$  as a compromise between inter-symbol interference (ISI) and thermal noise. It must also achieve output signal levels of around 10 mV.
- (2) The equalizer compensates the fiber/photodiode frequency limitations, and a gain-boosting peak below 10 dB at the bit rate is necessary to minimize noise.
- (3) The LA bandwidth must equal the data rate for minimum frequency impact. It must also provide high gain to achieve digital signal levels at the output.

Theoretically, these conditions allow reaching the best receiver trade-off considering gain, noise and bandwidth, or equivalently, the best compromise between speed data transmission and bit error ratio (BER). However, in practice, several problems crop up. This issue is addressed in the following section.

### ARCHITECTURE: DESIGN PRINCIPLES

Consider the architecture shown in Figure 1 and the normalized transfer functions  $H_F(s)$ ,  $T_R(s)$ ,  $H_{EQ}(s)$ , and  $H_{LA}(s)$ , modeling the frequency response of the fiber, the TIA, the equalizer and the LA, respectively. The resulting transfer function,  $H_T(s)$ , of all these terms equals

$$H_T(s) = H_F(s) \cdot T_R(s) \cdot H_{EQ}(s) \cdot H_{LA}(s) \quad (1)$$

From the previous section, it is known that the LA bandwidth must be designed to be 1.25 GHz in such a way that the equalizer must compensate the frequency decay introduced by the optical branch and the PD/TIA couple. This means

$$H_{EQ}(s) = [H_F(s)]^{-1} \cdot [T_R(s)]^{-1} \quad (2)$$

The problem arises when realistic frequency models of the fiber and the TIA must be considered. In this case, the transfer functions of  $H_F(s)$  and  $T_R(s)$  exhibit several frequency terms:

$$H_F(s) = \prod_{i=1}^n \left[ \frac{s}{s_i} + 1 \right]^{-\alpha} \quad 0 \leq \alpha \leq 1 \quad s_i \in R \quad (3)$$

$$T_R(s) = T_O \left( \prod_{i=1}^n \left[ \frac{s}{s_i} + 1 \right]^{-1} \right) \quad n \geq 2 \quad s_i \in C \quad (4)$$

Taking into account (2), (3) and (4), the equalizer design becomes complex and ineffective as it usually results in strong trade-offs to compensate the total frequency roll-off. This problem was found in some previous works [4, 5].

Now, let us consider a situation where the TIA bandwidth equals the LA bandwidth, i.e. 1.25 GHz. In this case, the bandwidth of the TIA is also far enough away and  $H_{EQ}(s)$  should equal  $[H_F(s)]^{-1}$ . Obviously, this relaxes the equalizer design conditions and divides the main problem into two where independent compensation techniques could be developed more efficiently for the  $T_R(s)$  and  $H_{EQ}(s)$  compensations.

This solution presents the drawback of the noise increase. The larger the input block bandwidth, the higher the thermal noise. Nevertheless, reviewing the literature, no experimental evidence has been encountered as to whether this noise increase is critical or not. This question is quite difficult to answer because the noise density depends strongly on the devices employed in the system. This is another question to be answered in this work.

### PROPOSED TRANSIMPEDANCE AMPLIFIER

Taking into account the considerations reported in the previous section, the proposed transimpedance amplifier must reach 1.25 GHz bandwidth as well as being noise-optimized. Another design principle is

the cost which for the whole receiver is basically dependent on the fabrication technology. The state-of-art review and the experience in previous works make the standard 0.18- $\mu\text{m}$  CMOS technology the best candidate [6-7]. Note that continuous-time equalizers [5] and limiting amplifiers [8-9] achieving the required performance are to be found using this technology.

A possible choice emerges here. This choice is the use of a previously proposed topology [7] but introducing certain changes adapting the structure for the new POF design criteria. The topology reported in [7] is depicted in Figure 2. It consists of a shunt-feedback transimpedance amplifier where the voltage amplifier comprises two different stages. The amplifier input block is a common-source stage with cascode transistor. The amplifier output block is a source-coupled non-inverting stage, made up of a common-drain (CD) stage and a common-gate (CG) stage. Both stages involve gain and frequency compensation but the first is mainly designed for noise optimization. This minimizes the block noise and enlarges the signal-to-noise ratio. The feedback loop is the series connection of two different elements. The first is a high resistivity resistor,  $R_F$ , and the second, a DC floating voltage source. This floating source is implemented with a diode-configured transistor,  $M_L$ , which sets the DC voltage at the input.

Combining the previous topology with the guidelines of the structured design approach described in the same work, the result is a block that exploits the best performance of a specific technology. This approach is one of the best ways of design optimization but, usually, other frequency compensation techniques must be introduced. In the case of [7], the phantom-zero compensation technique is employed. This compensation technique allows shaping the frequency response in a fashionable way, setting the bandwidth correctly. One of the most important advantages of this frequency compensation is that a specific topology can be re-designed for a wide range of applications by just making small changes. These modifications are made in the feedback loop while the active part remains unchanged. This keeps the original performance given by the active part.

Consider the same topology as [7] where the component values are summarized in Table 1. The open-loop transfer function of the voltage amplifier has three main frequency poles at 900 MHz, 1.5 GHz and 2.4 GHz. However, the aim of this work is to achieve a bandwidth up to 1.25 GHz. So, the pole located at higher frequencies is far enough and, consequently, can be neglected. This means that only one phantom zero is needed for frequency compensation [10].

In a transimpedance amplifier phantom-zeros can be implemented in two ways, but in this case the most efficient is by placing a capacitor in parallel with the feedback resistor,  $C_p$ . The capacitor can be fabricated monolithically thereby reducing the number of external components.

Modeling the open loop voltage transfer function of the TIA like

$$A(s) \approx \frac{-A_0 s_a s_b}{(s + s_a)(s + s_b)} \quad (5)$$

the transimpedance transfer function can be described by

$$T_R(s) \approx \frac{-\alpha}{s^3 R_F \gamma + s^2 R_F \beta \gamma + s \alpha \left( \frac{\gamma}{A_0} - C_p - \frac{\beta}{\alpha} \right) - \frac{\alpha}{R_F} \left( 1 + \frac{1}{A_0} \right)} \quad (6)$$

where

$$\alpha = A_0 s_a s_b R_F \quad (7)$$

$$\beta = s_b + s_a \quad (8)$$

$$\gamma = C_D - C_p \quad (9)$$

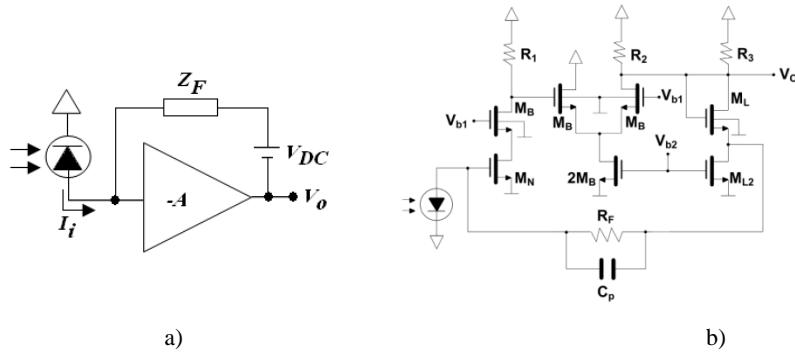


Figure 2. Proposed topology: a) Conceptual scheme of the transimpedance amplifier and b) physical implementation.

<b>PARAMETER</b>	<b>VALUE</b>
$M_N$ (W/L)	80 $\mu\text{m}$ / 0.18 $\mu\text{m}$
$M_B$ (W/L)	45 $\mu\text{m}$ / 0.18 $\mu\text{m}$
$M_L$ (W/L)	45 $\mu\text{m}$ / 0.18 $\mu\text{m}$
$M_{L2}$ (W/L)	70 $\mu\text{m}$ / 0.18 $\mu\text{m}$
$R_1$	400 $\Omega$
$R_2$	750 $\Omega$
$R_3$	420 $\Omega$
$R_F$	700 $\Omega$
$C_p$	0.6 pF

Table 1. Characteristics of each device in Figure 2.

The results of computing the previous expression by using Matlab are shown in Figure 3. These results reveal the higher stability once the compensation capacitor is introduced. As  $C_p = f(C_D)$ , the PD must be chosen first. A Hamamatsu -S5973 from was selected as best candidate. The main characteristics of this PD can be summarized as follows: almost flat responsitivity of 0.4 A/W with wavelengths between 500 and 800 nm, 0.5 mm<sup>2</sup> active area and 1.8 pF parasitic depletion capacitance (at 1 V reverse biasing). If this depletion capacitance is taken into account, as well as track and package parasitic capacitances, the estimated parasitic input capacitance is around 2.32 pF. The best compensation is obtained, by making  $C_p = 0.6$  pF.

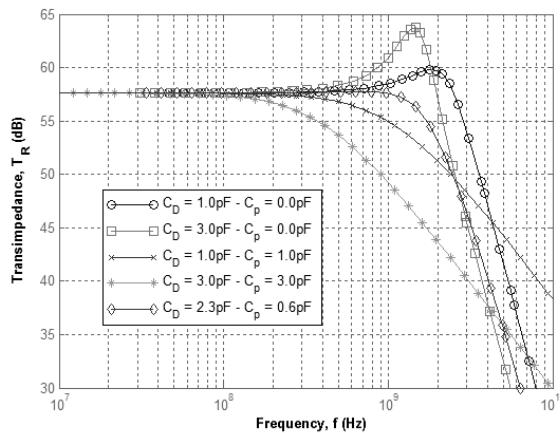


Figure 3. Results of the transimpedance frequency response computed with Matlab.

## RESULTS

Two different PCBs were fabricated, one for electrical testing (PCB2ET) and the other for optical testing (PCB2OT). The pictures of these two test boards are shown in Figure 4-a) and b). The idea is to identify the performances of the electrical block and optical devices separately.

The TIA consumes 24 mW at 1.8 V voltage supply. The estimated active die area is 0.011 mm<sup>2</sup>. The prototype includes two electrostatic discharge (ESD) protection circuits. One is placed at the TIA input and employs two diodes with minimum size for a reduced parasitic capacitance (72 fF), offering efficient protection with no visible effect on the frequency response. The other protection device is placed between the positive supply terminal and ground and is based on a very large grounded NMOS transistor, MESD.

Beginning with the PCB2ET, Figure 4-c) shows the electrical test blocks. SMA connectors up to 18 GHz root both, signal and supply, lines. These signal lines include 10 nF coupling/decoupling ceramic capacitors. And the supply lines are noise-filtered by using grounded 100 nF ceramic capacitors. At the input, the PD is emulated by using a 2 pF ceramic capacitor and a 2 kΩ resistor (working as a voltage-current conversion device). The 50 Ω resistor at the input matches the output impedance of our test equipment. This capacitor value corresponds to the S5973 depletion capacitance at 0.6 V reverse biasing (which is the common-mode level at the input node). At the output, a large open drain driver transistor is employed (W/L=80 μm /0.18 μm). This transistor, implemented monolithically on-chip, loads a 50 Ω resistor, which matches the input impedance of our test equipment. Note that all components are SMD thus minimizing parasitic components. The bare die was mounted on a QFN16 package. The test equipment includes a network analyzer (ZVL 9 kHz/6 GHz), a bit pattern generator (BERT N4096A) and a digital communication analyzer (DCA 86100C).

Figure 4-d) shows the whole optical setup. The rooting considerations of PCB2ET are also self-evident here. But in this case, the PCB2OT employs a DC voltage regulator (SUT / LM4132AMF-1.8 from National Semiconductor) allowing the TIA supply and the PD reverse biasing simultaneously. There is a minimum voltage drop and a maximum voltage supply for proper regulator operation. This sets a range of possible reverse bias voltages which covers between 1.9 V and 4.4 V. Unlike the PCB2ET, this second prototype includes the bare die without package thus minimizing the parasitic capacitance. It is fitted with silver epoxy and aluminum wire-bonding on the bottom layer of a double-side circuit printed board. All devices are again SMD (including the SUT), except the photodiode which is TO18-packaged. The test setup includes a GDL1000T-228 Firecomms evaluation board which converts the BERT N4096A electrical bit pattern to an optical signal. This board is supplied with 3.3 V, supports bit rates from 100 Mb/s to 1.25 Gb/s and is 50 Ω matched. ESKA Premier GH 4002 2.2 mm step-index POFs with three different lengths, 1, 5 and 10 m, have been employed. The eye diagrams are also obtained by using the same DCA.

The AC analysis shown in Figure 5 corresponds to the PCB2ET. Note that while theoretical results (Figure 3) show a minimum TIA bandwidth of 1.25 GHz, the experimental bandwidth (Figure 5) reaches 1 GHz. The difference between both results is justified by an excess in the input parasitic capacitance.

Figure 6 a)-b) shows clear eye diagrams with low noise contribution, confirming the accomplishment of the TIA design approach. However, the real impact of the optical setup is shown in Figure 6 c)-f). The eye diagrams become closer. A comparison between the different situations analyzed reveals only two reasons for this behavior: 1) the bandwidth reduction given by the fiber and 2) the increase of the noise contribution given by the optical branch.

The bandwidth reduction is an issue beyond this work because depends on the equalizer. But an analysis about noise is required and the best starting point is to show the BER response as a function of the estimated input current. This curve is depicted in Figure 7. In this figure two equivalent situations were compared. A short 1 m - fiber is employed and a 1.25 Gb/s bit pattern was set. Under these conditions minimum fiber frequency impact is obtained and also a better noise comparative. A curve displacement from PCB2ET to PCB2OT is observed. The signal to noise ratio becomes smaller, and higher currents are required in order to reach a  $BER \leq 10^{-12}$ . Precisely the ratio between these two currents is 1.57. So, in summary, a simpler and more efficient equalizer carries a 50 % noise penalty. In our opinion this is not critical and in fact, it is an acceptable trade-off taking into account the complexity change between the electrical (“ideal”) and the optical (“real”) measurement setup.

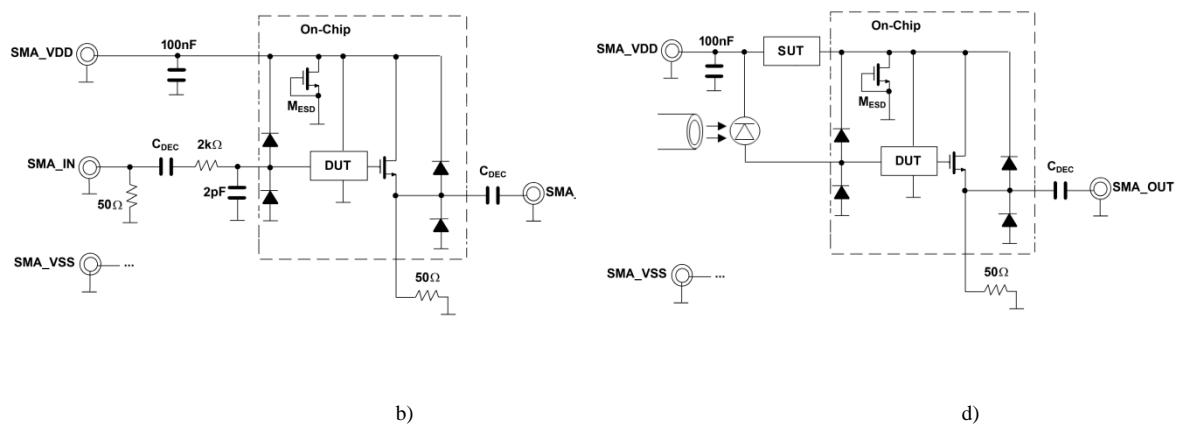
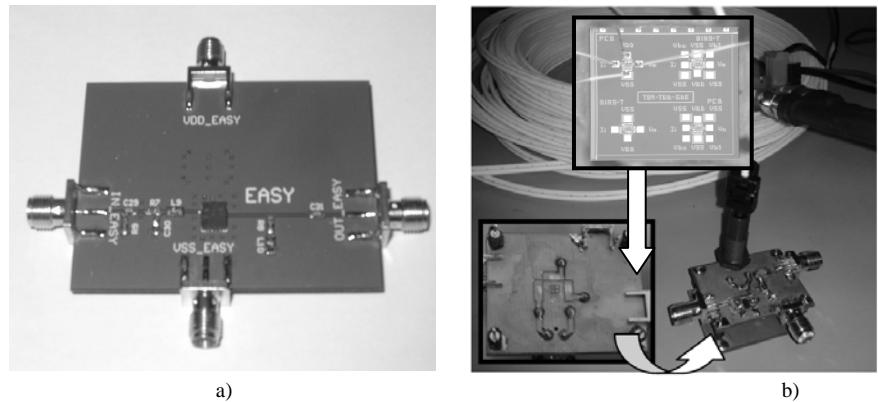


Figure 4. Pictures and schematics of both PCBs: a) picture of PCB2ET, b) picture of PCB2OT, c) schematic of PCB2ET test blocks and d) schematic of PCB2OT test blocks.

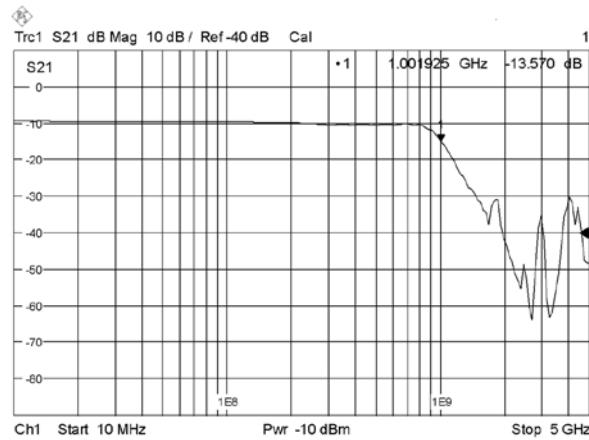


Figure 5. Frequency response of PCB2ET.

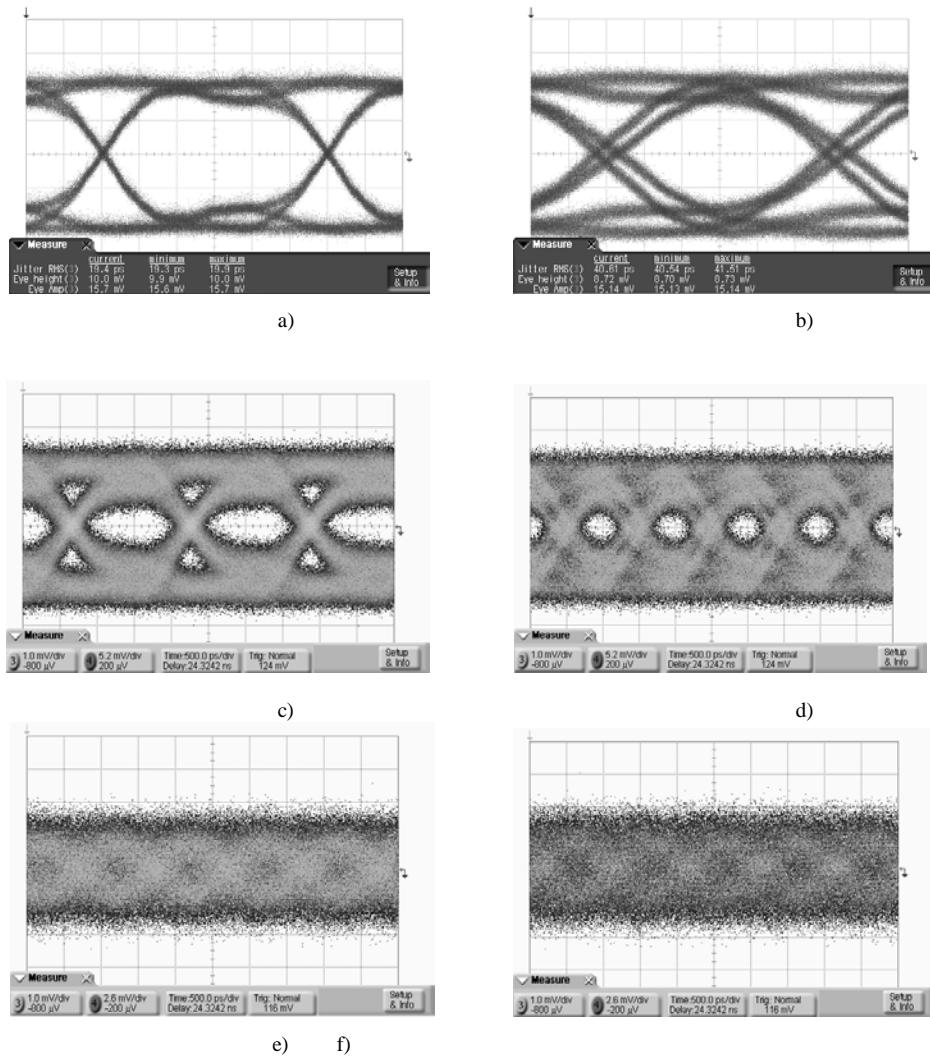


Figure 6. Eye diagrams at: a) PCB2ET - 622 Mb/s, b) PCB2ET – 1.25 Gb/s, c) PCB2OT - 622 Mb/s / 1 m ( $V_{PD} = 4$  V), d) PCB2OT – 1.25 Gb/s / 5 m ( $V_{PD} = 2$  V), e) PCB2OT – 10 m ( $V_{PD} = 2$  V) and f) PCB2OT – 10 m ( $V_{PD} = 4$  V).

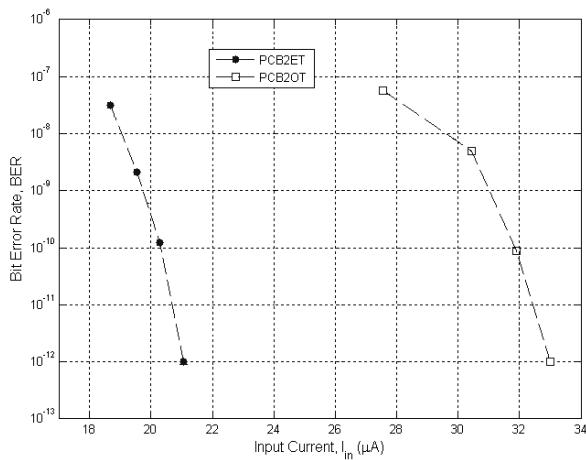


Figure 7. BER as a function of the estimated input current.

## CONCLUSIONS

This work began by analyzing the conventional rules accepted when the aim is to design a 1.25 Gb/s POF receiver analog front-end. A discussion given in section 2 and, some previous experimental results supporting this discussion, highlights practical limitations of this set of principles. More concretely, these principles set strong design conditions for the equalizer which must compensate not only the limited fiber bandwidth, but also the PD/TIA frequency limitation.

Taking this issue into account, the present work proposes a new design condition which relaxes this bottleneck. The LA bandwidth equals 1.25 GHz and this conventional condition allows neglecting the impact on the frequency response. So, it seems consistent to enlarge the PD/TIA bandwidth up this value. In this way both frequency responses are neglected and the equalizer must compensate only the bandwidth reduction given by the fiber. This simplifies the equalizer design process considerably.

Noting this issue, this work suggests the use of a well-known transimpedance amplifier fabricated in a low-cost 180 nm CMOS technology and tested electrically first. Theoretical models are presented and reach good agreement with the experimental data. The power consumption is 24 mW supplying the block with 1.8 V. The TIA bandwidth reaches 1 GHz and the noise levels are low.

A realistic optical measurement setup is also presented. This approach employs low cost commercially available devices. The emitter is a Firecomms evaluation board operating up to 1.25 Gb/s. Step-index POF fibers with different lengths are also employed as transmission media. A Hamamatsu-S5973 Si photodiode converts the incoming optical beam into current. The whole system achieves bit rates up to 1.25 Gbit/s with fiber lengths of 5 m.

The experimental noise results reveal an increase of 1.57 times the TIA intrinsic noise once the optical branch is introduced. However, the value remains relatively low making the new design criteria a choice in those cases where the frequency response becomes critical.

## ACKNOWLEDGEMENTS

*Authors would like to acknowledge the use of Servicio General de Apoyo a la Investigación-SAI, Universidad de Zaragoza and the given technical support, as well as the partial support by MINECO-FEDER (TEC2008-0455/TEC, TEC2011-23211) and FPU fellowship program from the MECD to C. Gimeno.*

## REFERENCES

- [1] Koonen, A. M. J.: ‘A Look into the Future of In-Building Networks: Roadmapping the Fiber Invasion’, Proc. 20th Intern. Conf. Plastic Optical Fibers, 2011, pp. 41-46.
- [2] Pekarik, J.: ‘rFCMOS Technology from 0.25µm to 65nm: The State of the Art’, Proc. IEEE Custom Integrated Circuits Conference Dig., 2004, pp. 217-224.
- [3] Ziemann, O., Daum, W., Zamzow, P. E.: ‘POF Handbook – Optical Short Range Transmission Systems’, (Springer, 2008).
- [4] Lope, I., García del Pozo, J. M., Mateo, J., Urdangarín, J., Celma, S.: ‘Low-cost Si-POF analogue TIA and equaliser’, International Journal of Electronics, 2012, 99, (11), pp. 1557-1567.
- [5] Gimeno, C., Aldea, C., Celma, S., Aznar, F.: ‘Cost-Effective 1.25-Gb/s CMOS Receiver for 50-m Large-Core SI-POF Links’, IEEE Photonics Technology Letters, 2012, 24, (6), pp. 485-487.
- [6] García del Pozo, J. M., Celma, S., Sanz, M. T., Alegre, J. P.: ‘Constant-Bandwidth Adaptive Transimpedance Amplifier’, Electronics Letters, 2007, 43, (25), pp. 1451-1452.
- [7] García del Pozo, J. M., Serdijn, W. A., Otín, A., Celma, S.: ‘2.5 Gb/s CMOS Preamplifier for Low-Cost Optical Fiber Receiver’, Analog Integrated Circuits and Signal Processing, 2011, 66, (3), pp. 363-370.
- [8] García del Pozo, J. M., Celma, S., Otín, A., Lope, I., Urdangarín, J.: ‘1.8V - 3GHz CMOS Limiting Amplifier with Efficient Frequency Compensation’, Microelectronics Reliability, 2010, 50, (12), pp. 2084-2089.
- [9] Yool, K., Lee, D., Han, G., Park, S.: ‘A 1.2V 5.2mW 40dB 2.5Gb/s Limiting Amplifier in 0.18 µm CMOS Using Negative-impedance Compensation’, Proc. IEEE International Solid-State Circuits Conference, 2007, pp. 56-57.
- [10] Verhoeven, C., van Staveren, A., Monna, G., Kouwenhoven, M., Yildiz, E.: ‘Structured electronic design—Negative feedback amplifiers’, (Dordrecht: Kluwer Academic Publishers, 2003).

## ANEXO IV: estructuras de ecualizadores con MOSFET

En este anexo se recoge un estudio de migración a tecnologías discretas de una estructura clásica con transistores MOSFET de un ecualizador integrado. La arquitectura elegida de ecualizador en tiempo continuo de este estudio es la denominada *active shunt peaking*, Fig. 43 (a). Esta estructura está compuesta por una etapa amplificadora en fuente común con una impedancia de carga activa formada por un transistor, una resistencia y un condensador.

### CARACTERÍSTICAS DE DISEÑO

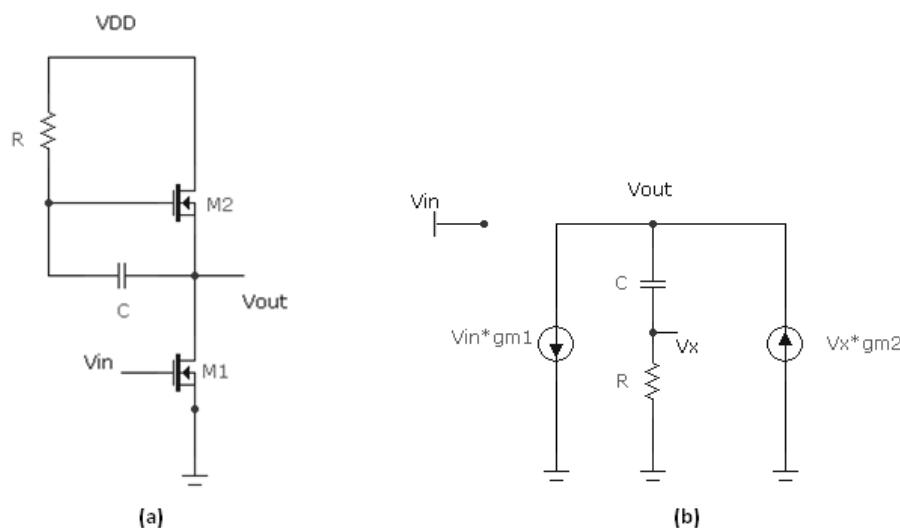


Fig. 43 (a) Arquitectura EQ-CT *active shunt peaking* (b) Circuito equivalente para pequeña señal

Para hallar su comportamiento frecuencial se realiza el análisis AC para pequeña señal de la estructura propuesta, Fig. 43 (b). Podemos observar como la función de transferencia de la estructura presenta un cero y un polo en la ecuación (25).

$$\frac{V_{out}}{V_{in}} = -\frac{gm_1}{gm_2} \frac{1 + RCs}{1 + \frac{C}{gm_2}s} \quad (25)$$

donde:

$$\omega_Z = \frac{1}{RC}, \quad \omega_P = \frac{gm_2}{C} \quad (26)$$

$$gm = \frac{2I_D}{V_{IN} - V_{TH}} \quad (27)$$

Por lo tanto, dado que el valor de la transcondutancia  $g_m$  es un valor fijo asociado al transistor y su punto de polarización (27), para elegir la posición en el dominio frecuencial del polo y del cero, se toman de manera adecuada valores de la tensión de alimentación, tensión en DC de polarización de entrada, R y C.

## ANEXOS

Por otro lado, la ganancia del sistema depende básicamente de  $g_{m1}$  y  $g_{m2}$ , que será la unidad si los dos transistores del ecualizador son iguales y operan bajo las mismas condiciones.

Esta estructura por sí misma no sería suficiente para compensar las limitaciones frecuenciales de nuestro sistema, ya que sólo posee un cero. Para introducir el segundo cero en el ecualizador se proponen las siguientes modificaciones de la estructura:

- a) Dos arquitecturas *active shunt peaking* en paralelo

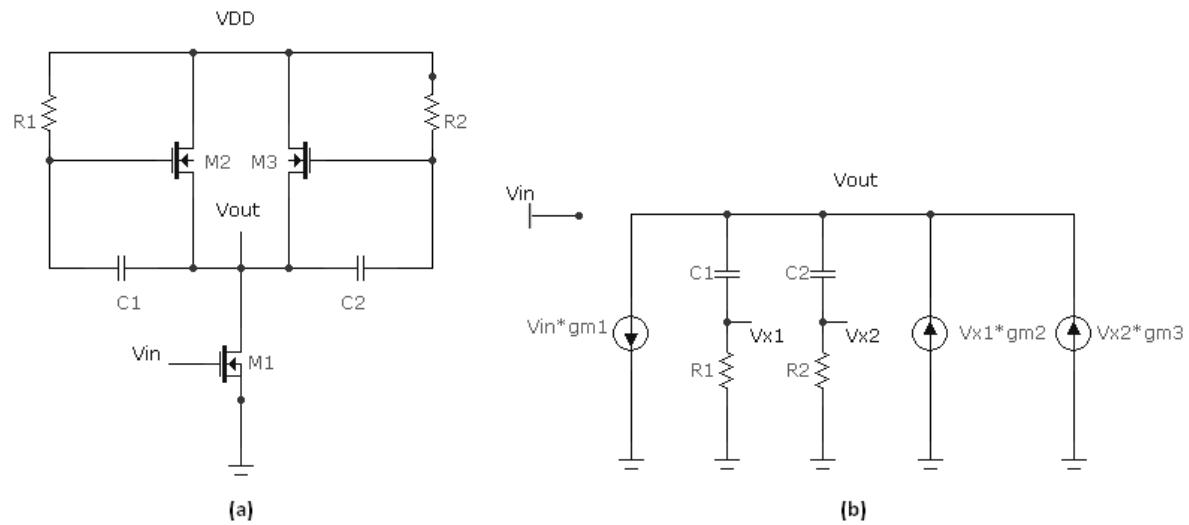


Fig. 44 (a) Modificación b) de la estructura *active shunt peaking* (b) Circuito equivalente para pequeña señal

El análisis AC de la estructura modificada proporciona la siguiente función de transferencia:

$$\frac{V_{out}}{V_{in}} = -\frac{g_{m1}}{g_{m2} + g_{m3}} \frac{(1 + R_1 C_1 s)(1 + R_2 C_2 s)}{\frac{C_1 C_2 (R_1 + R_2)}{g_{m2} + g_{m3}} s^2 + \frac{C_1 (R_1 g_{m3} + 1) + C_2 (R_2 g_{m2} + 1)}{g_{m2} + g_{m3}} s + 1} \quad (28)$$

$$\omega_{z1} = \frac{1}{R_1 C_1}, \quad \omega_{z2} = \frac{1}{R_2 C_2}$$

En esta ocasión se han introducido dos ceros independientes en el sistema, cada uno definido por los valores de R y C de su respectiva rama.

El problema que presenta esta estructura es que se ha introducido un segundo polo en la función de transferencia del ecualizador que está relacionado con el cero de mayor frecuencia.

Este polo será mayor cuanto mayor sea el valor  $g_m$  pero como máximo sólo puede alcanzar el valor del mayor cero del ecualizador. Esto impide trabajar en un BW mayor al que imponen las limitaciones frecuenciales del sistema por lo que esta estructura no es apta para su uso como ecualizador.

b) Dos arquitecturas *active shunt peaking* en cascada

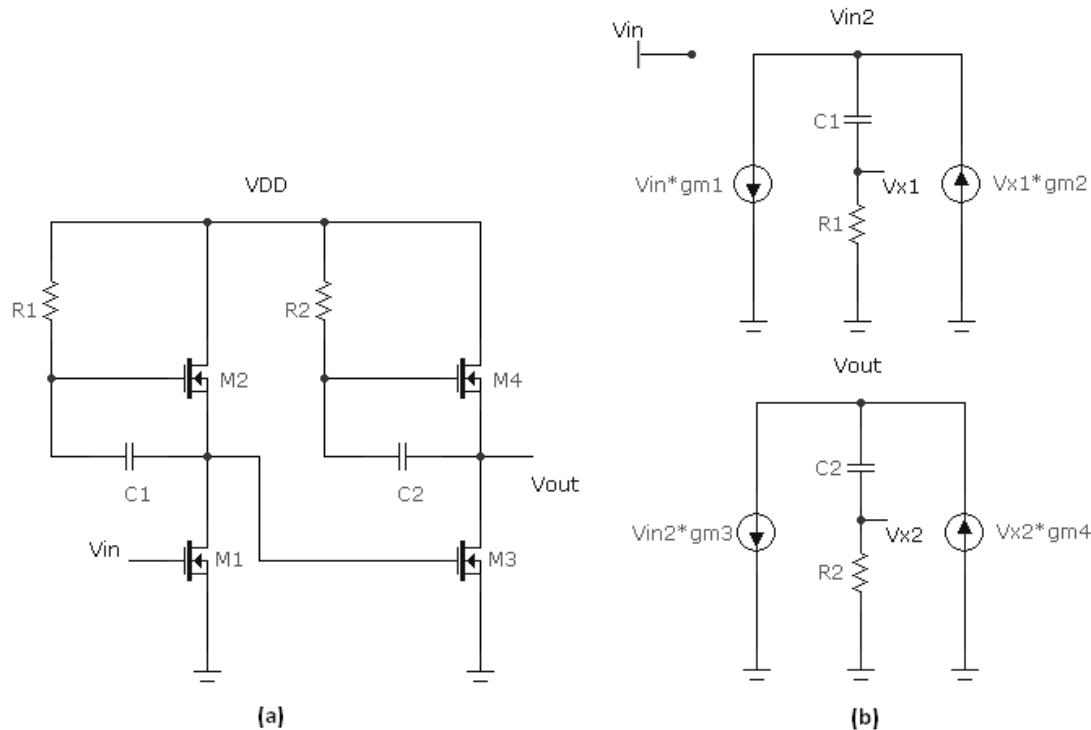


Fig. 45 (a) Modificación c) de la estructura *active shunt peaking* (b) Circuito equivalente para pequeña señal

El análisis AC de esta estructura proporciona la siguiente función de transferencia:

$$\frac{V_{out}}{V_{in}} = -\frac{g_{m1} g_{m3}}{g_{m2} g_{m4}} \frac{(1 + R_1 C_1 s)(1 + R_2 C_2 s)}{\left(1 + \frac{C_1}{g_{m2}} s\right) \left(1 + \frac{C_2}{g_{m4}} s\right)} \quad (29)$$

$$\omega_{z1} = \frac{1}{R_1 C_1}, \quad \omega_{z2} = \frac{1}{R_2 C_2}, \quad \omega_{p1} = \frac{g_{m2}}{C_1}, \quad \omega_{p2} = \frac{g_{m4}}{C_2}$$

Con esta configuración se cumple el requisito de tener dos ceros independientes que anulen las limitaciones frecuenciales del sistema, siendo cada cero ajustable por los elementos pasivos de su rama.

En este caso nos encontramos de nuevo con dos polos en la función de transferencia del ecualizador. Al contrario que en la estructura a), se puede controlar el valor de los polos de forma independiente de los ceros ya que solo dependen del valor de los condensadores y de  $gm$  y no de las resistencias.

#### IMPLEMENTACIÓN DEL ECUALIZADOR MOSFET

Para comprobar el correcto funcionamiento experimental de la estructura ecualizadora descrita hasta ahora, se ha diseñado un prototipo con componentes discretos sencillos. El objetivo es verificar el comportamiento frecuencial teórico en un circuito real.

## ANEXOS

Se ha elegido el *array* de transistores NMOS **ALD1116** de *Advanced Linear Devices*. Este circuito integrado tiene dos transistores en un mismo substrato con un alto grado de *matching* en el mismo encapsulado, por ello, se ha aprovechado para los dos transistores de las etapas en fuente común de la estructura que se conectan a tierra, con lo que pueden compartir substrato.

Las características principales de este transistor son: tensión umbral de 0.7 V, baja capacidad de entrada, alta resistencia de entrada y baja corriente de fuga de entrada y salida.

Para los componentes variables de la adaptación del ecualizador, R y C, se utilizan *trimmers*. Se han utilizado conectores SMA y los demás componentes de la PCB son SMD 1206 estándar, Fig. 46. Los esquemáticos y planos se encuentran en el ANEXO V: planos.

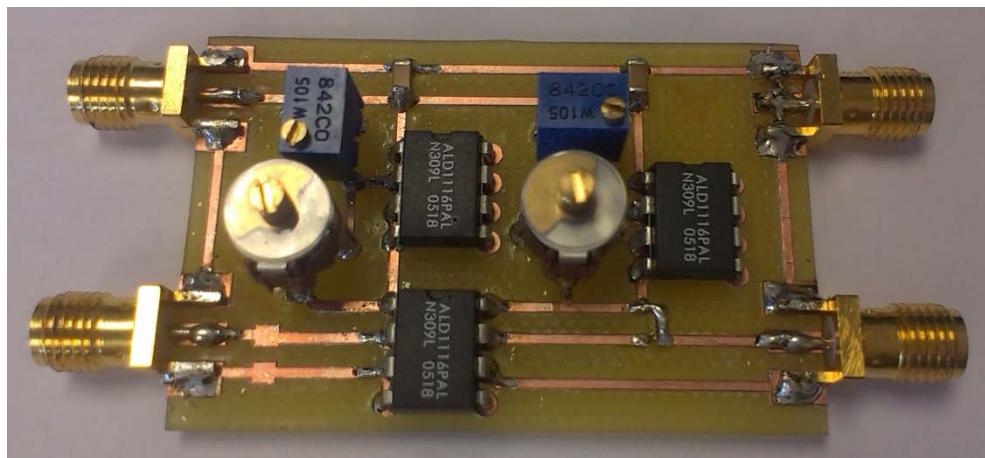


Fig. 46 Prototipo ecualizador MOS para bajas frecuencias

Para el cálculo de los ceros, se ha trabajado en el rango de frecuencias de hasta 200 KHz utilizando las ecuaciones descritas en (29).

El valor de los parámetros del prototipo aparece en la Tabla 9.

PARÁMETRO	VALOR
$V_{DD}$	2 V
$V_{IN}$	1 V
$I_D$	0.5 mA
$g_m$	0.3 mS

Tabla 9 Valores de los parámetros del prototipo de ecualizador MOS *active shunt peaking*

Con estos datos, obtenemos los siguientes resultados mediante simulación (Fig. 47) y experimentales (Fig. 48) del prototipo para las dos siguientes frecuencias de ecualización:  $f_{z1} = \omega_{z1}/2\pi = 50 \text{ KHz}$  y  $f_{z2} = \omega_{z2}/2\pi = 150 \text{ KHz}$ .

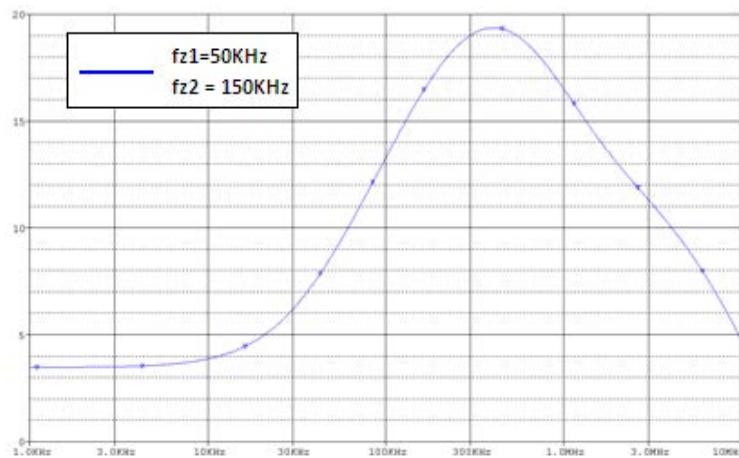


Fig. 47 Resultados simulación prototipo ecualizador ALD1116.

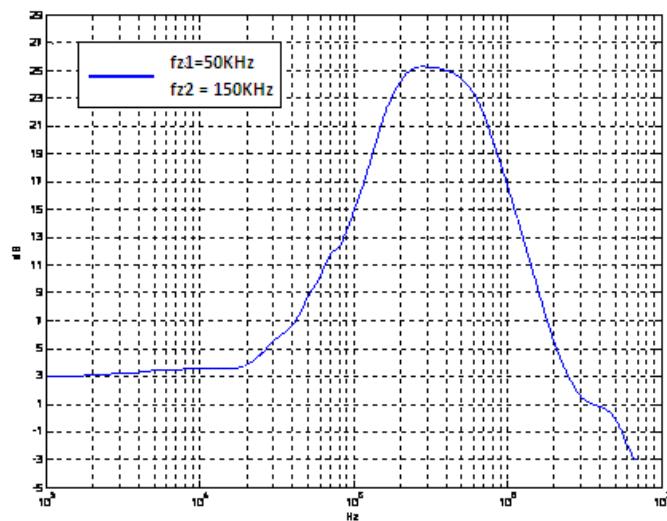


Fig. 48 Resultados experimentales prototipo ecualizador ALD1116.

Se puede comprobar en los anteriores análisis frecuenciales del prototipo que el ecualizador realiza de forma correcta su cometido, los ceros se presentan en las frecuencias calculadas teóricamente realizando el *boosting* de ecualización.

El ancho de banda del ecualizador no alcanza el valor del polo teórico del sistema debido a limitaciones provenientes de efectos parásitos que se presentan en la estructura ecualizadora, especialmente debidos a los encapsulados de los transistores.

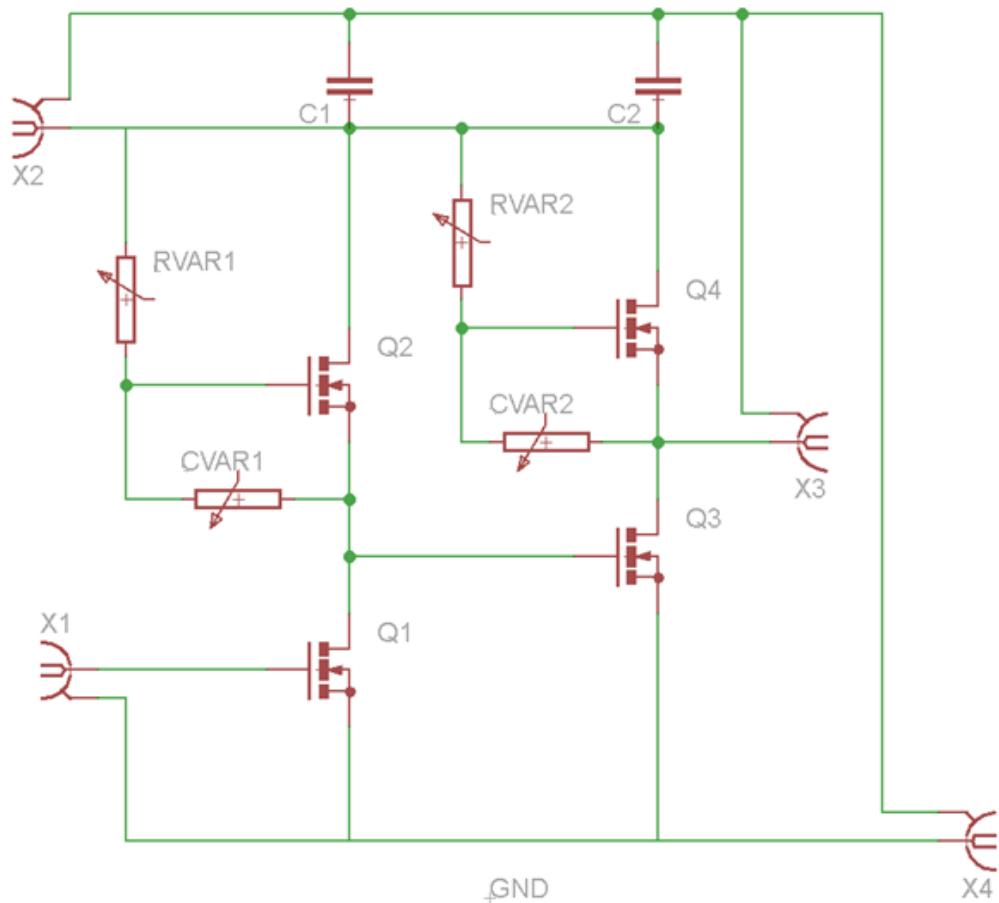
## ANEXO V: planos

En este anexo se presentan los planos de las placas de circuito impreso realizadas para este trabajo. En todas ellas se ha utilizado el *software* de diseño por computador *Eagle*.

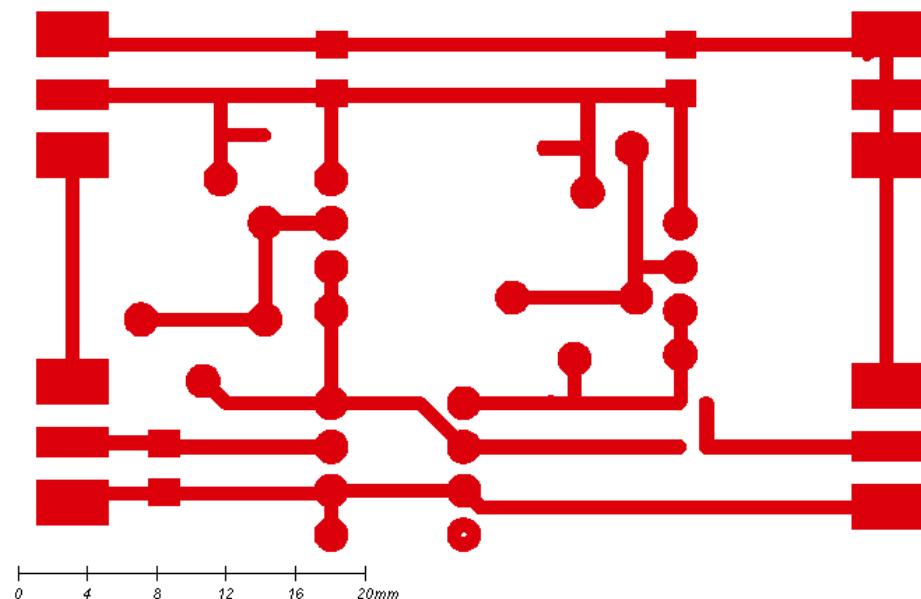
- |      |   |    |
|------|---|----|
| V.1. | Plano ecualizador <i>active shunt peaking</i> MOSFET ALD1116..... | 69 |
| V.2. | Plano ecualizador <i>active shunt peaking</i> BJT 2N2222A .....   | 71 |
| V.3. | Plano ecualizador <i>active shunt peaking</i> BJT NE662M04 .....  | 73 |
| V.4. | Plano ecualizador <i>pasive shunt peaking</i> BJT NE662M04.....   | 74 |

### V.1. Planos ecualizador *active shunt peaking* MOSFET ALD1116

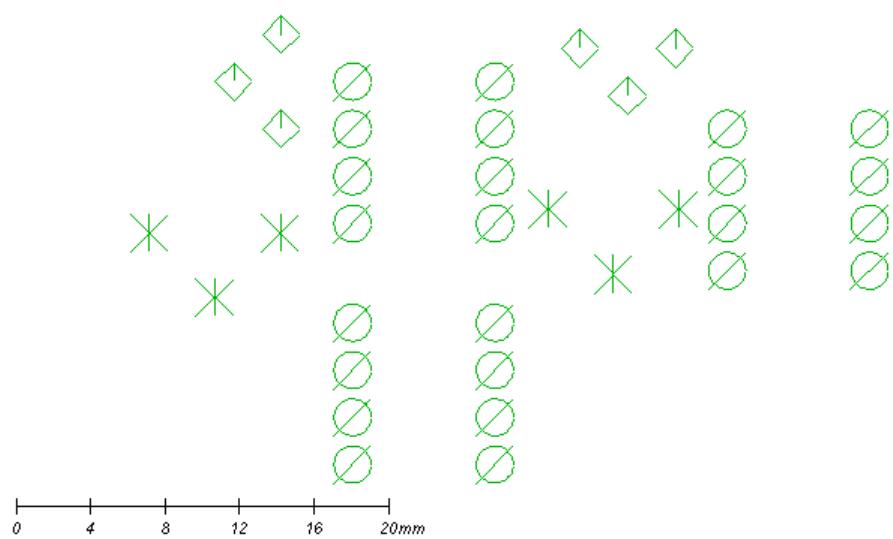
#### ESQUEMÁTICO



**PLANO CARA TOP**

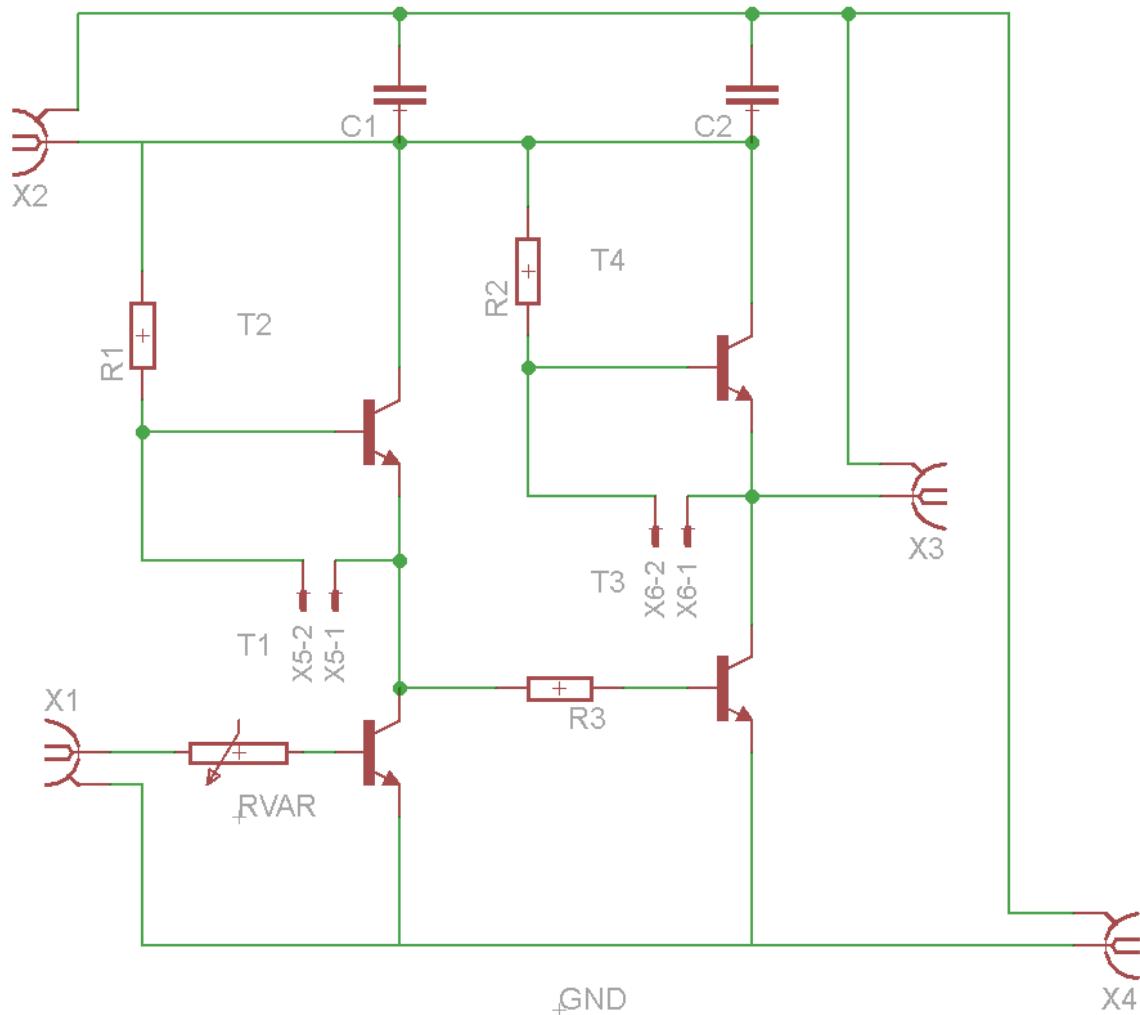


**PLANO DRILLS**

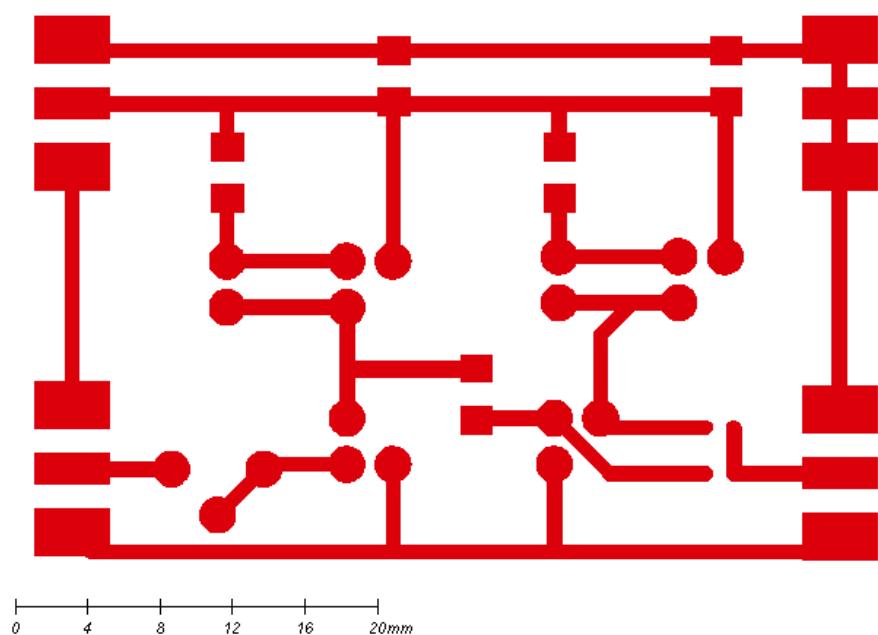


V.2. Planos ecualizador *active shunt peaking* BJT 2N2222A

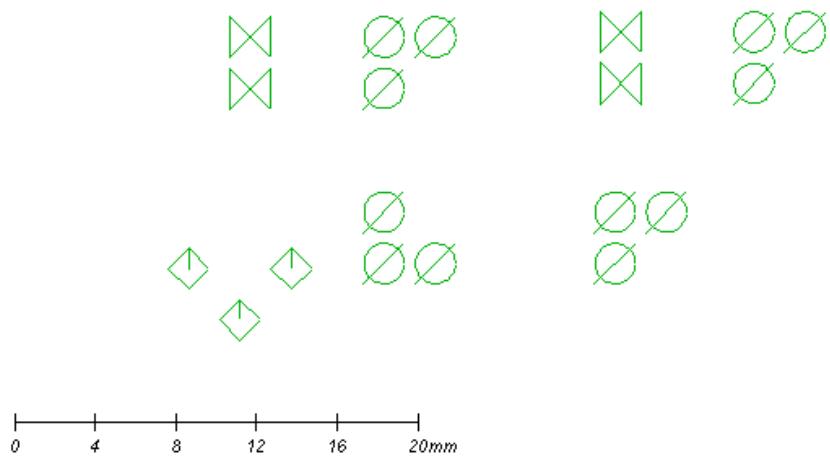
## ESQUEMÁTICO

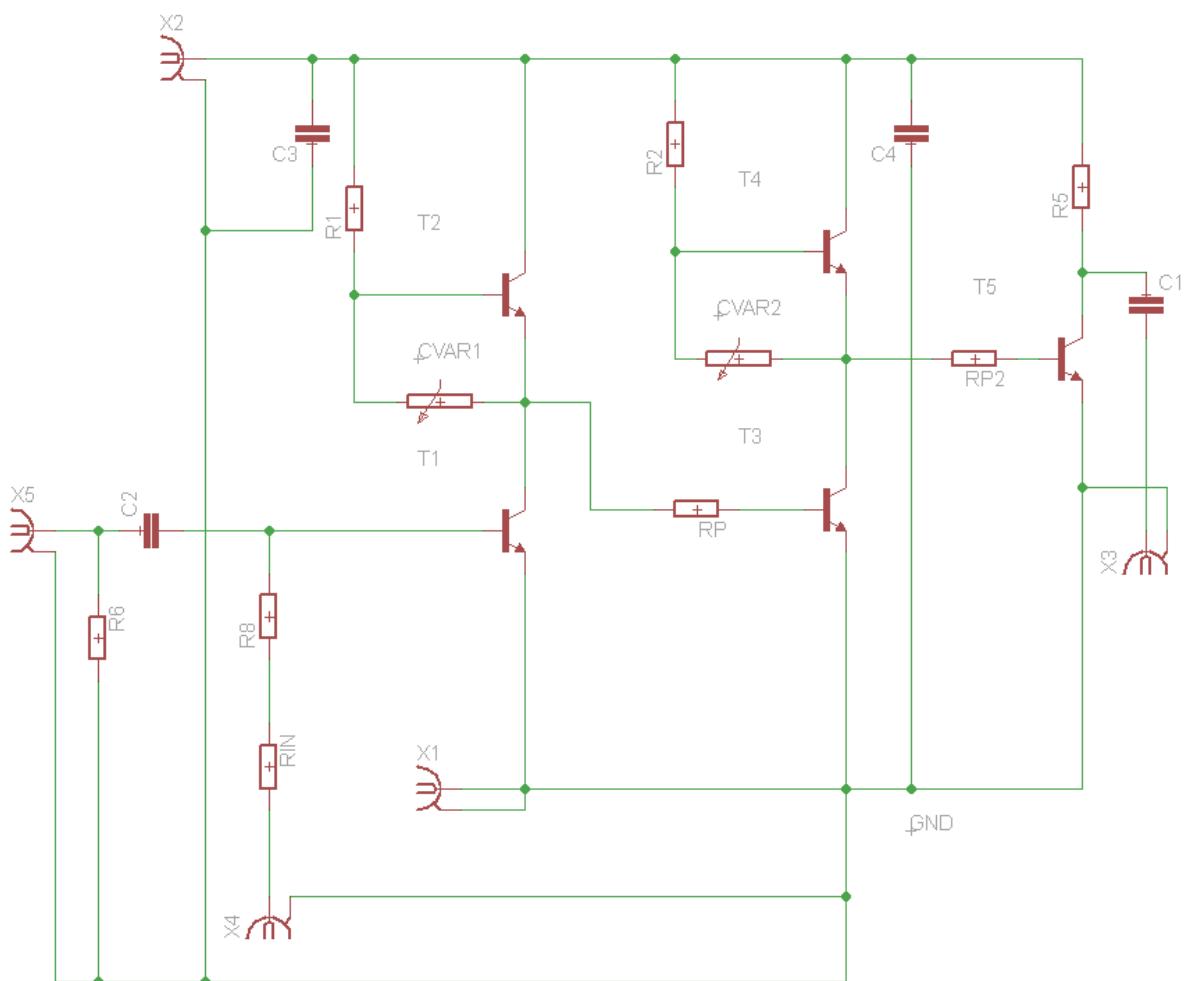


**PLANO CARA TOP**

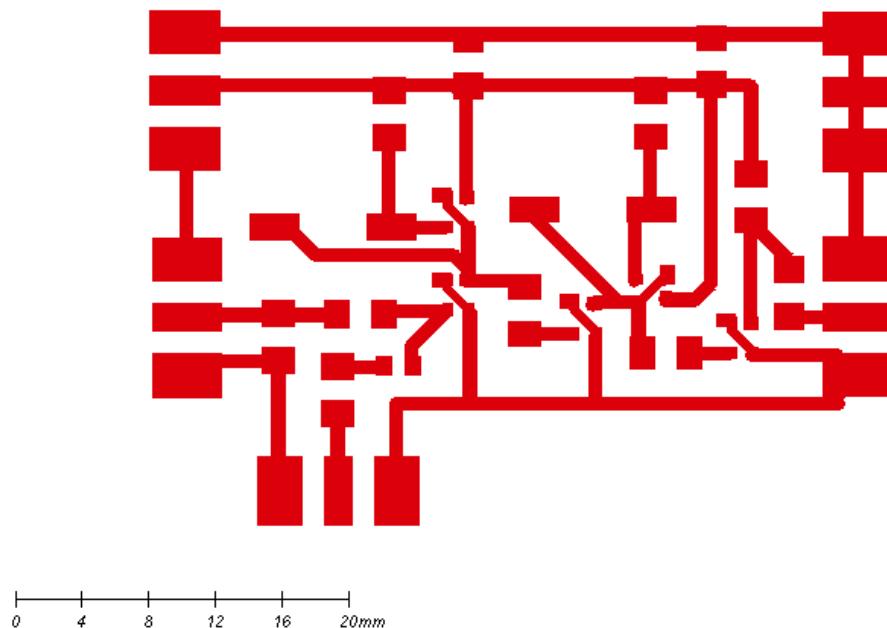


**PLANO DRILLS**



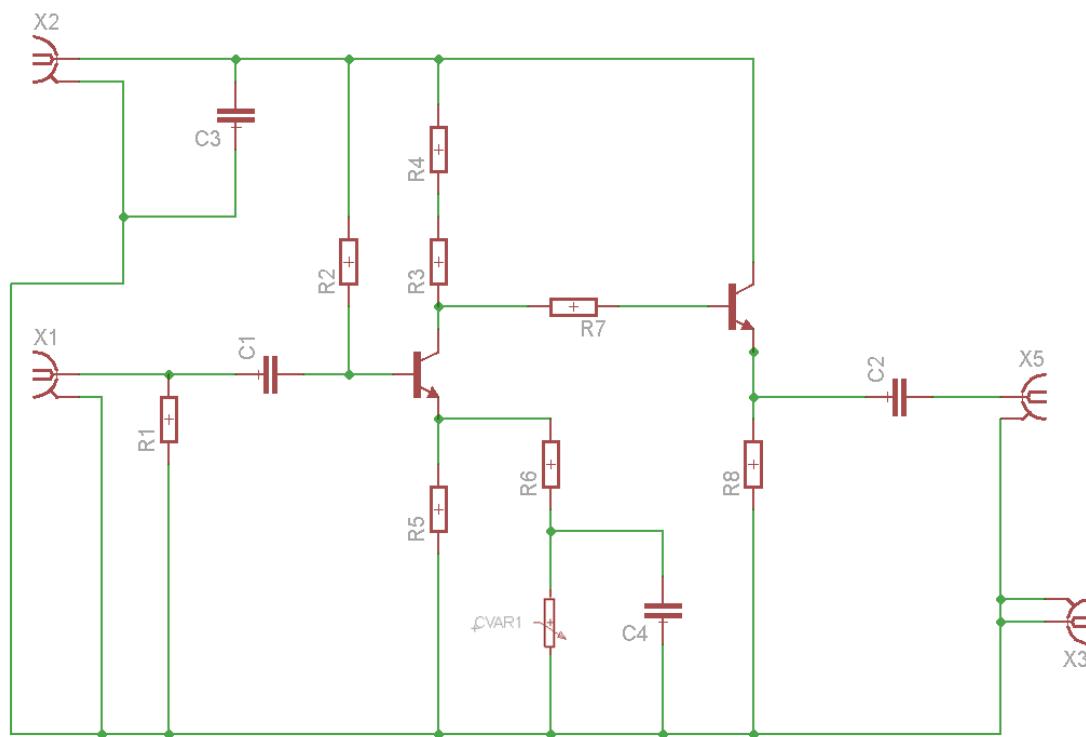
**V.3. Planos ecualizador *active shunt peaking* BJT NE662M04****ESQUEMÁTICO**

**PLANO CARA TOP**



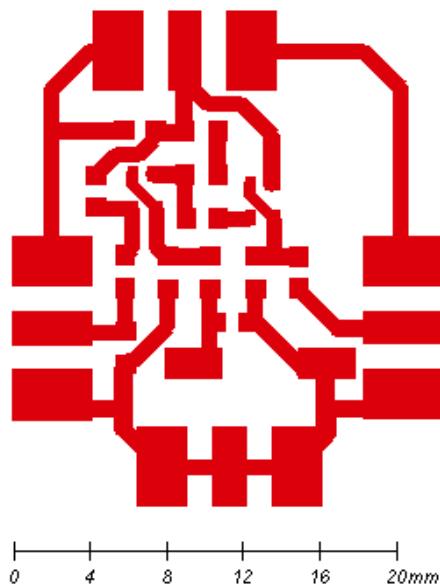
**V.4. Planos ecualizador *pasive shunt peaking* BJT NE662M04**

**ESQUEMÁTICO**



## ANEXOS

### PLANO CARA TOP



### LISTA DE MATERIALES

CANTIDAD	NOMBRE	VALOR	DISPOSITIVO	ENCAPSULADO	DESCRIPCIÓN	PRECIO UNITARIO
7	R1, R2, R3, Ri, Ro, Rp, Rv	100, 10, 5, 50, 50, 500	Resistencia	0603	MULTICOMP, RESISTOR, 0.05W, 1%, 0201	0.009 €
2	Ci, Co	100n	Condensador	0603	AVX, CAP CER 0.1UF 6.3V 10% X5R 0201	0.019 €
1	C	7p – 50p	Condensador variable		MURATA, Ceramic Trimmer Capacitor	1.316 €
2	Q1, Q2		NE662M04	SOT-343F	CEL, TRANSISTOR NPN 2GHZ M04	0.8 €
1	L	100n	Bobina	0603	JOHANSON TEC, CER INDUCTOR 100NH 0603	0.08 €
4	X1, X2, X3, X4		Conector SMA	SMA	MULTICOMP, JACK SMA, END LAUNCH	4.10 €
1	PCB					1 €
<b>TOTAL:</b>		<b>20.497 € - (SIN CONECTORES: 4.10 €)</b>				

## ANEXO VI: *datasheets*

En este anexo se adjuntan las hojas de características (*datasheets*) de los componentes y dispositivos más importantes usados en el desarrollo de este trabajo.

VI.1.	SI-POF ESKA Premier GH 4002 2.2 mm, Mitsubishi .....	77
VI.2.	GDL1000T-228 Firecomms .....	78
VI.3.	Si PIN PD S5973 Hamamatsu .....	81
VI.4.	Transistor bipolar 2N2222A ST .....	85
VI.5.	Transistor NMOS ALD1116 <i>Advanced Linear Devices</i> .....	88
VI.6.	Transistor bipolar NE662M04 California Eastern Laboratories.....	91
VI.7.	Transistor bipolar HFA3127 <i>Intersil</i> .....	97

## VI.1. SI-POF ESKA Premier GH 4002 2.2 mm, Mitsubishi

### ESKA™ Premier Polyethylene-jacketed Optical Fiber Cord: GH-4002

Manufactured by Mitsubishi Rayon Co., Ltd.

Marketed and sold by Mitsubishi International Corporation

July 2001

Structure			Packaging	
Core Material	Polymethyl Methacrylate Resin (PMMA)		Spool Length (m)	500
Cladding Material	Fluorinated Polymer		Net weight on spool (kg)	4.9
Core Refractive Index	1.49		Spool Weight (kg)	0.68
Numerical Aperture	0.5		Carton Size (mm)	365 X 365 X 160
Refractive Index Profile	(Step Index)		Carton Weight (kg)	5.5
	Unit	Typical	Master Carton	5 spools
Core Diameter	µm	980	Jacket	
Cladding Diameter	µm	1,000	Color and Material	Black PE
Jacket Diameter (zip-cord)	mm	2.2 X 4.4	Indication on Jacket	
Fiber Diameter (mm) X # of fibers	1.0 mm X 2		ESKA Premier; Pink color	
Approximate Weight (g/m)	8.0			

Performance		Criteria for Acceptance and/or Test Conditions	Unit	Values
Temperature Range		No deterioration in optical properties *	°C	-55 ~ 85
Operating Temperature under Conditions of High Humidity		No deterioration in optical properties [95% RH] **	°C	=<75
Optical Properties	Transmission Loss	650nm collimated light (standard conditions) [10m – 1m cutback]	dB/km	=<170
	Loss under 95% RH			=<190
Mechanical Characteristics	Minimum Bend Radius	Loss increment =< 0.5dB [Quarter bend]	mm	=>25
	Repeated Bending Endurance	Loss increment =< 1 dB [conforms to JIS C 6861]	Times	=>10,000
	Tensile Strength	Tensile force at yield point [JIS C 6861]	N	=>140
	Twisting Endurance	Loss increment =< 1 dB [sample length = 1 m, tensile force = 4.9N]	Times	=>5
	Impact Endurance	Loss increment =< 1 dB [conforms to JIS C 6861]	N.m	=>0.4

Notes: Performance tested in conditions under 25°C unless otherwise indicated

\* Attenuation increase is <10% after 1000 hours

\*\* Attenuation increase is <10% after 1000 hours.

### Applications

The GH-Series of single-jacket cables are typically used as data transfer media.

The information contained herein is presented as a guide to product selection. It is subject to change without notice, and should not be regarded as a representation, warranty or guarantee with regard to the quality, characteristics or use of this product

655 Third Avenue New York, NY 10017

Please visit [www.fiberoptic-plastic.com](http://www.fiberoptic-plastic.com) to locate a sales representative near you

## VI.2. GDL1000T-228 Firecomms



**Evaluation Test Board  
with 1.25 Gbps OptoLock**  
For 1.25 Gbps 650 nm RCLED-based  
Fiber Optic Transceiver with Termination  
for Bare POF



### FEATURES

- Test board for transceiver testing
- Direct connection to standard pattern generators
- Compatible with high speed 50 Ohm terminated test equipment
- 3.3V DC power
- Indicator LED for signal detect on the receiver average optical power level
- AC coupled data lines compatible with LVDS/CML data bus
- Eye safe
- Jumper pin options for separate TX and RX enable/disable

### DESCRIPTION

Firecomms' EVAL-GDL1000T-228 evaluation test board provides a simple testing platform for evaluation of standard NRZI data links operating from a minimum data rate of 100 Mbps up to a maximum of 1.25 Gbps.

The end-launch SMA connectors facilitate easy SMA-coax cable links to standard 50 Ohm terminated test equipment such as high speed oscilloscopes and pattern generators.

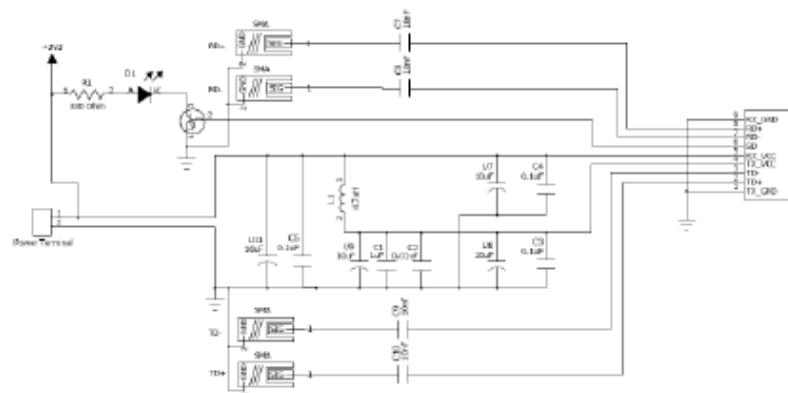
The data lines are AC coupled. Power is supplied via a simple screw-down connector and requires 3.3V DC voltage.

Jumper pin options are provided to enable/disable the TX transceiver and to enable/disable an indicator LED on the signal detect (SD) line.

This test board is ideal for evaluation of a high speed plastic optic fiber link. A single board can be used in loop-back, or a pair of test boards will provide the capability to test full-duplex operation.

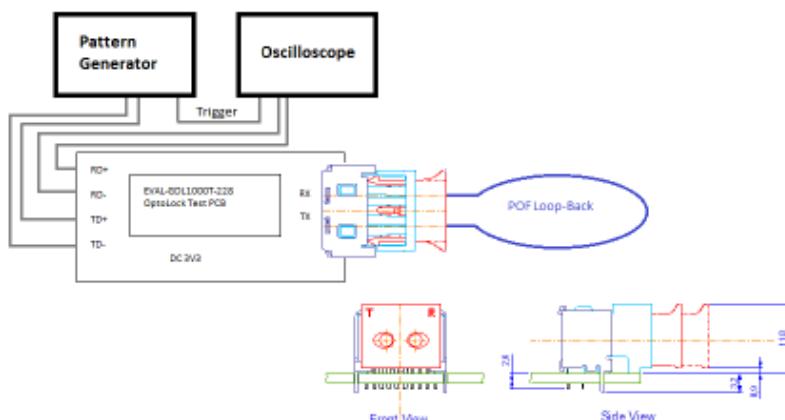


SCHEMATIC



**FIGURE 1**  
Schematic for the Evaluation Test Board, EVAL-GDL1000T-228

## TEST CONFIGURATION: LOOP-BACK



**FIGURE 2**  
Loop-back test configuration for Evaluation Test Board, EVAL-GDL1000T-228

In loop-back test mode a single strand of POF is 'looped' from the transmitter back into the receiver side of the same OptoLock® connector. The transmitter is driven from a pattern generator which typically uses a PRBS-7 data pattern which is 8B10B encoded. The test PCB has on-board AC coupling and is compatible with an LVDS data bus using differential voltage swings of minimum 500mV to maximum 1200mV.

Current consumption can be estimated by measuring the current supplied to the PCB on its 3.3V DC interface.



TEST CONFIGURATION: LOOP-BACK (Continued)

APPLICATION NOTE 3

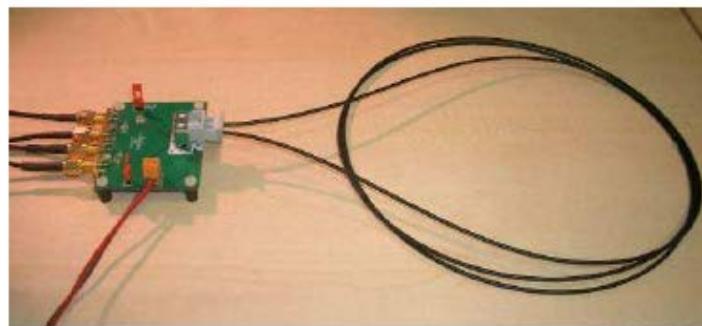


FIGURE 3  
GDL1000T-228 Evaluation Test Board configured for loop-back test

MAXIMUM TRANSMISSION DISTANCE		
POF Type	Outer Diameter (mm)	Transmission Distance (m)
PMMA 1 mm SI POF, 0.5 NA <sup>[1]</sup>	2.2	5
PMMA 1 mm MultiCore POF <sup>[2]</sup>	2.2	5
PMMA GI POF <sup>[3]</sup>	2.2	30

Notes:

1. Supplier Mitsubishi Rayon Co Ltd., p/n GH 4002  
<http://www.pofeka.com/pofekaze/product/02/index.html>
2. Supplier Asahi Kasei Corporation, p/n SMCK 1000P  
<http://www.asahi-kasei.co.jp/ak-mate/pof/en/product/multi-core.html>
3. Supplier Optimedia Inc., p/n OM-Giga  
[http://www.optimedia.co.kr/eng\\_optimedia\\_main\\_b\\_01.htm](http://www.optimedia.co.kr/eng_optimedia_main_b_01.htm)

## VI.3. Si PIN PD S5973 Hamamatsu

**PHOTODIODE**

## Si PIN photodiode S5971, S5972, S5973 series

High-speed photodiodes (S5973 series: 1.5 GHz)



S5971, S5972 and S5973 series are high-speed Si PIN photodiodes designed for visible to near infrared light detection. These photodiodes provide wideband characteristics at a low bias, making them suitable for optical communications and other high-speed photometry. S5973 series includes a mini-lens type (S5973-01) that can be efficiently coupled to an optical fiber and a violet sensitivity enhanced type (S5973-02) ideal for violet laser detection.

Features		Applications	
<ul style="list-style-type: none"> <li>High-speed response S5971 : 100 MHz (VR=10 V) S5972 : 500 MHz (VR=10 V) S5973 series: 1.5 GHz (VR=10 V)</li> <li>Low price</li> <li>High sensitivity S5973-02: 0.3 A/W, QE=91 % (<math>\lambda=410</math> nm)</li> <li>High reliability</li> </ul>		<ul style="list-style-type: none"> <li>Optical fiber communications</li> <li>High-speed photometry</li> <li>Violet laser detection (S5973-02)</li> </ul>	

■ General ratings / Absolute maximum ratings

Type No.	Dimensional outline/ Window material *1	Package (mm)	Active area size (mm)	Effective active area (mm <sup>2</sup> )	Absolute maximum ratings			
					Reverse voltage VR Max. (V)	Power dissipation P (mW)	Operating temperature Topr (°C)	Storage temperature Tstg (°C)
S5971	@/K	TO-18	Φ1.2	1.1	20	50	-40 to +100	-55 to +125
S5972			Φ0.8	0.5				
S5973	@/L		Φ0.4	0.12				
S5973-01								
S5973-02	@/K							

■ Electrical and optical characteristics

Type No.	Spectral response range $\lambda$ (nm)	Peak sensitivity wavelength $\lambda_p$ (nm)	Photo sensitivity S (A/W)				Short circuit current Is 100 k ( $\mu$ A)	Dark current Io VR=10 V (nA)		Temp. coefficient of Io T <sub>C</sub> Io (times/°C)	Cut-off frequency fc VR=10 V f=1 MHz (GHz)	Terminal capacitance C <sub>t</sub> VR=10 V f=1 MHz (pF)	NEP VR=10 V (W/Hz <sup>1/2</sup> )				
			$\lambda_p$	660 nm	780 nm	830 nm		Typ.	Max.								
			S5971	320 to 1060	900	0.64		0.55	0.6					1.0	0.07	1	1.15
S5972	320 to 1000	800	0.57	0.44	0.55	0.42	0.01		0.5	0.5	3.1 × 10 <sup>-15</sup>						
S5973		760	0.52	0.51	0.47	0.09	0.002	0.1	1.5	1.5	1.5 × 10 <sup>-15</sup>						
S5973-01											0.45	0.3 *2	0.42	0.37	0.06	1.6	
S5973-02																	

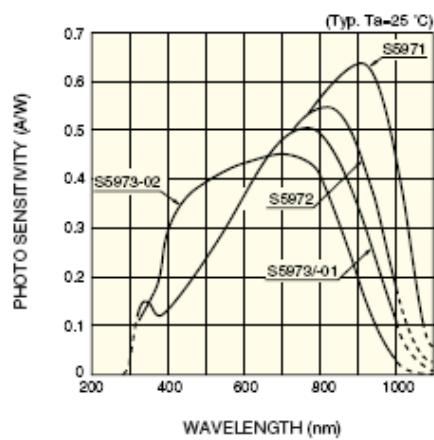
\*1: Window material K: borosilicate glass, L: lens type borosilicate glass  
\*2:  $\lambda=410$  nm

**HAMAMATSU**

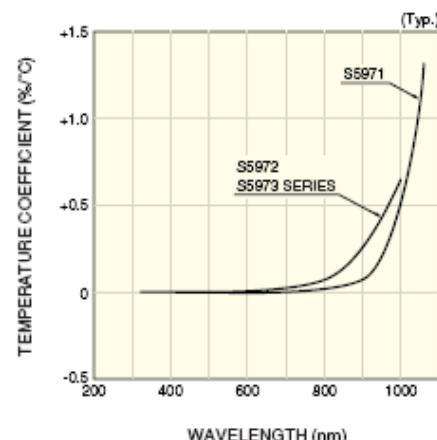
**SOLID STATE DIVISION**

**Si PIN photodiode S5971, S5972, S5973 series**

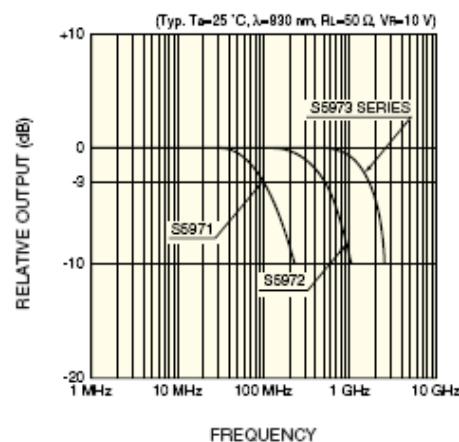
■ Spectral response



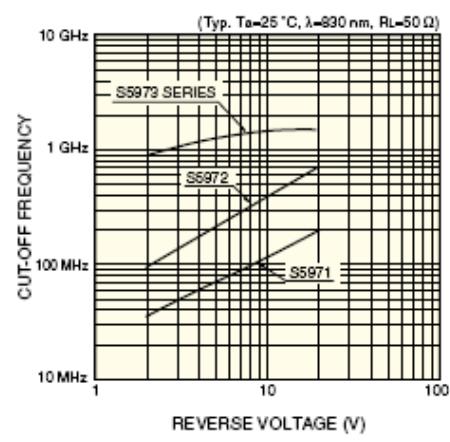
■ Photo sensitivity temperature characteristics



■ Frequency response

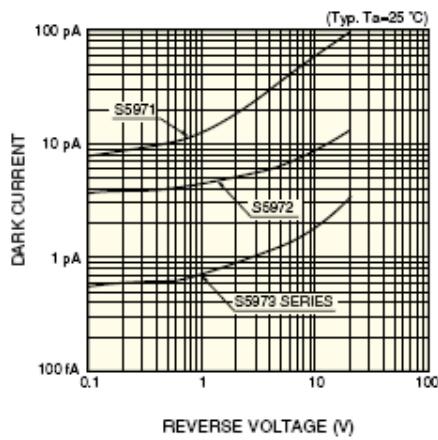


■ Cut-off frequency vs. reverse voltage

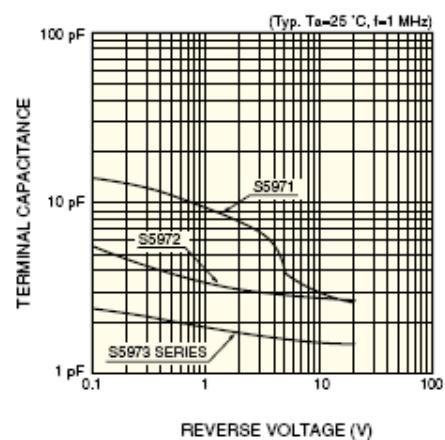


**Si PIN photodiode S5971, S5972, S5973 series**

■ Dark current vs. reverse voltage

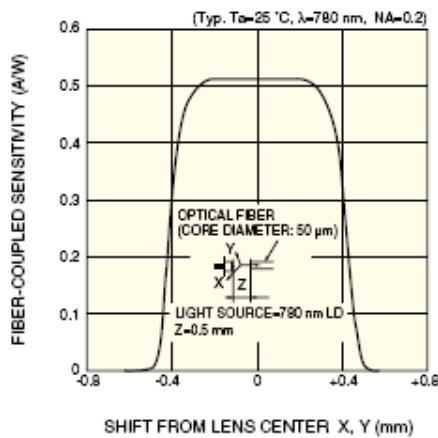


■ Terminal capacitance vs. reverse voltage

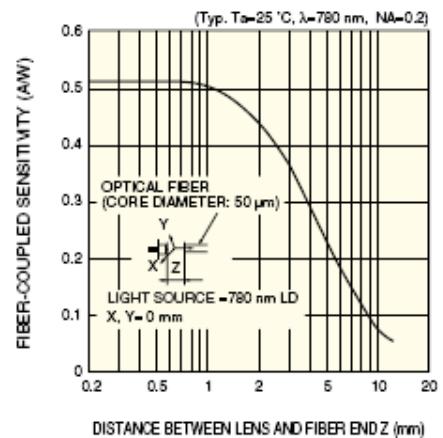


■ Fiber coupling characteristics (S5973-01)

X, Y direction



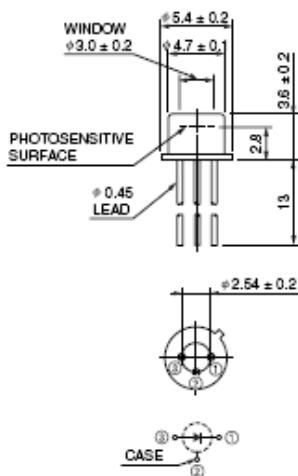
Z direction



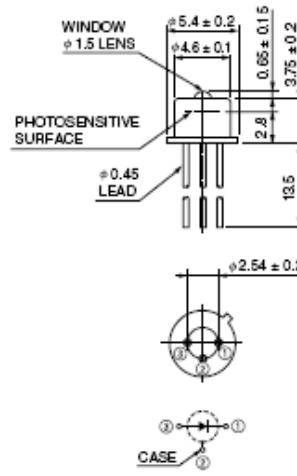
**Si PIN photodiode S5971, S5972, S5973 series**

## ■ Dimensional outlines (unit: mm)

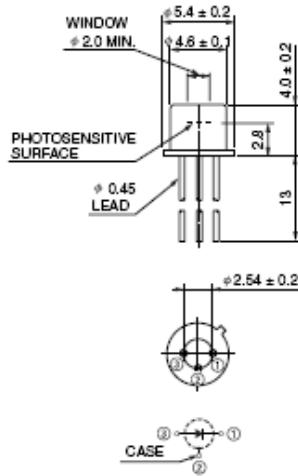
① S5971, S5972, S5973



② S5973-01



③ S5973-02

**HAMAMATSU**

HAMAMATSU PHOTONICS K.K., Solid State Division

1126-1 Ichino-cho, Hamamatsu City, 435-8558 Japan, Telephone: (81) 053-434-3344, Fax: (81) 053-434-5184, http://www.hamamatsu.com

U.S.A.: Hamamatsu Corporation, 200 Foothill Road, P.O.Box 1010, Bridgewater, NJ 08807-0100, U.S.A., Telephone: (1) 908-231-0860, Fax: (1) 908-231-1216

Germany: Hamamatsu Photonics Deutschland GmbH, Arzbergstrasse 10, D-8221 Herrsching am Ammersee, Germany, Telephone: (49) 8152-3750, Fax: (49) 8152-3255

France: Hamamatsu Photonics France S.A.R.L., 6, Rue du Sable Trapu, Parc du Moulin de Massy, 91120 Massy Cedex, France, Telephone: 33-(1) 69 53 71 00, Fax: 33-(1) 69 53 71 10

United Kingdom: Hamamatsu Photonics U.K. Limited, 2 Howard Court, 10 Town Road, Watford Hertfordshire AL7 1BW, United Kingdom, Telephone: (44) 1707-294856, Fax: (44) 1707-225777

North Europe: Hamamatsu Photonics Norden AB, Smidsvägen 12, SE-171 41 Solna, Sweden, Telephone: (46) 8-509-031-00, Fax: (46) 8-509-031-01

Italy: Hamamatsu Photonics Italia S.R.L., Strada della Mola, 1/E, 20020 Arzago (Milano), Italy, Telephone: (39) 02-925-51-733, Fax: (39) 02-925-51-741

Information furnished by HAMAMATSU is believed to be reliable. However, no responsibility is assumed for possible inaccuracies or omissions. Specifications are subject to change without notice. No patent rights are granted to any of the circuits described herein. ©2003 Hamamatsu Photonics K.K.

Cat. No. KPIN1025E03  
Mar. 2003 DN

## VI.4. Transistor bipolar 2N2222A ST



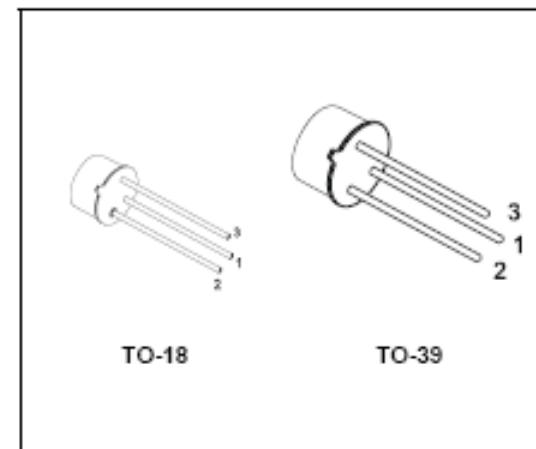
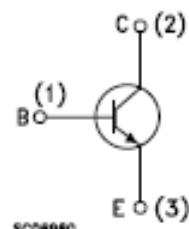
**2N2219A  
2N2222A**

**HIGH SPEED SWITCHES**

PRELIMINARY DATA

**DESCRIPTION**

The 2N2219A and 2N2222A are silicon Planar Epitaxial NPN transistors in Jedec TO-39 (for 2N2219A) and in Jedec TO-18 (for 2N2222A) metal case. They are designed for high speed switching application at collector current up to 500mA, and feature useful current gain over a wide range of collector current, low leakage currents and low saturation voltage.

**INTERNAL SCHEMATIC DIAGRAM****ABSOLUTE MAXIMUM RATINGS**

Symbol	Parameter	Value	Unit
$V_{CEO}$	Collector-Base Voltage ( $I_E = 0$ )	75	V
$V_{CEO}$	Collector-Emitter Voltage ( $I_B = 0$ )	40	V
$V_{EB0}$	Emitter-Base Voltage ( $I_C = 0$ )	6	V
$I_C$	Collector Current	0.6	A
$I_{CM}$	Collector Peak Current ( $t_p < 5 \text{ ms}$ )	0.6	A
$P_{tot}$	Total Dissipation at $T_{amb} \leq 25^\circ\text{C}$	0.8	W
	for 2N2219A		
	for 2N2222A	0.5	W
	at $T_C \leq 25^\circ\text{C}$		
	for 2N2219A		
	for 2N2222A	3	W
		1.8	W
$T_{stg}$	Storage Temperature	-65 to 175	°C
$T_J$	Max. Operating Junction Temperature	175	°C

## 2N2219A / 2N2222A

## THERMAL DATA

			TO-39	TO-18	
$R_{thj-case}$	Thermal Resistance Junction-Case	Max	50	83.3	$^{\circ}\text{C}/\text{W}$
$R_{thj-amb}$	Thermal Resistance Junction-Ambient	Max	187.5	300	$^{\circ}\text{C}/\text{W}$

ELECTRICAL CHARACTERISTICS ( $T_{case} = 25^{\circ}\text{C}$  unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
$I_{CBO}$	Collector Cut-off Current ( $I_E = 0$ )	$V_{CB} = 60 \text{ V}$ $V_{CB} = 60 \text{ V} \quad T_j = 150^{\circ}\text{C}$			10 10	nA $\mu\text{A}$
$I_{CEX}$	Collector Cut-off Current ( $V_{BE} = -3\text{V}$ )	$V_{CE} = 60 \text{ V}$			10	nA
$I_{BEX}$	Base Cut-off Current ( $V_{BE} = -3\text{V}$ )	$V_{CE} = 60 \text{ V}$			20	nA
$I_{EBO}$	Emitter Cut-off Current ( $I_C = 0$ )	$V_{EB} = 3 \text{ V}$			10	nA
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage ( $I_E = 0$ )	$I_C = 10 \mu\text{A}$	75			V
$V_{(BR)CEO}*$	Collector-Emitter Breakdown Voltage ( $I_B = 0$ )	$I_C = 10 \text{ mA}$	40			V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage ( $I_C = 0$ )	$I_E = 10 \mu\text{A}$	6			V
$V_{CE(sat)*}$	Collector-Emitter Saturation Voltage	$I_C = 150 \text{ mA} \quad I_B = 15 \text{ mA}$ $I_C = 500 \text{ mA} \quad I_B = 50 \text{ mA}$			0.3 1	V
$V_{BE(sat)*}$	Base-Emitter Saturation Voltage	$I_C = 150 \text{ mA} \quad I_E = 15 \text{ mA}$ $I_C = 500 \text{ mA} \quad I_E = 50 \text{ mA}$	0.6		1.2 2	V
$h_{FE}*$	DC Current Gain	$I_C = 0.1 \text{ mA} \quad V_{CE} = 10 \text{ V}$ $I_C = 1 \text{ mA} \quad V_{CE} = 10 \text{ V}$ $I_C = 10 \text{ mA} \quad V_{CE} = 10 \text{ V}$ $I_C = 150 \text{ mA} \quad V_{CE} = 10 \text{ V}$ $I_C = 500 \text{ mA} \quad V_{CE} = 10 \text{ V}$ $I_C = 150 \text{ mA} \quad V_{CE} = 1 \text{ V}$ $I_C = 10 \text{ mA} \quad V_{CE} = 10 \text{ V}$ $T_{amb} = -55^{\circ}\text{C}$	35 50 75 100 40 50 35		300	
$h_{fe}*$	Small Signal Current Gain	$I_C = 1 \text{ mA} \quad V_{CE} = 10 \text{ V} \quad f = 1\text{KHz}$ $I_C = 10 \text{ mA} \quad V_{CE} = 10 \text{ V} \quad f = 1\text{KHz}$	50 75		300 375	
$f_T$	Transition Frequency	$I_C = 20 \text{ mA} \quad V_{CE} = 20 \text{ V}$ $f = 100 \text{ MHz}$		300		MHz
$C_{EBO}$	Emitter-Base Capacitance	$I_C = 0 \quad V_{EB} = 0.5 \text{ V} \quad f = 100\text{KHz}$			25	pF
$C_{CBO}$	Collector-Base Capacitance	$I_E = 0 \quad V_{CB} = 10 \text{ V} \quad f = 100 \text{ KHz}$			8	pF
$R_{e(hie)}$	Real Part of Input Impedance	$I_C = 20 \text{ mA} \quad V_{CE} = 20 \text{ V}$ $f = 300\text{MHz}$			60	$\Omega$

\* Pulsed: Pulse duration = 300  $\mu\text{s}$ , duty cycle  $\leq 1\%$

## ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
NF	Noise Figure	$I_C = 0.1 \text{ mA}$ $V_{CE} = 10 \text{ V}$ $f = 1\text{KHz}$ $R_g = 1\text{k}\Omega$		4		dB
$h_{ie}$	Input Impedance	$I_C = 1 \text{ mA}$ $V_{CE} = 10 \text{ V}$ $I_C = 10 \text{ mA}$ $V_{CE} = 10 \text{ V}$	2 0.25		8 1.25	$\text{k}\Omega$ $\text{k}\Omega$
$h_{re}$	Reverse Voltage Ratio	$I_C = 1 \text{ mA}$ $V_{CE} = 10 \text{ V}$ $I_C = 10 \text{ mA}$ $V_{CE} = 10 \text{ V}$			8 4	$10^{-4}$ $10^{-4}$
$h_{oe}$	Output Admittance	$I_C = 1 \text{ mA}$ $V_{CE} = 10 \text{ V}$ $I_C = 10 \text{ mA}$ $V_{CE} = 10 \text{ V}$	5 25		35 200	$\mu\text{S}$ $\mu\text{S}$
$t_d^{**}$	Delay Time	$V_{CC} = 30 \text{ V}$ $I_C = 150 \text{ mA}$ $I_{B1} = 15 \text{ mA}$ $V_{BB} = -0.5 \text{ V}$			10	ns
$t_r^{**}$	Rise Time	$V_{CC} = 30 \text{ V}$ $I_C = 150 \text{ mA}$ $I_{B1} = 15 \text{ mA}$ $V_{BB} = -0.5 \text{ V}$			25	ns
$t_s^{**}$	Storage Time	$V_{CC} = 30 \text{ V}$ $I_C = 150 \text{ mA}$ $I_{B1} = -I_{B2} = 15 \text{ mA}$			225	ns
$t_f^{**}$	Fall Time	$V_{CC} = 30 \text{ V}$ $I_C = 150 \text{ mA}$ $I_{B1} = -I_{B2} = 15 \text{ mA}$			60	ns
$r_{bb'}$ C <sub>be</sub>	Feedback Time Constant	$I_C = 20 \text{ mA}$ , $V_{CE} = 20 \text{ V}$ $f = 31.8\text{MHz}$			150	ps

\* Pulsed: Pulse duration = 300  $\mu\text{s}$ , duty cycle  $\leq 1\%$ 

\*\* See test circuit

## VI.5. Transistor NMOS ALD1116 Advanced Linear Devices



ADVANCED  
LINEAR  
DEVICES, INC.

ALD1106/ALD1116

### QUAD/DUAL N-CHANNEL MATCHED PAIR MOSFET ARRAY

#### GENERAL DESCRIPTION

The ALD1108/ALD1116 are monolithic quad/dual N-channel enhancement mode matched MOSFET transistor arrays intended for a broad range of precision analog applications. The ALD1108/ALD1116 offer high input impedance and negative current temperature coefficient. The transistor pairs are matched for minimum offset voltage and differential thermal response, and they are designed for precision analog switching and amplifying applications in +2V to +12V systems where low input bias current, low input capacitance and fast switching speed are desired. These MOSFET devices feature very large (almost infinite) current gain in a low frequency, or near DC, operating environment. The ALD1108/ALD1116 are building blocks for differential amplifier input stages, transmission gates, and multiplexer applications, current sources and many precision analog circuits.

#### FEATURES

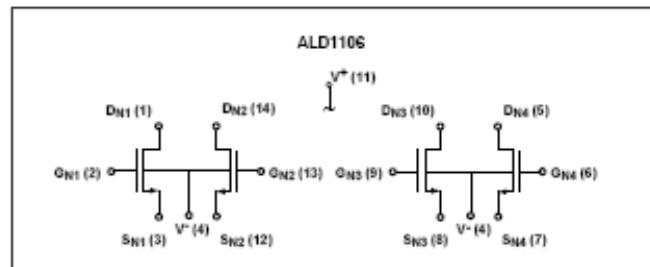
- Low threshold voltage of 0.7V
- Low input capacitance
- Low  $V_{os}$  2mV typical
- High input impedance –  $10^{14}\Omega$  typical
- Negative current ( $I_{DS}$ ) temperature coefficient
- Enhancement-mode (normally off)
- DC current gain 10<sup>9</sup>
- Low input and output leakage currents
- RoHS compliant

#### ORDERING INFORMATION ("L" suffix denotes lead-free (RoHS))

Operating Temperature Range*		
0°C to +70°C	0°C to +70°C	-55°C to +125°C
8-Pin SOIC Package	8-Pin Plastic Dip Package	8-Pin CERDIP Package
ALD1116SAL	ALD1116PAL	ALD1116DA
14-Pin SOIC Package	14-Pin Plastic Dip Package	14-Pin CERDIP Package
ALD1106SBL	ALD1106PBL	ALD1106DB

\* Contact factory for leaded (non-RoHS) or high temperature versions.

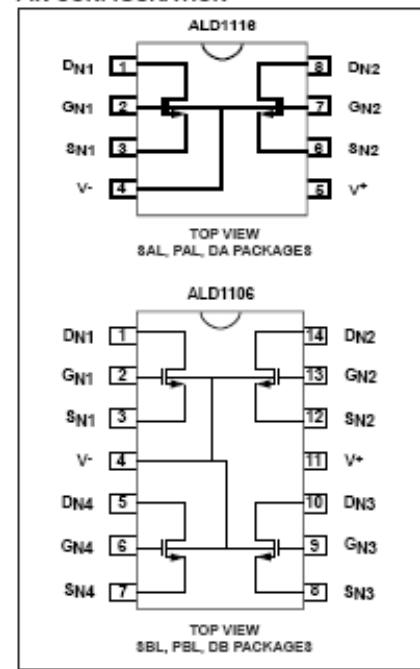
#### BLOCK DIAGRAM



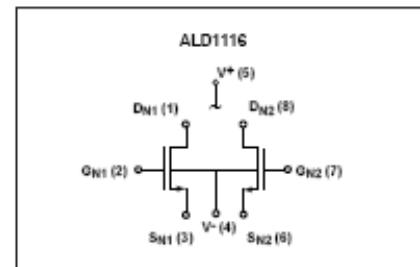
#### APPLICATIONS

- Precision current mirrors
- Precision current sources
- Voltage choppers
- Differential amplifier input stage
- Voltage comparator
- Data converters
- Sample and Hold
- Analog signal processing

#### PIN CONFIGURATION



#### BLOCK DIAGRAM



## ANEXOS

### ABSOLUTE MAXIMUM RATINGS

Drain-source voltage, $V_{DS}$	10.6V
Gate-source voltage, $V_{GS}$	10.6V
Power dissipation	500mW
Operating temperature range SAL, PAL, SBL, PBL packages	0°C to +70°C
DA, DB packages	-55°C to +125°C
Storage temperature range	-65°C to +150°C
Lead temperature, 10 seconds	+260°C

CAUTION: ESD Sensitive Device. Use static control procedures in ESD controlled environment.

### OPERATING ELECTRICAL CHARACTERISTICS

TA = 25°C unless otherwise specified

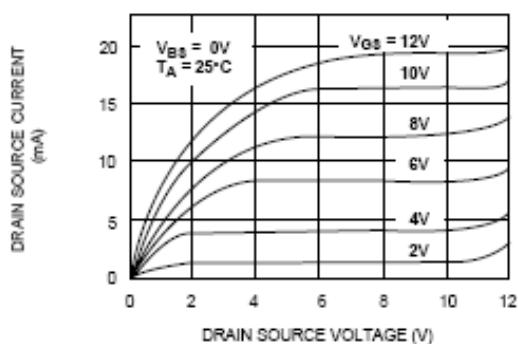
Parameter	Symbol	ALD1106			ALD1116			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max		
Gate Threshold Voltage	$V_T$	0.4	0.7	1.0	0.4	0.7	1.0	V	$I_{DS} = 1.0\mu A, V_{GS} = V_{DS}$
Offset Voltage $V_{GS1}-V_{GS2}$	$V_{OS}$		2	10		2	10	mV	$I_{DS} = 10\mu A, V_{GS} = V_{DS}$
Gate Threshold Temperature Drift <sup>a</sup>	$TC_VT$		-1.2			-1.2		mV/°C	
On Drain Current	$I_{DS}(\text{ON})$	3.0	4.8		3.0	4.8		mA	$V_{GS} = V_{DS} = 5V$
Transconductance	$G_{TS}$	1.0	1.8		1.0	1.8		mmho	$V_{DS} = 5V, I_{DS} = 10mA$
Mismatch	$\Delta G_{TS}$		0.5			0.5		%	
Output Conductance	$G_{OS}$		200			200		μmho	$V_{DS} = 5V, I_{DS} = 10mA$
Drain Source On Resistance	$R_{DS(\text{ON})}$		350	500		350	500	Ω	$V_{DS} = 0.1V, V_{GS} = 5V$
Drain Source On Resistance Mismatch	$\Delta R_{DS(\text{ON})}$		0.5			0.5		%	$V_{DS} = 0.1V, V_{GS} = 5V$
Drain Source Breakdown Voltage	$BV_{DSS}$	12			12			V	$I_{DS} = 1.0\mu A, V_{GS} = 0V$
Off Drain Current <sup>b</sup>	$I_{DS(\text{OFF})}$		10	400 4		10	400 4	pA nA	$V_{DS} = 12V, V_{GS} = 0V, T_A = 125^{\circ}C$
Gate Leakage Current	$I_{GSS}$		0.1	10 1		0.1	10 1	pA nA	$V_{DS} = 0V, V_{GS} = 12V, T_A = 125^{\circ}C$
Input Capacitance <sup>c</sup>	$C_{ISS}$		1	3		1	3	pF	

Notes: <sup>1</sup> Consists of junction leakage currents

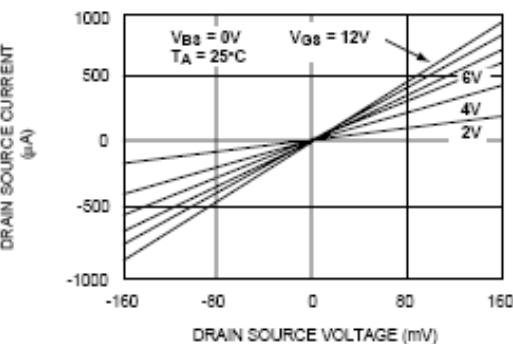
<sup>2</sup> Sample tested parameters

## TYPICAL PERFORMANCE CHARACTERISTICS

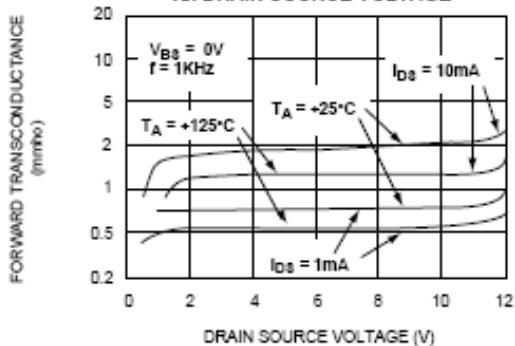
OUTPUT CHARACTERISTICS



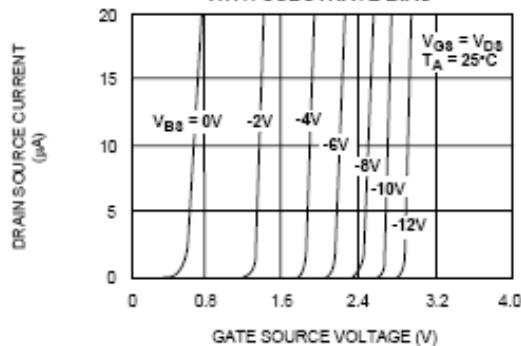
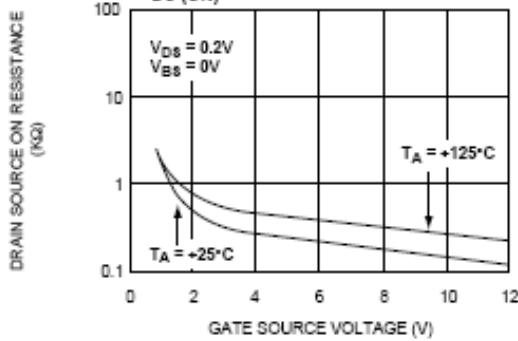
LOW VOLTAGE OUTPUT CHARACTERISTICS



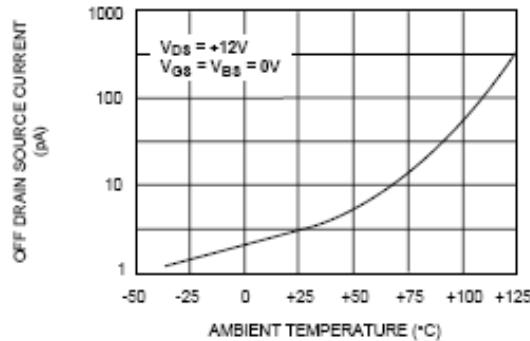
FORWARD TRANSCONDUCTANCE vs. DRAIN SOURCE VOLTAGE



TRANSFER CHARACTERISTIC WITH SUBSTRATE BIAS

DRAIN SOURCE ON RESISTANCE R<sub>DS</sub> (ON) vs. GATE SOURCE VOLTAGE

OFF DRAIN CURRENT vs. AMBIENT TEMPERATURE



## VI.6. Transistor bipolar NE662M04 California Eastern Laboratories



A Business Partner of Renesas Electronics Corporation.  
**CEL** California Eastern Laboratories

### 2SC5508 / NE662M04

Data Sheet

NPN SILICON RF TRANSISTOR  
FOR LOW-NOISE, HIGH-GAIN AMPLIFICATION  
FLAT-LEAD 4-PIN THIN-TYPE SUPER MINIMOLD (M04)

R09DS0055EJ0200  
Rev.2.00  
Mar 5, 2013

#### FEATURES

- Ideal for low-noise, high-gain amplification applications
- NEF = 1.1 dB TYP., G<sub>v</sub> = 16 dB TYP. @ V<sub>CE</sub> = 2 V, I<sub>C</sub> = 5 mA, f = 2 GHz
- Maximum available power gain: MAG = 19 dB TYP. @ V<sub>CE</sub> = 2 V, I<sub>C</sub> = 20 mA, f = 2 GHz
- f<sub>T</sub> = 25 GHz technology adopted
- Flat-lead 4-pin thin-type super minimold (M04) package

#### <R> ORDERING INFORMATION

Part Number	Order Number	Quantity	Package	Supplying Form
2SC5508	2SC5508-A	50 pcs (Non reel)	Flat-lead 4-pin thin-type super minimold (M04)	• 8 mm wide embossed taping
2SC5508-T2	2SC5508-T2-A	3 kpcs/reel		• Pin 1 (Emitter), Pin 2 (Collector) face the perforation side of the tape
2SC5508-T2B	2SC5508-T2B-A	15 kpcs/reel	(Pb-Free)	

Remark To order evaluation samples, please contact your nearby sales office.

The unit sample quantity is 50 pcs.

#### ABSOLUTE MAXIMUM RATINGS (T<sub>c</sub> = 26°C)

Parameter	Symbol	Ratings	Unit
Collector to Base Voltage	V <sub>CEO</sub>	15	V
Collector to Emitter Voltage	V <sub>CEO</sub>	3.3	V
Emitter to Base Voltage	V <sub>EBO</sub>	1.5	V
Collector Current	I <sub>C</sub>	35	mA
Total Power Dissipation	P <sub>tot</sub> <sup>Note</sup>	115	mW
Junction Temperature	T <sub>j</sub>	150	°C
Storage Temperature	T <sub>stg</sub>	-65 to +150	°C

Note Free air.

#### THERMAL RESISTANCE

Parameter	Symbol	Ratings	Unit
Junction to Case Resistance	R <sub>th(j-c)</sub>	150	°C /W
Junction to Ambient Resistance	R <sub>th(j-a)</sub>	650	°C /W

#### CAUTION

Observe precautions when handling because these devices are sensitive to electrostatic discharge.

The mark <R> shows major revised points.

The revised points can be easily searched by copying an "<R>" in the PDF file and specifying it in the "Find what:" field.

## ANEXOS

2SC5508 / NE662M04

A Business Partner of Renesas Electronics Corporation  
**CEL** California Eastern Laboratories

### ELECTRICAL CHARACTERISTICS ( $T_A = +25^\circ\text{C}$ )

Parameter	Symbol	Conditions	MIN.	TYP.	MAX.	Unit
DC Characteristics						
Collector Cut-off Current	$I_{CEO}$	$V_{CB} = 5 \text{ V}, I_E = 0$	—	—	200	nA
Emitter Cut-off Current	$I_{EO}$	$V_{EB} = 1 \text{ V}, I_C = 0$	—	—	200	nA
DC Current Gain	$h_{FE}^{\text{Note 1}}$	$V_{CE} = 2 \text{ V}, I_C = 5 \text{ mA}$	50	70	100	—
RF Characteristics						
Gain Bandwidth Product	$f_T$	$V_{CE} = 3 \text{ V}, I_C = 30 \text{ mA}, f = 2 \text{ GHz}$	20	25	—	GHz
Insertion Power Gain	$ S_{21} ^2$	$V_{CE} = 2 \text{ V}, I_C = 20 \text{ mA}, f = 2 \text{ GHz}$	14	17	—	dB
Noise Figure	NF	$V_{CE} = 2 \text{ V}, I_C = 5 \text{ mA}, f = 2 \text{ GHz}, Z_S = Z_{opt}$	—	1.1	1.5	dB
Reverse Transfer Capacitance	$C_{re}^{\text{Note 2}}$	$V_{CB} = 2 \text{ V}, I_E = 0, f = 1 \text{ MHz}$	—	0.18	0.24	pF
Maximum Available Power Gain	MAG <sup>Note 3</sup>	$V_{CE} = 2 \text{ V}, I_C = 20 \text{ mA}, f = 2 \text{ GHz}$	—	19	—	dB
Maximum Stable Power Gain	MSG <sup>Note 4</sup>	$V_{CE} = 2 \text{ V}, I_C = 20 \text{ mA}, f = 2 \text{ GHz}$	—	20	—	dB
Gain 1 dB Compression Output Power	$P_{O(1\text{dB})}$	$V_{CE} = 2 \text{ V}, I_C = 20 \text{ mA}^{\text{Note 5}}, f = 2 \text{ GHz}$	—	11	—	dBm
3rd Order Intermodulation Distortion Output Intercept Point	OIP <sub>3</sub>	$V_{CE} = 2 \text{ V}, I_C = 20 \text{ mA}^{\text{Note 6}}, f = 2 \text{ GHz}$	—	22	—	dBm

Notes 1. Pulse measurement: PW ≤ 350 μs, Duty Cycle ≤ 2%

2. Collector to base capacitance when the emitter grounded

$$3. \text{ MAG} = \left| \frac{S_{21}}{S_{12}} \right| (K - \sqrt{(K^2 - 1)})$$

$$4. \text{ MSG} = \left| \frac{S_{21}}{S_{12}} \right|$$

5. Collector current when  $P_{O(1\text{dB})}$  is output

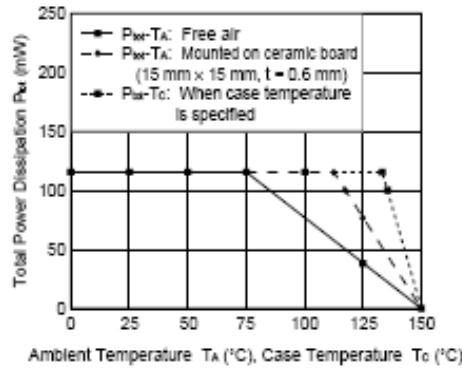
### $h_{FE}$ CLASSIFICATION

Rank	FB/YFB
Marking	T79
$h_{FE}$ Value	50 to 100

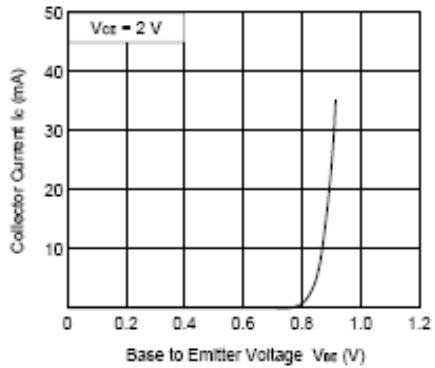
TYPICAL CHARACTERISTICS ( $T_A = +25^\circ\text{C}$ , unless otherwise specified)

## Thermal/DC Characteristics

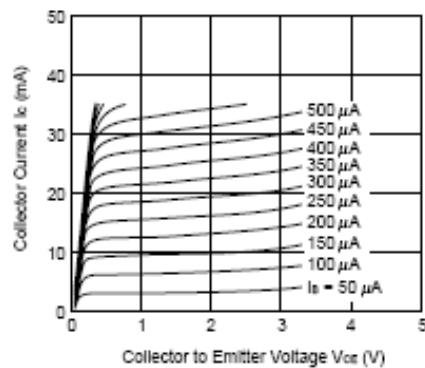
TOTAL POWER DISSIPATION vs. AMBIENT TEMPERATURE, CASE TEMPERATURE



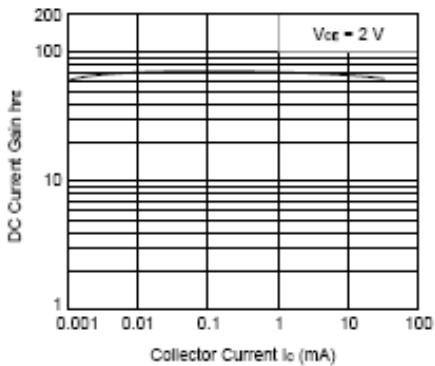
COLLECTOR CURRENT vs. BASE TO Emitter VOLTAGE



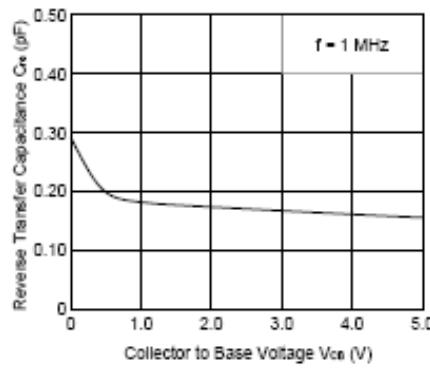
COLLECTOR CURRENT vs. COLLECTOR TO Emitter VOLTAGE



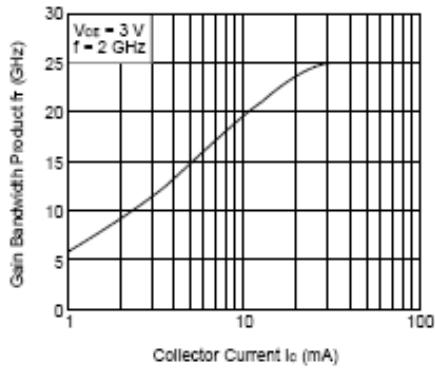
DC CURRENT GAIN vs. COLLECTOR CURRENT

Capacitance/f<sub>T</sub> Characteristics

REVERSE TRANSFER CAPACITANCE vs. COLLECTOR TO BASE VOLTAGE

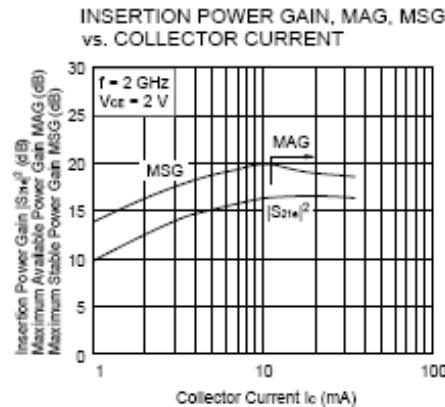
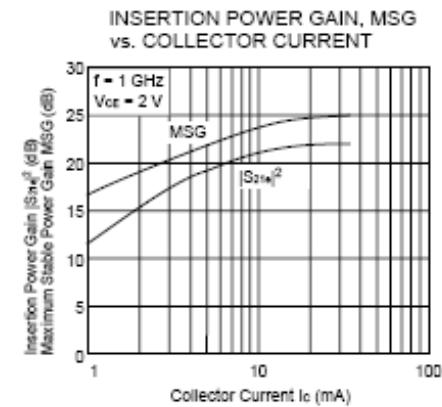
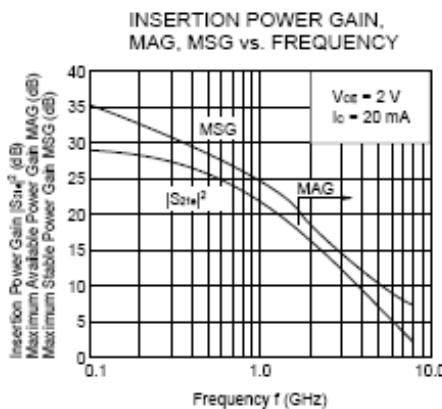


GAIN BANDWIDTH PRODUCT vs. COLLECTOR CURRENT

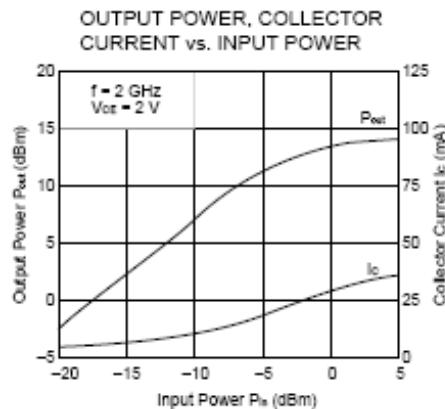
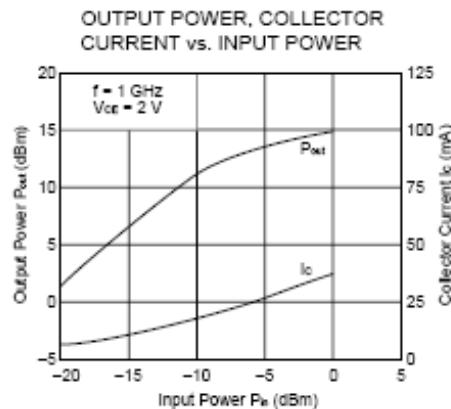


Remark: The graphs indicate nominal characteristics.

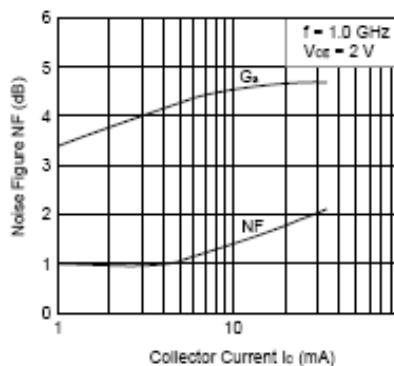
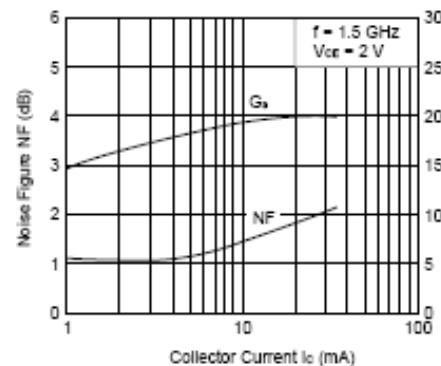
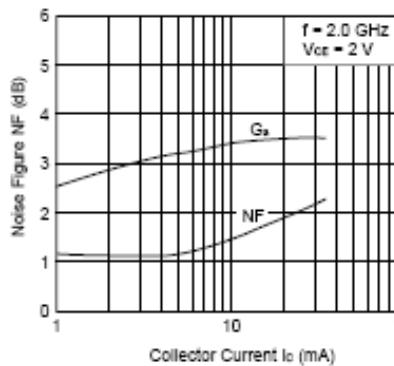
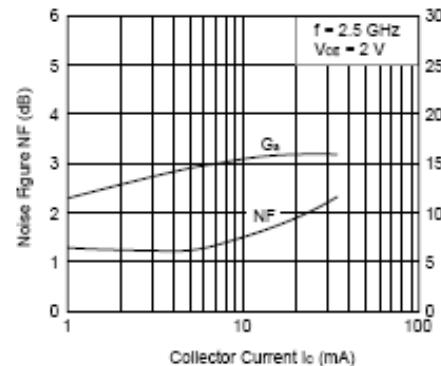
## Gain Characteristics



## Output Characteristics



Remark The graphs indicate nominal characteristics.

**Noise Characteristics**NOISE FIGURE, ASSOCIATED GAIN  
vs. COLLECTOR CURRENTNOISE FIGURE, ASSOCIATED GAIN  
vs. COLLECTOR CURRENTNOISE FIGURE, ASSOCIATED GAIN  
vs. COLLECTOR CURRENTNOISE FIGURE, ASSOCIATED GAIN  
vs. COLLECTOR CURRENT

Remark: The graphs indicate nominal characteristics.

**<R> S-PARAMETERS**

S-parameters and noise parameters are provided on our web site in a form (S2P) that enables direct import of the parameters to microwave circuit simulators without the need for keyboard inputs.

[Click here to download S-parameters.](#)

[Products] → [RF Devices] → [Device Parameters]

URL <http://www.renesas.com/products/microwave/>

## ANEXOS

2SC5508 / NE062M04

A Business Partner of Renesas Electronics Corporation  
**CEL** California Eastern Laboratories

### NOISE PARAMETERS

$V_{CE} = 2 \text{ V}$ ,  $I_C = 3 \text{ mA}$

f (GHz)	NF <sub>min</sub> (dB)	G <sub>a</sub> (dB)	$\Gamma_{opt}$		Rn/50
			MAG.	ANG.	
0.8	0.78	21.4	0.26	31.7	0.17
0.9	0.80	20.7	0.26	32.7	0.17
1.0	0.82	20.0	0.26	34.7	0.17
1.5	0.93	17.0	0.23	57.0	0.16
1.8	1.00	15.6	0.20	78.0	0.14
1.9	1.02	15.2	0.19	86.0	0.14
2.0	1.04	14.8	0.19	94.2	0.13
2.5	1.15	13.5	0.20	138.3	0.10

$V_{CE} = 2 \text{ V}$ ,  $I_C = 5 \text{ mA}$

f (GHz)	NF <sub>min</sub> (dB)	G <sub>a</sub> (dB)	$\Gamma_{opt}$		Rn/50
			MAG.	ANG.	
0.8	0.93	22.5	0.12	28.1	0.15
0.9	0.94	21.8	0.12	28.8	0.15
1.0	0.96	21.1	0.12	31.7	0.15
1.5	1.03	18.1	0.09	71.1	0.14
1.8	1.07	16.7	0.08	106.2	0.13
1.9	1.09	16.3	0.08	118.5	0.13
2.0	1.10	15.9	0.08	130.5	0.12
2.5	1.17	14.3	0.14	-179.7	0.11

$V_{CE} = 2 \text{ V}$ ,  $I_C = 10 \text{ mA}$

f (GHz)	NF <sub>min</sub> (dB)	G <sub>a</sub> (dB)	$\Gamma_{opt}$		Rn/50
			MAG.	ANG.	
0.8	1.28	23.7	0.07	-159.4	0.13
0.9	1.29	23.0	0.07	-157.5	0.13
1.0	1.30	22.3	0.08	-155.7	0.13
1.5	1.37	19.3	0.13	-149.2	0.13
1.8	1.41	17.8	0.16	-146.1	0.13
1.9	1.43	17.3	0.17	-145.0	0.13
2.0	1.44	16.9	0.19	-143.9	0.13
2.5	1.51	15.3	0.25	-136.7	0.13

$V_{CE} = 2 \text{ V}$ ,  $I_C = 20 \text{ mA}$

f (GHz)	NF <sub>min</sub> (dB)	G <sub>a</sub> (dB)	$\Gamma_{opt}$		Rn/50
			MAG.	ANG.	
0.8	1.59	24.5	0.26	-158.1	0.12
0.9	1.61	23.7	0.26	-155.5	0.13
1.0	1.63	23.0	0.27	-153.1	0.13
1.5	1.72	19.9	0.30	-142.6	0.14
1.8	1.78	18.3	0.33	-137.3	0.15
1.9	1.79	17.9	0.34	-135.7	0.08
2.0	1.81	17.5	0.35	-134.1	0.16
2.5	1.90	15.8	0.40	-126.5	0.18

## VI.7. Transistor bipolar HFA3127 Intersil



**HFA3046, HFA3096, HFA3127, HFA3128**

**Data Sheet**

**December 21, 2005**

**FN3076.13**

### **Ultra High Frequency Transistor Arrays**

The HFA3046, HFA3096, HFA3127 and the HFA3128 are Ultra High Frequency Transistor Arrays that are fabricated from Intersil Corporation's complementary bipolar UHF-1 process. Each array consists of five dielectrically isolated transistors on a common monolithic substrate. The NPN transistors exhibit a  $f_T$  of 8GHz while the PNP transistors provide a  $f_T$  of 5.5GHz. Both types exhibit low noise (3.5dB), making them ideal for high frequency amplifier and mixer applications.

The HFA3046 and HFA3127 are all NPN arrays while the HFA3128 has all PNP transistors. The HFA3096 is an NPN-PNP combination. Access is provided to each of the terminals for the individual transistors for maximum application flexibility. Monolithic construction of these transistor arrays provides close electrical and thermal matching of the five transistors.

Intersil provides an Application Note illustrating the use of these devices as RF amplifiers. For more information, visit our website at [www.intersil.com](http://www.intersil.com).

### **Features**

- NPN Transistor ( $f_T$ ) ..... 8GHz
- NPN Current Gain ( $h_{FE}$ ) ..... 130
- NPN Early Voltage ( $V_A$ ) ..... 50V
- PNP Transistor ( $f_T$ ) ..... 5.5GHz
- PNP Current Gain ( $h_{FE}$ ) ..... 60
- PNP Early Voltage ( $V_A$ ) ..... 20V
- Noise Figure (50Ω) at 1.0GHz ..... 3.5dB
- Collector to Collector Leakage ..... <1pA
- Complete Isolation Between Transistors
- Pin Compatible with Industry Standard 3XXX Series Arrays
- Pb-Free Plus Anneal Available (RoHS Compliant)

### **Applications**

- VHF/UHF Amplifiers
- VHF/UHF Mixers
- IF Converters
- Synchronous Detectors

### **Ordering Information**

PART NUMBER*	PART MARKING	TEMP. RANGE (°C)	PACKAGE	PKG. DWG. #
HFA3046B	HFA3046B	-55 to 125	14 Ld SOIC	M14.15
HFA3046BZ (Note)	HFA3046BZ	-55 to 125	14 Ld SOIC (Pb-free)	M14.15
HFA3096B	HFA3096B	-55 to 125	16 Ld SOIC	M16.15
HFA3096BZ (Note)	HFA3096BZ	-55 to 125	16 Ld SOIC (Pb-free)	M16.15
HFA3127B	HFA3127B	-55 to 125	16 Ld SOIC	M16.15
HFA3127BZ (Note)	HFA3127BZ	-55 to 125	16 Ld SOIC (Pb-free)	M16.15
HFA3127R	127	-55 to 125	16 Ld 3x3 QFN	L16.3x3
HFA3127RZ (Note)	127Z	-55 to 125	16 Ld 3x3 QFN (Pb-free)	L16.3x3
HFA3128B	HFA3128B	-55 to 125	16 Ld SOIC	M16.15
HFA3128BZ (Note)	HFA3128BZ	-55 to 125	16 Ld SOIC (Pb-free)	M16.15
HFA3128R	128	-55 to 125	16 Ld 3x3 QFN	L16.3x3
HFA3128RZ (Note)	128Z	-55 to 125	16 Ld 3x3 QFN (Pb-free)	L16.3x3

\*Add "96" suffix for tape and reel.

NOTE: Intersil Pb-free plus anneal products employ special Pb-free material sets; molding compounds/die attach materials and 100% matte tin plate termination finish, which are RoHS compliant and compatible with both SnPb and Pb-free soldering operations. Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J STD-020.

## ANEXOS

### HFA3046, HFA3096, HFA3127, HFA3128

#### Absolute Maximum Ratings

Collector to Emitter Voltage (Open Base) . . . . .	8V
Collector to Base Voltage (Open Emitter) . . . . .	12V
Emitter to Base Voltage (Reverse Bias) . . . . .	5.5V
Collector Current (100% Duty Cycle) . . . . .	18.5mA at $T_J = 150^{\circ}\text{C}$ 34mA at $T_J = 125^{\circ}\text{C}$ 37mA at $T_J = 110^{\circ}\text{C}$
Peak Collector Current (Any Condition) . . . . .	65mA

#### Operating Information

Temperature Range . . . . .	-55°C to 125°C
-----------------------------	----------------

#### Thermal Information

Thermal Resistance (Typical)	$\theta_{JA}$ (°C/W)	$\theta_{JC}$ (°C/W)
14 Ld SOIC Package (Note 1) . . . . .	120	N/A
16 Ld SOIC Package (Note 1) . . . . .	115	N/A
QFN Package (Notes 2, 3) . . . . .	57	10
Maximum Power Dissipation (Any One Transistor) . . . . .	0.15W	
Maximum Junction Temperature (Die) . . . . .		175°C
Maximum Junction Temperature (Plastic Package) . . . . .		150°C
Maximum Storage Temperature Range . . . . .		-65°C to 150°C
Maximum Lead Temperature (Soldering 10s) . . . . .		300°C
(SOIC - Lead Tips Only)		

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

#### NOTES:

1.  $\theta_{JA}$  is measured with the component mounted on an evaluation PC board in free air.
2. For  $\theta_{JC}$ , the "case temp" location is the center of the exposed metal pad on the package underside.
3.  $\theta_{JA}$  is measured with the component mounted on a high effective thermal conductivity test board in free air. See Tech Brief TB379 for details.

#### Electrical Specifications $T_A = 25^{\circ}\text{C}$

PARAMETER	TEST CONDITIONS	DIE			SOIC, QFN			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
<b>DC NPN CHARACTERISTICS</b>								
Collector to Base Breakdown Voltage, $V_{(\text{BR})\text{CBO}}$	$I_C = 100\mu\text{A}, I_E = 0$	12	18	-	12	18	-	V
Collector to Emitter Breakdown Voltage, $V_{(\text{BR})\text{CEO}}$	$I_C = 100\mu\text{A}, I_B = 0$	8	12	-	8	12	-	V
Collector to Emitter Breakdown Voltage, $V_{(\text{BR})\text{CES}}$	$I_C = 100\mu\text{A}$ , Base Shorted to Emitter	10	20	-	10	20	-	V
Emitter to Base Breakdown Voltage, $V_{(\text{BR})\text{EBO}}$	$I_E = 10\mu\text{A}, I_C = 0$	5.5	6	-	5.5	6	-	V
Collector-Cutoff-Current, $I_{\text{CEO}}$	$V_{CE} = 6\text{V}, I_B = 0$	-	2	100	-	2	100	nA
Collector-Cutoff-Current, $I_{\text{CBO}}$	$V_{CB} = 8\text{V}, I_E = 0$	-	0.1	10	-	0.1	10	nA
Collector to Emitter Saturation Voltage, $V_{CE(\text{SAT})}$	$I_C = 10\text{mA}, I_D = 1\text{mA}$	-	0.3	0.5	-	0.3	0.5	V
Base to Emitter Voltage, $V_{BE}$	$I_C = 10\text{mA}$	-	0.85	0.95	-	0.85	0.95	V
DC Forward-Current Transfer Ratio, $h_{FE}$	$I_C = 10\text{mA}, V_{CE} = 2\text{V}$	40	130	-	40	130	-	
Early Voltage, $V_A$	$I_C = 1\text{mA}, V_{CE} = 3.5\text{V}$	20	50	-	20	50	-	V
Base to Emitter Voltage Drift	$I_C = 10\text{mA}$	-	-1.5	-	-	-1.5	-	mV/°C
Collector to Collector Leakage		-	1	-	-	1	-	pA

#### Electrical Specifications $T_A = 25^{\circ}\text{C}$

PARAMETER	TEST CONDITIONS	DIE			SOIC, QFN			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
<b>DYNAMIC NPN CHARACTERISTICS</b>								
Noise Figure	$f = 1.0\text{GHz}, V_{CE} = 5\text{V}, I_C = 5\text{mA}, Z_S = 50\Omega$	-	3.5	-	-	3.5	-	dB
$f_T$ Current Gain-Bandwidth Product	$I_C = 1\text{mA}, V_{CE} = 5\text{V}$	-	5.5	-	-	5.5	-	GHz
	$I_C = 10\text{mA}, V_{CE} = 5\text{V}$	-	8	-	-	8	-	GHz

## ANEXOS

### HFA3046, HFA3096, HFA3127, HFA3128

#### Electrical Specifications $T_A = 25^\circ C$ (Continued)

PARAMETER	TEST CONDITIONS	DIE			SOIC, QFN			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Power Gain-Bandwidth Product, $f_{MAX}$	$I_C = 10mA, V_{CE} = 5V$	-	6	-	-	2.5	-	GHz
Base to Emitter Capacitance	$V_{BE} = -3V$	-	200	-	-	500	-	fF
Collector to Base Capacitance	$V_{CB} = 3V$	-	200	-	-	500	-	fF

#### Electrical Specifications $T_A = 25^\circ C$

PARAMETER	TEST CONDITIONS	DIE			SOIC, QFN			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
<b>DC PNP CHARACTERISTICS</b>								
Collector to Base Breakdown Voltage, $V_{(BR)CBO}$	$I_C = -100\mu A, I_E = 0$	10	15	-	10	15	-	V
Collector to Emitter Breakdown Voltage, $V_{(BR)CEO}$	$I_C = -100\mu A, I_B = 0$	8	15	-	8	15	-	V
Collector to Emitter Breakdown Voltage, $V_{(BR)CES}$	$I_C = -100\mu A$ , Base Shorted to Emitter	10	15	-	10	15	-	V
Emitter to Base Breakdown Voltage, $V_{(BR)EBO}$	$I_E = -10\mu A, I_C = 0$	4.5	5	-	4.5	5	-	V
Collector Cutoff Current, $I_{CEO}$	$V_{CE} = -6V, I_B = 0$	-	2	100	-	2	100	nA
Collector Cutoff Current, $I_{CBO}$	$V_{CB} = -8V, I_E = 0$	-	0.1	10	-	0.1	10	nA
Collector to Emitter Saturation Voltage, $V_{CE(SAT)}$	$I_C = -10mA, I_B = -1mA$	-	0.3	0.5	-	0.3	0.5	V
Base to Emitter Voltage, $V_{BE}$	$I_C = -10mA$	-	0.85	0.95	-	0.85	0.95	V
DC Forward-Current Transfer Ratio, $\beta_{FE}$	$I_C = -10mA, V_{CE} = -2V$	20	60	-	20	60	-	
Early Voltage, $V_A$	$I_C = -1mA, V_{CE} = -3.5V$	10	20	-	10	20	-	V
Base to Emitter Voltage Drift	$I_C = -10mA$	-	-1.5	-	-	-1.5	-	mV/°C
Collector to Collector Leakage		-	1	-	-	1	-	pA

#### Electrical Specifications $T_A = 25^\circ C$

PARAMETER	TEST CONDITIONS	DIE			SOIC, QFN			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
<b>DYNAMIC PNP CHARACTERISTICS</b>								
Noise Figure	$f = 1.0GHz, V_{CE} = -5V, I_C = -5mA, Z_S = 50\Omega$	-	3.5	-	-	3.5	-	dB
$f_T$ Current Gain-Bandwidth Product	$I_C = -1mA, V_{CE} = -5V$	-	2	-	-	2	-	GHz
	$I_C = -10mA, V_{CE} = -5V$	-	5.5	-	-	5.5	-	GHz
Power Gain-Bandwidth Product	$I_C = -10mA, V_{CE} = -5V$	-	3	-	-	2	-	GHz
Base to Emitter Capacitance	$V_{BE} = 3V$	-	200	-	-	500	-	fF
Collector to Base Capacitance	$V_{CB} = -3V$	-	300	-	-	600	-	fF

**HFA3046, HFA3096, HFA3127, HFA3128****Electrical Specifications**  $T_A = 25^\circ\text{C}$  (Continued)

PARAMETER	TEST CONDITIONS	DIE			SOIC, QFN			UNITS
		MIN	Typ	MAX	MIN	Typ	MAX	
DIFFERENTIAL PAIR MATCHING CHARACTERISTICS FOR THE HFA3046								
Input Offset Voltage	$I_C = 10\text{mA}$ , $V_{CE} = 5\text{V}$	-	1.5	5.0	-	1.5	5.0	mV
Input Offset Current	$I_C = 10\text{mA}$ , $V_{CE} = 5\text{V}$	-	5	25	-	5	25	$\mu\text{A}$
Input Offset Voltage TC	$I_C = 10\text{mA}$ , $V_{CE} = 5\text{V}$	-	0.5	-	-	0.5	-	$\mu\text{V}/^\circ\text{C}$

S-Parameter and PSPICE model data is available from Intersil Sales Offices, and Intersil Corporation's web site.

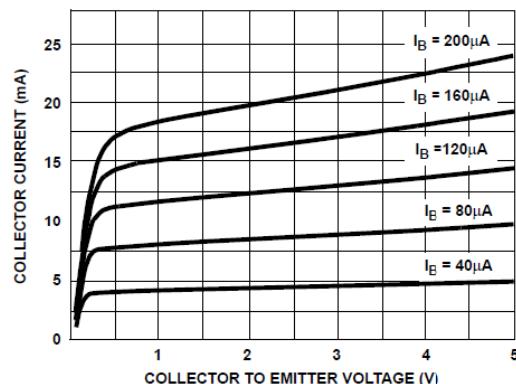
**Typical Performance Curves**

FIGURE 1. NPN COLLECTOR CURRENT vs COLLECTOR TO EMITTER VOLTAGE

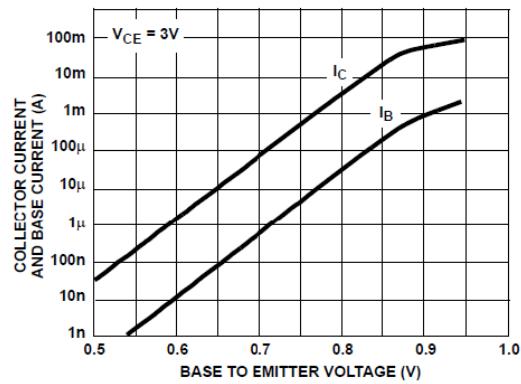


FIGURE 2. NPN COLLECTOR CURRENT AND BASE CURRENT vs BASE TO EMITTER VOLTAGE

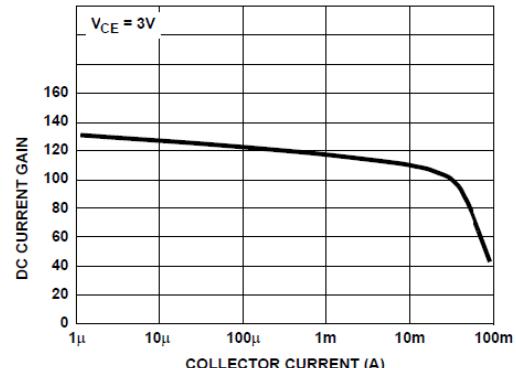
**Typical Performance Curves (Continued)**

FIGURE 3. NPN DC CURRENT GAIN vs COLLECTOR CURRENT

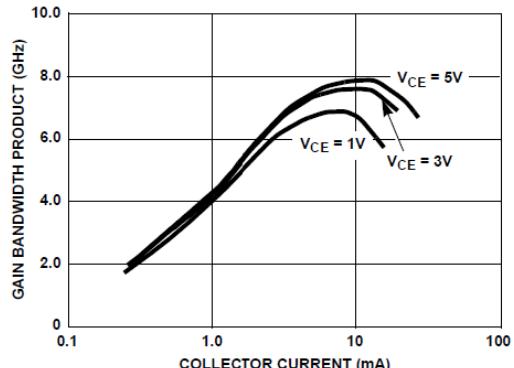


FIGURE 4. NPN GAIN BANDWIDTH PRODUCT vs COLLECTOR CURRENT (UHF 3 x 50 WITH BOND PADS)