



Universidad
Zaragoza

Proyecto Fin de Carrera

IMPLEMENTACIÓN DE UNA RED DE CONFORMADO DIGITAL DE HAZ PARA AGRUPACIONES DE ANTENAS DE FASE PROGRESIVA

Autor

Eduardo Perea Fernández

Director y ponente

Ismael Bel Albesa

Pedro Luis Carro Ceballos

Ingeniería de Telecomunicación / EINA

Repositorio de la Universidad de Zaragoza – Zaguán

<http://zaguán.unizar.es>

Resumen

Debido a la presente demanda de recursos en la red de comunicaciones móviles surge la necesidad de dotar con mayor capacidad las actuales celdas de la red celular. En este contexto se plantea la evolución de las tradicionales antenas pasivas de estación base en nuevas antenas activas con importantes ventajas sobre las anteriores.

Actualmente la estación base para red móvil se compone de tres dispositivos, el equipo de procesamiento de datos en banda base, los encargados de convertir estos datos y adaptarlos a radiofrecuencia y las antenas emisoras/receptoras. Las antenas activas para estación base plantean la integración de los dos últimos en uno solo, mejorando así el ahorro energético y aportando flexibilidad para redimensionar la red móvil de manera remota.

Se propone un prototipo de transmisión/recepción de señales en dominio digital con conformado del haz de radiación. El prototipo, una vez se le conecte su correspondiente etapa analógica adaptadora y los elementos radiantes, permitirá al operador transmitir y recibir señales WCDMA sin tener que hacer uso de un equipo de radiofrecuencia que las convierta al dominio digital o analógico. Para ello es importante realizar un correcto procesamiento digital de la señal y la conversión entre ambos dominios, manejando de modo síncrono los componentes que participan en el proceso. El sistema recibirá señales analógicas desfasadas entre sí progresivamente. La señal será procesada digitalmente y se volverá a transmitir de manera analógica, conformando un haz de radiación con el ángulo de inclinación configurado digitalmente.

El proyecto permitirá desarrollar e implementar la base sobre la que se sustentan las antenas activas y evolucionar hacia una solución viable de cara al mercado, ubicándose dentro de los productos relacionados con antenas de telefonía móvil que tiene la empresa Telnet Redes Inteligentes.

Agradecimientos

A Ismael, mi director de proyecto, por tener inmensa paciencia conmigo y mi *excelente* ortografía y redacción, ayudarme siempre sin reparos, enseñarme todo lo que está en su mano y su magistral diseño de placas ADC/DAC.

A Adrián, amo y señor de las FPGAs, por enseñarme todo lo que sé sobre el entorno Xilinx y actuar siempre como un oráculo de sabiduría. Este trabajo es tan mío como vuestro.

A Pedro, porque a pesar de tener un año con mil y una tareas ha tenido tiempo para mí. A toda la gente de Telnet por su gran trato y por prestarme su ayuda siempre que se lo he pedido. He aprendido muchísimo este año.

Por último y más importante a mis padres, Manuel e Inmaculada, por brindarme la educación que he recibido, sin duda lo que más valoro en el mundo, sin esperar nada a cambio.

Gracias.

Índice general

Resumen	III
Agradecimientos	V
Índice de figuras	XI
Índice de cuadros	XIII
Abreviaturas	XV
1. Introducción	1
1.1. Contexto del proyecto	1
1.2. Escenario de trabajo	2
1.3. Objetivo del proyecto	4
1.4. Tareas a realizar	5
1.5. Herramientas utilizadas	5
1.6. Organización de la memoria	6
1.7. Planificación	7
2. Estado del arte	9
2.1. Situación actual de las antenas pasivas para estación base	9
2.2. Antenas Activas para BTS	14
2.3. Estudio sobre las redes de conformado digital	15
2.4. Evolución del desarrollo en el ámbito de las BTS	15
3. Diseño del prototipo teórico	17
3.1. Teoría de arrays unidimensionales de antenas	17
3.2. Especificaciones de la unidad de conformado de haz	19
3.2.1. Diseño de un array de antenas con elementos desfasados entre sí	21
3.2.2. Etapa RF previa a la unidad de conformado de haz	22
3.3. Diseño de la unidad de conformado de haz	23
3.3.1. Etapa de conversión de la señal en dominio analógico a digital	23
3.3.2. Etapa de conformado del haz de radiación en recepción	26
3.3.2.1. Teoría de la aproximación a señal de banda estrecha	27

3.3.2.2. Modelo matemático de la etapa de conformado de haz de radiación en recepción	28
3.3.3. Enlace de recepción del conformador de haz de radiación	30
3.3.3.1. Obtención de tramas IQ a partir de la señal digital	30
3.3.3.2. Etapa de diezmado de tramas IQ de la señal digital	31
3.3.3.3. Filtrado con raíz de coseno realzado de las tramas IQ	34
3.3.4. Enlace de transmisión del conformador de haz de radiación	36
3.3.5. Etapa de conformado del haz de radiación en transmisión	37
3.3.6. Etapa de conversión de la señal en dominio digital a analógico	39
4. Simulación del conformador de haz de radiación	41
4.1. Simulación del enlace de recepción con 1 solo elemento radiante	42
4.1.1. Simulación del enlace de transmisión en conjunto con el de recepción con un solo elemento radiante	46
4.2. Simulación del conformado de haz en recepción y transmisión	47
5. Implementación de la red de conformado de haz	51
5.1. Implementación de la conversión analógico-digital en el prototipo del enlace de recepción	52
5.2. Implementación del enlace de recepción del conformador del haz de radiación para una entrada analógica	56
5.3. Implementación del enlace de transmisión del conformador del haz de radiación para una salida analógica	59
5.4. Implementación de la conversión digital-analógica en el prototipo del enlace de transmisión	61
5.5. Implementación del conformado de haz en transmisión y recepción del prototipo	63
6. Conclusiones y futuras mejoras del proyecto	67
6.1. Conclusiones	67
6.2. Futuras mejoras	69
 A. Antenas Activas	 73
A.1. Contexto y situación de las antenas activas para estaciones base	73
A.2. Estructura de las antenas activas	74
A.3. Ventajas de las antenas activas	76
 B. El standard WCDMA	 79
B.1. Contexto sobre el que se sitúa el protocolo WCDMA	79
B.1.1. Características del protocolo WCDMA	79
B.1.2. La capa física de WCDMA	81
 C. El protocolo CPRI	 83
C.1. Comparando los protocolos CPRI y OBSAI	83
C.2. Análisis del protocolo CPRI	85
C.2.1. Determinación del standard wireless a utilizar	85
C.2.2. Estructura de la trama CPRI	86
C.2.3. Formato de los datos de salida CPRI	87

C.3. Uso del protocolo CPRI con FPGAs	87
D. Muestreo en banda de paso	91
E. Diseño y programación del microprocesador embebido	95
F. Herramientas utilizadas.	101
F.1. Software	101
F.2. Hardware:	103
 Bibliografía	 107

Índice de figuras

1.1. Antena activa	1
1.2. Esquema de una red móvil	3
1.3. Esquema del prototipo	4
1.4. Diagrama de Gantt	7
2.1. Esquema RRU	10
2.2. Parche fractal	12
2.3. Concepto de downlink en RRU	15
3.1. Array de elementos unidimensional	18
3.2. Escenario de trabajo	20
3.3. Conformador del haz de radiación.	21
3.4. Etapa RF	22
3.5. Conversión AD	23
3.6. Cuantificador uniforme	25
3.7. Frecuencia de muestreo	26
3.8. Conformador del haz en recepción	26
3.9. Haz de radiación desfasado incidente	28
3.10. Multiplicación en cuadratura	31
3.11. Señal digital teórica y real	32
3.12. Diezmador CIC	32
3.13. Diezmado FIR lineal	33
3.14. Variación de la señal con ISI	34
3.15. Respuesta frecuencial filtro rcosre	35
3.16. Enlace de transmisión teórico	36
3.17. Equivalencia entre ángulos de incidencia	38
3.18. Conversor DAC tipo	40
4.1. Bloque simulación downlink	43
4.2. Señal WCDMA de entrada en simulación	44
4.3. Salida DDC simulación	44
4.4. Salida filtro prediezrado en simulación	45
4.5. Salida Rcosre en simulación	45
4.6. Salida simulación	46
4.7. Bloque de medición de potencia	48
4.8. Bloque de medición de potencia 2	48
4.9. FA Matlab	49
4.10. Sistema Simulink	49

4.11. Tilts Microwave Office	50
5.1. Placa de evaluación	51
5.2. ADC Microhemir	52
5.3. Muestreo no válido ADC	53
5.4. Esquema completo de la conversión ADC	55
5.5. Señal muestreada	55
5.6. Esquema de la implementación del enlace de recepción	56
5.7. Filtro diezmadador	58
5.8. Esquema de la implementación del enlace de recepción	59
5.9. Cronograma	61
5.10. Conversor DAC	62
5.11. Hardware del prototipo final	64
5.12. Esquema del conformador de haz en FPGA	65
6.1. Tapping de amplitud	70
A.1. Evolución de las BTS	74
A.2. Esquema interior de una antena activa	75
A.3. Beneficios del tilting en antenas activas.	77
A.4. Autoreparación	78
B.1. Esquema WCDMA	80
C.1. Esquema CPRI	85
C.2. Trama CPRI	86
C.3. Investigator	88
C.4. Generador de tráfico	89
C.5. Editor de protocolos	90
D.1. Regiones de aliasing	92
E.1. Esquema del microprocesador	96
E.2. Cronograma SPI LMK03001c	98

Índice de cuadros

1.1. Cuadro de anexos	7
3.1. Retardos	39
6.1. Comparativa de los posibles filtros a utilizar en el bucle de procesado digital. .	69
A.1. Pérdidas de potencia en antenas activas vs antenas pasivas	77

Abreviaturas

PFC	Proyecto Fin de Carrera
BBU	Base Band Unit
RRU	Remote Radio Unit
MIMO	Multiple Input Multiple Output
WCDMA	Wide Code Division Multiple Access
TDMA	Time Division Multiple Access
FDMA	Frequency Division Multiple Access
MSC	Mobile Switching Center
RF	Radio Frequency
CPRI	Common Public Radio Interface
OBSAI	Open Base Station Architecture Initiative
ORI	Open Radio Interface
FPGA	Field Programmable Gate Array
BW	Band Width
ADC	Analog Digital Converter
ISI	Inter Symbolic Interference
DAC	Digital Analog Converter
HSPA	High Speed Packet Access
LTE	Long Term Evolution
GSM	Global System for Mobile communications
UE	User Equipment
FSTD	Frequency Switched Transmit Diversity
SON	Self Organized Network
CFR	Crest Factor Reduction
RET	Remote Electrical Tilt

UMTS	U niversal M obile T elecommunications S ystem
RNC	R adio N etwork C ontroller
QoS	Q uality of S ervice
ARQ	A utomatic R epeat r e Q uest
PSTN	P ublic S witched T elephone N etwork
FDD	F requency D ivision D uplexing
TDD	T ime D ivision D uplexing
OSI	O pen S ystem I nterconnection
UTRAN	U MTS T errestrial R adio A ccess C ontrol
OSI	O pen S ystem I nterconnection
SFP	S mall F orm-factor P luggable transceptor
BER	B it E rror R ate
DDR	D ual D ata R ate
DDC	D igital D own C onversion
DUC	D igital U p C onversion
SNR	S ignal to N oise R atio
CRC	C yclic R edundancy C heck
FMC	F PGA M ezzanine C ard
BTS	B ase T ransceiver S tation
FEC	F orward E rror C orrection
RE	R adio E quipment
REC	R adio E quipment C ontrol
BPSK	B inary P hase S hift K eying
QPSK	Q uadrature P hase S hift K eying
OpEx	O perational E xpenditures
CapEx	C apital E xpenditures
FIFO	F irst I n F irst O ut
SERDES	S ERializer/ D ESerializer
MSB	M ost S ignificant B it
LSB	L ess S ignificant B it
OFDM	O rthogonal F requency D ivision M ultiplexing

Capítulo 1

Introducción

1.1. Contexto del proyecto

Este PFC ha sido realizado en la empresa **TELNET Redes Inteligentes** [1] como uno de sus proyectos de I+D+i, iniciando el desarrollo de antenas activas (Fig 1.1). Se ubica dentro de la sección de antenas para estación base evaluando una posible solución que ofrecer como producto final al cliente. Ofrecerá al operador una red más versátil y simple de diseñar, pudiéndose realizar de una manera escalada y reubicándose según los requisitos. Para ello modificará las diferentes inclinaciones del haz de radiación variando el área cubierta por la antena y pudiendo distribuir la capacidad entre áreas en función de la demanda.

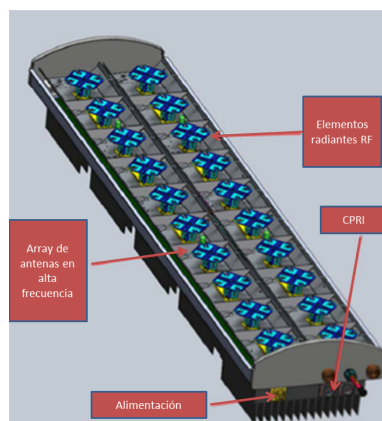


FIGURA 1.1: Concepto de antena activa.

El proyecto pretende sentar las bases para un futuro desarrollo de esta antena diseñando, simulando e implementando un prototipo funcional de las tareas básicas a realizar, posibilitando el que en el futuro se continúe con un prototipo completo sobre los principios que aquí se describen.

El prototipo realizará las funciones de recepción, tratamiento y transmisión de la señal digital, el conformado del haz de radiación y las conversiones entre dominios digital y analógico necesarias. La señal digital viajará en forma de tramas **IQ** (fase y cuadratura) desde la estación base entramadas bajo alguno de los múltiples protocolos destinados a estandarizar las comunicaciones entre la **BBU** (BaseBand Unit) y la **RRU** (Remote Radio Unit).

La red de conformado permite controlar la señal aplicada a cada elemento radiante previo paso por una etapa de adaptación en radiofrecuencia. La señal es procesada por cada una de las ramas del sistema, una por cada elemento transmisor/receptor. De este modo se abre un abanico de posibilidades de cara a las nuevas exigencias del mercado. Para más información sobre las antenas activas consultar el anexo [A](#).

El resultado final del proyecto servirá para estudiar la viabilidad del desarrollo de un producto comercial en cuyo caso podría formar la base de una antena de más características, MIMO (Multiple Input Multiple Output), múltiples arrays, auto ajuste etc...

1.2. Escenario de trabajo

Para entender el escenario en el que se ubica el proyecto es importante definir la estructura actual en las comunicaciones móviles.

La red de comunicaciones móviles (Fig [1.2](#)) está compuesta de celdas que dan cobertura a diferentes dispositivos móviles que se comunican entre sí [\[2\]](#). En el caso de este proyecto la tecnología de acceso al medio es **WCDMA** (Wideband Code Division Multiple Access) (Véase el anexo [B](#)), protocolo basado en la diferenciación por código. Este standard presenta mayor eficiencia espectral que otros sistemas menos complejos como son TDMA (Time Division Multiple Access) o FDMA (Frequency Division Multiple Access), permitiendo transmitir con mayores tasas binarias y aprovechando el espectro de frecuencia de manera más óptima. El

dispositivo de usuario se conecta a la estación base y ésta al **MSC** (Mobile Switching Center), encargado de conectar el dispositivo de usuario a la **PSTN** (Public Switched Telephone Network).

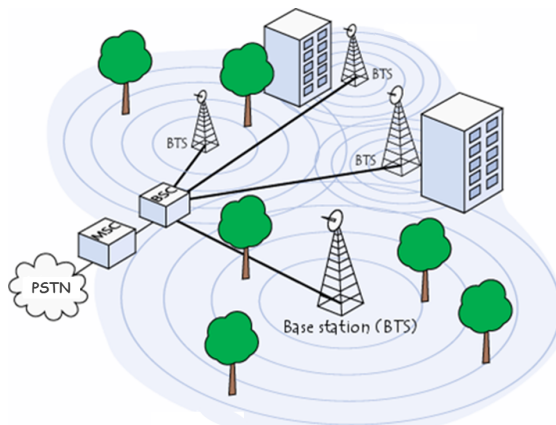


FIGURA 1.2: Esquema general de una red de comunicaciones móviles.

La BTS (Base Transceiver Station) tiene se compone de una BBU, las RRUs y antenas encargadas de radiar en RF (Radiofrecuencia). Cada BBU puede manejar varias RRU enviando la información digital en banda base por medio de fibra óptica. La RRU recibe esta información entramada mediante protocolos como pueden ser **CPRI** (Common Public Radio Interface)[3] u **OBSAI** (Open Base Station Architecture Initiative)[4](véase el anexo C) y se encarga de desentramarla, realizar el procesamiento digital y convertirla a señal analógica. Una vez en dominio analógico debe aplicarle un procesamiento de adaptación en una etapa RF donde la señal se verá amplificada en potencia y desplazada a la frecuencia que opera la red. De este modo, la señal estará lista para ser transmitida por la antena pasiva. En recepción, el proceso actúa de manera inversa, la señal radiada es recibida por la antena pasiva en la frecuencia de la red, se transmite a la RRU donde es acondicionada, tanto en amplitud como en frecuencia, convertida a dominio digital y desplazada a banda base. La señal digital en banda base es transmitida a la BBU donde es gestionada para ser transmitida hacia la red pública.

Definido el escenario sobre el que se ubica el proyecto, el sistema que se propone (Fig 1.3), una vez puesto en conjunto con una etapa en radiofrecuencia y los elementos radiantes, realiza las funciones descritas por la RRU y la antena pasiva en un solo dispositivo. Abarca en recepción desde la señal analógica en frecuencia intermedia hasta la obtención de los paquetes de información IQ en banda base. En transmisión se parte de los paquetes IQ ya desentramados de

la señal óptica bajo protocolo CPRI, hasta la construcción de la señal que se desea transmitir en dominio analógico en la misma frecuencia intermedia.

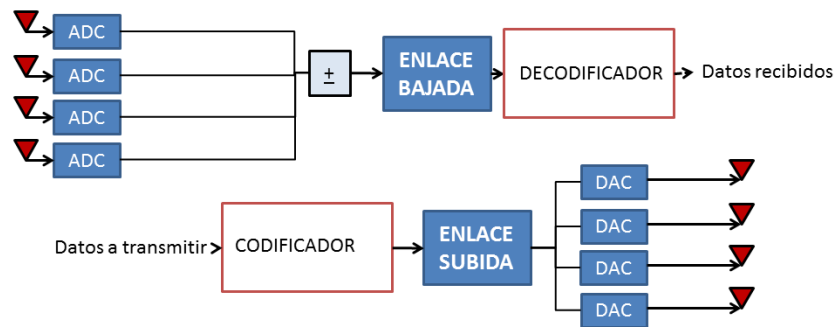


FIGURA 1.3: Esquema conceptual del prototipo conformador del haz de radiación.

Además, se realizará la recepción de la señal en las entradas del prototipo de forma simultanea, estando desfasadas progresivamente entre sí y la transmisión de la señal por sus múltiples salidas con los desfases progresivos oportunos para lograr el grado de inclinación en el haz de radiación deseado. Otra técnica para variar la forma del haz de radiación consiste en aplicar una graduación (*tapering*) en la amplitud de la señal con la que se alimentan los elementos radiantes de la antena, creando diferentes patrones del diagrama de radiación.

1.3. Objetivo del proyecto

El objetivo principal del proyecto es el diseño, simulación e implementación de un sistema de transmisión y recepción digital con conformado del haz de radiación para antenas activas. Éste será capaz de realizar las siguientes tareas:

- Recibir y transmitir simultáneamente una señal WCDMA por varios elementos radiantes.
- Realizar una correcta demodulación de la señal digital para conseguir los datos transmitidos en forma de tramas IQ.
- La aplicación de diferentes algoritmos de procesamiento de la señal digital que la adapten para su correcta recepción y transmisión.
- Conocido el ángulo de inclinación del haz de radiación deseado, aplicar los desfases pertinentes a cada una de las señales de los elementos radiantes para conseguir el conformado de haz.

- Implementación de todas estas tareas en un sistema de procesamiento digital en tiempo real y de manera síncrona controlado por una **FPGA** (Field Programmable Gate Array).
- Manejo de periféricos externos a la FPGA en la placa de prototipado mediante un microprocesador *embebido*.

1.4. Tareas a realizar

Para la correcta realización de un prototipo que sea funcional y útil se realizarán las siguientes tareas:

- I **Estado del arte:** Realizar un estudio de las soluciones presentes en las estaciones base y de todas las funcionalidades y posibilidades que pueden ofrecer dispositivos con las características de las antenas activas respecto de las actuales.
- II **Diseño teórico:** Diseñar en primera instancia el sistema completo para estudiar el posterior aprovisionamiento de componentes y modelar teóricamente cada uno de los bloques (filtros, diezmadores etc. . .) como base para su implementación.
- III **Simulación:** Simulación del sistema por bloques para identificar y corregir posibles fallos de diseño además de comprobar el procesado de la señal a lo largo del circuito.
- IV **Estudio de la arquitectura:** Familiarizarse con la arquitectura de cada uno de los componentes sobre los que se va a realizar la implementación final.
- V **Implementación:** Implementación, puesta en marcha y verificación del funcionamiento del sistema real con señales WCDMA reales analógicas bajo un hardware específico para su test.

1.5. Herramientas utilizadas

Para la realización de este PFC se han usado varias herramientas de software y componentes hardware. Una completa descripción de ellos queda documentada en el anexo [F](#). Aquí se describen las más importantes:

- Para la generación y captura de tramas de CPRI se hizo uso del equipo **Absolute Analysis Investigator** con su correspondiente conjunto de programas [5].
- La simulación del sistema completo se ha realizado con la herramienta **Simulink** de Mathworks [6].
- El trabajo con FPGA y el microprocesador embebido se ha hecho mediante las herramientas de Xilinx **ISE** [7]. Los programas **ISE project** y **Planahead** se utilizaron para programar el código en Verilog, **XPS** en el diseño del microprocesador, **Impact** para la comunicación con las diferentes placas, **Isim** y **ModelSim** en la simulación de los códigos, **Chipscope** para la monitorización de las señales dentro de la FPGA. En el apartado de hardware se usó las placas de desarrollo **Microhemir** de TELNET Redes Inteligentes [8] con la FPGA Spartan 6 de Xilinx y la placa de evaluación **VC707** de Xilinx en conjunto con las FMC (FPGA Mezzanine Card) **DAC/ADC Eval Board** fabricadas por TELNET Redes Inteligentes.
- **Matlab** para realizar comprobaciones de las señales trabajadas en las fase de test y **Matlab Filter Design Tool** en la obtención de coeficientes de filtros dados unos parámetros de diseño [6].
- La creación y edición de código se realizó conjuntamente con los programas **Sublime Text 3** y **Notepad++**.

1.6. Organización de la memoria

La memoria se divide en una parte principal que explica los aspectos más importantes del desarrollo del PFC y una segunda parte de anexos orientada a aquel contenido que se considera complementario para la comprensión del proyecto.

En la primera, se realizará un repaso al estado del arte sobre el campo en el que se sitúa el proyecto y de la situación actual. Sus tres etapas principales de diseño, simulación e implementación finalizando con unas conclusiones finales y posibles desarrollos de cara al futuro. La segunda parte de la memoria se compone de los distintos anexos que se han generado a lo largo del proyecto para complementar con más profundidad la comprensión de éste. En el siguiente cuadro (Cuadro 1.1) aparecen listados según su orden de aparición.

Anexo	Contenido
A	Antenas Activas
B	El standard WCDMA
C	El protocolo CPRI
D	Muestreo en banda de paso
E	Diseño y programación del microprocesador embebido
F	Herramientas utilizadas

CUADRO 1.1: Cuadro de anexos

1.7. Planificación

Una correcta planificación de las tareas a realizar resultará de gran utilidad para la fijación de plazos y tener una visión global del proyecto al inicio del mismo. En este caso, dado que el proyecto está enfocado en la investigación y el desarrollo, la planificación es una referencia que puede verse modificada debido a los imprevistos que puedan surgir.

La clasificación de tareas servirá para priorizar unas tareas sobre otras y ordenarlas en el tiempo. Los criterios para la división de tareas se tomaron en función de la documentación, análisis y diseño del sistema, implementación del mismo y verificación de errores. Las tareas en las que se dividió el proyecto se muestran en la siguiente figura (Fig 1.4):

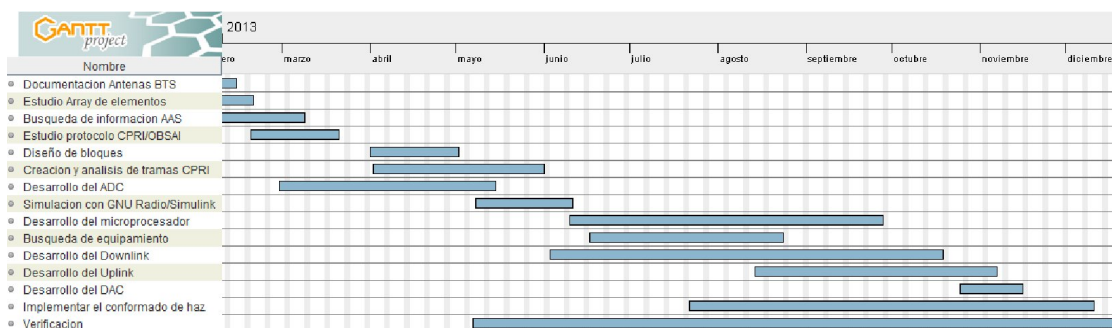


FIGURA 1.4: Diagrama de Gantt.

Capítulo 2

Estado del arte

2.1. Situación actual de las antenas pasivas para estación base

Para poder trabajar sobre una antena para estación base es necesario definir su estructura, funciones y evolución, la cual atiende a las peticiones de ancho de banda y capacidad por parte de los usuarios de la red móvil. Satisfacer estas demandas requiere implementar nuevas tecnologías espectralmente más eficientes como HSPA (High Speed Packet Access) o LTE (Long Term Evolution) e introducir nuevas bandas de frecuencia para incrementar el ancho de banda disponible dentro del espectro, con más canales y portadoras. Además, se debe de seguir prestando servicio a las tecnologías ya asentadas de segunda y tercera generación sin empeorar sus prestaciones.

La estructura de las actuales BTS se compone de tres elementos: BBU, RRU y antena pasiva. La BBU gestiona toda la estación base tramitando las llamadas entrantes y salientes de los equipos que operan en el área que controla. Una misma BBU puede dar soporte a varias RRU, recibiendo la señal en banda base de éstas en forma de tramas IQ. Las tramas se transmiten por medio de fibra óptica encapsuladas bajo los protocolos CPRI u OBSAI. Se establece el nexo de unión entre usuario y MSC a la vez que controla el procesamiento de la señal en banda base, el mantenimiento de todo el sistema y la generación de señal de reloj sobre la que se sincronizan todas las RRU.

La RRU (Fig 2.1) acondiciona la señal para que la antena pasiva pueda realizar su transmisión. Para ello realiza las funciones principales de procesamiento de la señal digital recibida de la BBU, conversión de la señal digital al dominio analógico, traslación a la frecuencia de portadora

de la red y amplificación. Sus características pueden diferir en base al número de portadoras y bandas de frecuencia que soporta.

La estructura de la RRU consta de una etapa de procesamiento digital y de otra en RF. A la entrada de la etapa digital se ubica uno o más puertos SERDES (Serializer/Deserializer) para la recepción/transmisión de la señal con la BBU en modo síncrono. Posteriormente, en transmisión, el bloque de procesamiento digital se compone de una etapa DUC (Digital Upconversion), un sistema CFR (Crest Factor Reduction) y otro DPD (Digital Predistortion) haciendo uso de un DSP (Digital Signal Processing). En recepción el sistema es menos complejo, realizando la DDC (Digital Downconversion) de la señal en frecuencia intermedia procedente de la etapa RF.

Al inicio del procesamiento digital una etapa analógica en RF está compuesta por un LNA (Low Noise Amplifier) utilizado para la recepción de los datos. Éstos amplifican la señal a los niveles necesarios para que sea procesada por la etapa digital, introduciendo el menor ruido posible. Por otro lado, al final del procesamiento digital se utiliza una etapa RF con amplificadores PA (Amplificador de Potencia) para su uso en la transmisión de datos puesto que el objetivo primario es amplificar la potencia de la señal lo máximo posible. La etapa previa a la antena se compone de un duplexor encargado de separar las señales de transmisión y recepción. La señal es transmitida y recibida por el elemento radiante.

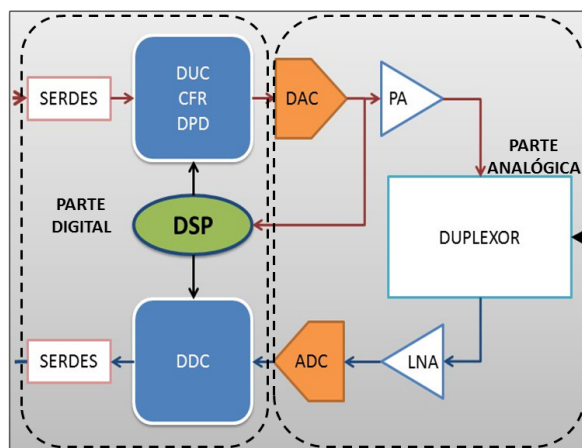


FIGURA 2.1: Esquema de bloques típico de una RRU.

En un principio la RRU se situaba en el mismo emplazamiento que la BBU transmitiendo la señal de forma analógica a las antenas pasivas por cable coaxial. Dado que las pérdidas en cable coaxial son mayores que las pérdidas en fibra óptica, la tendencia en la evolución de las

BTS consiste en aproximar la RRU cada vez más a la antena de emisión/recepción. En este sentido, la integración de los dos dispositivos en uno es el paso final.

La antena pasiva se compone de un radomo que actúa como protector de la antena, fabricado en materiales que alteran lo menos posible la señal radiada. Actualmente, acostumbra a usarse radomos de resina con fibras de vidrio que proporcionan altos valores de rigidez con espesores muy pequeños. Internamente, un bastidor metálico de aluminio hace las funciones de plano de masa, aislando los elementos radiantes de los cables.

En la parte trasera de la antena se disponen los cables de alimentación que distribuyen la señal a los elementos radiantes y el desfasador. Este último, se compone de estructuras que distribuyen la señal por medio de líneas de transmisión y crean desfases progresivos en las señales aplicadas a los elementos radiantes para conformar un haz de radiación con diferentes ángulos de inclinación. El mecanismo para realizar el desfase suele estar patentado y difiere en función del fabricante.

En la parte frontal se disponen los elementos radiantes. Éstos acostumbran a ser dipolos o parches fabricados en materiales conductores como el aluminio.

En el caso de TELNET son parches fractales basados en la geometría del copo de nieve de Koch. Los parches son alimentados de manera diferencial, usando una alimentación individual para cada una de las dos polarizaciones. Los puntos de alimentación están dispuestos según la polarización del parche. Se utilizan dos polarizaciones cruzadas (ortogonales) de $+45^\circ$ y -45° en los puntos de alimentación. Su frecuencia de resonancia, es decir, la frecuencia a la que pueden transmitir los datos depende de las dimensiones en los parches. En una primera aproximación simplificada se puede definir la frecuencia de resonancia en base a la longitud y la altura sobre el bastidor o plano de masa en la que se posicionan. Dada c la velocidad de propagación de las ondas en el vacío, L la longitud del parche, h , la altura del parche y ϵ_e la constante dieléctrica efectiva del material que compone el parche, la frecuencia de resonancia, aproximando el parche a uno rectangular, es [9]:

$$f_r = \frac{c}{2(L+h)\sqrt{\epsilon_e}} \quad (2.1)$$

donde

$$\epsilon_e = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left(1 + \frac{12h}{w}\right)^{-1/2} \quad (2.2)$$

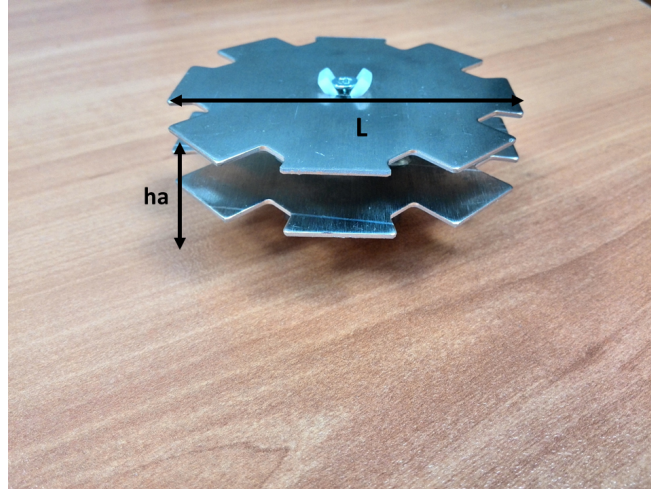


FIGURA 2.2: Modelo de parche fractal de TELNET.

Por lo tanto, se precisa de un array de elementos diferente para cada banda de frecuencia sobre la que se desea transmitir. De este modo se dan distintas configuraciones de antenas base en función de las frecuencias que soportan. Si la frecuencia de trabajo de la antena es múltiplo de otra, cabe la posibilidad de intercalar los elementos radiantes para radiar en ambas dentro del mismo array. La disposición de los elementos radiantes y las fases con las que se transmite/recibe la señal conforman el haz de radiación con el que la antena transmite información a los equipos móviles. La antena debe cumplir una serie de especificaciones que garanticen su correcto funcionamiento:

- **Impedancia de entrada:** Se puede definir la impedancia de entrada de la antena (Z_e) mediante la relación de los fasores de tensión y corriente en el punto de acceso a la misma. La impedancia de entrada de la antena constará de parte real (resistencia) y parte imaginaria (reactancia), sendos parámetros dependientes, en general, de la frecuencia [10].

$$Z = R_a + jX_a \quad (2.3)$$

Idealmente será la compleja conjugada de la salida que se conecte a la antena, normalmente este valor es de $Z = 50 \Omega$ por lo que la componente imaginaria debe ser nula.

- **Pérdidas de retorno:** Relaciona la amplitud de la onda reflejada con la amplitud de la onda incidente, debe de tener un valor menor de -14 dB o una ROE de 1.5 [11].

$$\Gamma = \frac{Z - Z_o}{Z + Z_o} \quad (2.4)$$

$$ROE = \text{Ratio de onda estacionaria} = \frac{1 + |\Gamma|}{1 - |\Gamma|} \quad (2.5)$$

$$RL = 20\log_{10}(\Gamma) = 20\log_{10}\left(\frac{ROE - 1}{ROE + 1}\right) \quad (2.6)$$

- **Productos de intermodulación:** Los productos de intermodulación son generados por las no linealidades del amplificador de salida del transmisor (por ejemplo, los semiconductores, los klystrons, etc...) y de los dispositivos pasivos tales como combinadores, circuladores... Surgen al transmitir 2 o más portadoras simultáneamente con un sistema no lineal y causan interferencias, pudiendo bloquear uno o más canales de recepción en la antena. Las no-linealidades generan réplicas de las señales transmitidas en otras frecuencias derivadas de la combinación de las primeras. Si estas réplicas están en frecuencias donde se transmite o recibe información se generan interferencias. Para minimizar el efecto de los productos de intermodulación se deben tomar medidas en la estructura de la antena y los materiales utilizados para poder atenuar la amplitud de las señales replicadas de modo que, aunque existan, no degraden el funcionamiento en la antena [12].
- **Aislamiento entre las bandas de frecuencia y polarizaciones:** Es el nivel de aislamiento mínimo entre bandas frecuenciales de trabajo de la antena y las polarizaciones para una misma banda de trabajo. Debe ser menor de 30 dB para que no aparezcan interferencias que afecten al funcionamiento de la antena.

Por otro lado también se deben de tener en cuenta los siguientes parámetros relativos al diagrama de radiación de la antena:

- **Ancho del haz horizontal:** Es la separación angular de las direcciones en las que el diagrama de radiación de potencia toma el valor mitad del máximo en el corte horizontal. Su valor típico se encuentra entre los 60° - 65° [11].
- **Ancho de haz vertical:** Es la separación angular de las direcciones en las que el diagrama de radiación de potencia toma el valor mitad del máximo en el corte vertical. Su forma depende del número de elementos en el array, la distancia entre ellos y las amplitudes con las que son alimentados [11].
- **Supresión de lóbulos secundarios:** Mide el nivel de potencia que hay entre el haz principal y los lóbulos secundarios. El objetivo es minimizar este valor para aprovechar la potencia disponible y radiar la señal dentro del área deseada.

- **Factor de polarización cruzada:** La radiación de una antena en una polarización especificada se denomina polarización de referencia o copolar, mientras que a la radiación en la polarización ortogonal se la conoce como polarización cruzada. El cociente de las potencias contenidas en ambas polarizaciones es el factor de polarización cruzada, una medida de la pureza de polarización [11].
- **Ganancia de la antena:** La ganancia de una antena se define como la relación entre la densidad de potencia radiada en una dirección y la densidad de potencia que radiaría una antena isotrópica, a igualdad de distancias y potencias entregadas a la antena [11].

$$G = \eta DG(dBi) = D(dBi) - L(dB) \quad (2.7)$$

Donde G es la ganancia, η la eficiencia y D la directividad de la antena. Expresándola en función de la frecuencia:

$$G = \frac{4\pi}{\lambda^2} Ae \quad (2.8)$$

donde G es la ganancia, λ la longitud de onda y Ae el área efectiva de la antena.

2.2. Antenas Activas para BTS

La base teórica de las antenas activas en **BTS** consiste en *integrar* la RRU en la antena pasiva de modo que se puedan aprovechar todos los beneficios surgidos de dicha combinación [13][14][15]. Con esta unión se pasa de tener los tres elementos de las actuales instalaciones a tener solamente dos. Con ello las ventajas son diversas.

En el plano energético, teniendo un solo dispositivo que ejerce las funciones de la RRU y de la antena pasiva se tienen menos pérdidas derivadas de su consumo, repercutiendo directamente en la relación de señal a ruido. Realizando las funcionalidades de la RRU dentro de la antena, la señal es de dominio digital hasta la etapa RF previa al elemento radiante, aplicando con procesamiento digital una parte de las operaciones que antes se realizaban bajo dominio analógico.

Además, al controlar la señal de cada elemento radiante de manera digital se obtienen una serie de beneficios como son la posibilidad de incorporar mejoras al sistema sin introducir cambios de hardware o la modificación del haz de radiación. Una completa descripción de las antenas activas queda a disposición en el anexo A.

2.3. Estudio sobre las redes de conformado digital

Para la búsqueda de información referente a la red de transmisión y recepción con conformado de haz de radiación, además de buscar proyectos con objetivos similares a los de éste, se estudiaron de las técnicas empleadas por las RRU actuales, puesto que gran parte de las funciones a realizar por la red de este proyecto son realizadas actualmente por la RRU:

- El artículo de *Xiaofei Dong* para la revista electrónica EE Times “*Designing remote radio heads on high-performance FPGAs*” [16] fue una gran fuente de inspiración que, aún siendo un artículo informativo, informaba de las tendencias más innovadoras para implementar funciones propias de una RRU mediante FPGA (Fig 2.3).

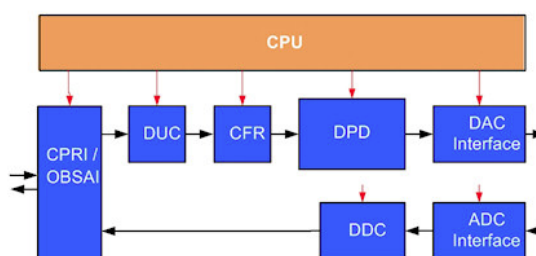


FIGURA 2.3: Concepto de downlink en una RRUcon según Xiaofei Dong [16].

- Se estudió y comparó diferentes tipos de filtros para su implementación en la cadena de recepción, sus ventajas y desventajas. Para ello se compararon el filtro raíz de coseno realzado, el filtro de raíz Nyqvist de Harry y diferentes tipos de filtros paso bajo [17].
- Respecto a trabajos realizados con anterioridad que asemejen sus objetivos con los del proyecto cabe destacar dos tesis, las presentadas por *Rik Portengen* [18] y *Juan Antonio Torres Rosario* [19] con un enfoque parecido pero sin una aplicación real. La diferencia con estos proyectos es que mientras ellos se basan en la asignación de pesos para realizar el conformado de haz, este proyecto realiza los desfases en la etapa de mezclado con el generador senoidal.

2.4. Evolución del desarrollo en el ámbito de las BTS

El desarrollo comercial de las antenas activas para BTS se inicia en el año 2006 con los primeros conceptos y prototipos de Huawei y Nokia Siemens. A día de hoy, la especificación por parte del

3GPP, el organismo que se encarga de estandarizar los equipos y redes de telecomunicaciones, sigue en constante revisión y actualización por lo que su implantación en escenarios reales es prácticamente nula. El secretismo en las empresas involucradas es máximo y la información que se puede encontrar es meramente orientativa y comercial, no va más allá de poder conocer las funcionalidades que pueden aportar. Las empresas que actualmente tienen los productos más desarrollados son las siguientes: **Huawei, Nokia-Siemens, Commscope, ZTE, Alcatel Lucent, Ericsson.**

La situación actual presenta un mercado sin modelos comercializados de estas antenas, siendo la mayoría prototipos. Dada la envergadura del producto se han encontrado bastantes asociaciones entre empresas para desarrollar las antenas de manera conjunta como es el caso de Commscope y Ubidyne, dividiendo el trabajo en la parte digital de procesamiento de la señal y la parte de RF. Los fabricantes apuestan porque que las necesidades de mayor capacidad impulsen la demanda de las antenas para su comercialización [20][21].

Con esta información se concluyó que la mejor manera de empezar a desarrollar la antena activa en forma de PFC era diseñar e implementar la base sobre la que se sustenten todas las características que distinguen las antenas activas de la solución actual, una red de conformado de haz con procesamiento digital de la señal que permita variar el ángulo de inclinación de su haz de radiación.

Capítulo 3

Diseño del prototipo teórico

3.1. Teoría de arrays unidimensionales de antenas

Basándose en el principio de superposición derivado de la linealidad de las ecuaciones de Maxwell, bajo medios lineales, si se superponen elementos idénticos e igualmente orientados se puede emplear la siguiente función (pag 4.4 [22]) para definir el campo eléctrico radiado por un elemento trasladado respecto al origen de coordenadas y alimentado con un fasor de corriente I_i :

$$\vec{E}_i(r, \theta, \phi) = \vec{E}_{nor}(r, \theta, \phi) \cdot I_i \cdot e^{jK\hat{r} \cdot \vec{r}_i} \quad (3.1)$$

Con $\vec{E}_{nor}(r, \theta, \phi)$ = el campo radiado que aparece asociado a la distribución de corriente generada por una elemento isotrópico centrada en el origen.

$$K = \frac{2\pi}{\lambda}$$

\vec{r}_i = el vector posición del campo

Atendiendo a la propiedad de superposición, el campo radiado por el conjunto de elementos que conforma la agrupación tomará la forma:

$$\vec{E}(r, \theta, \phi) = \sum_{i=0}^{N-1} \vec{E}_i(r, \theta, \phi) = \vec{E}_{nor}(r, \theta, \phi) \cdot \sum_{i=0}^{N-1} I_i \cdot e^{jK\hat{r} \cdot \vec{r}_i} \quad (3.2)$$

El campo total radiado se puede expresar como el producto del campo del elemento básico, supuesto situado en el origen y alimentado con un fasor de corriente normalizado a la unidad,

por el factor de array FA:

$$FA(\theta, \phi) = \sum_{i=0}^{N-1} I_i \cdot e^{jK\hat{r} \cdot \vec{r}_i} \quad (3.3)$$

$$\vec{E}(r, \theta, \phi) = \vec{E}_{nor}(r, \theta, \phi) \cdot FA(\theta, \phi) \quad (3.4)$$

El factor de array es función de:

- La posición relativa de los elementos.
- Los coeficientes de alimentación I_i .
- La frecuencia.

Ahora, considerando una agrupación (Fig 3.1) lineal rectilínea con espaciado d constante entre los elementos, formada por N antenas idénticas sobre el eje z , situadas en las posiciones $z_n = nd$ y alimentadas con fasores de corrientes I_n , donde $n = 0, 1, \dots, N - 1$.

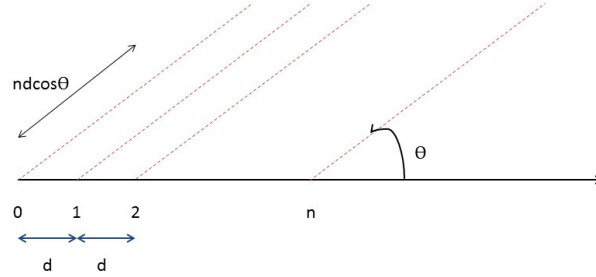


FIGURA 3.1: Agrupación de antenas unidimensional con frente de ondas en un ángulo θ .

Si se denota con $\vec{J}_o(\vec{r})$ a la distribución de corriente que aparece sobre la antena básica centrada en el origen de coordenadas cuando a su entrada se excita con un fasor de corriente unitario, el factor de array se puede denotar como:

$$FA(\theta, \phi) = \sum_{i=0}^{N-1} I_i \cdot e^{jK\hat{r} \cdot \vec{r}_i} \quad (3.5)$$

donde

$$\vec{r}_n = k \cdot d \cdot \hat{z} \quad (3.6)$$

$$\hat{r} \cdot \vec{r}_n = k \cdot d \cdot \cos\theta \quad (3.7)$$

En los sistemas de alimentación típicos, los fasores de corriente I_n se alimentan con un término de fase progresiva entre antenas consecutivas, escribiéndose:

$$I_n = a_n \cdot e^{j \cdot n \cdot \alpha} \quad (3.8)$$

donde a_n es la amplitud del elemento y α la fase del elemento. Por lo que el factor de agrupación es, en estas condiciones:

$$FA(\theta, \phi) = \sum_{n=0}^{N-1} I_n \cdot e^{jnKd \cos\theta} = \sum_{n=0}^{N-1} a_n \cdot e^{jnKd \cos\theta + jn\alpha} = \sum_{n=0}^{N-1} I_n \cdot e^{jn\psi} \quad (3.9)$$

Definiendo, para simplificar esta expresión, la función de ángulo eléctrico ψ como:

$$\psi = k \cdot d \cdot \cos\theta + \alpha \quad (3.10)$$

Esta función representa la diferencia en la contribución de fase en campo lejano debido a la diferencia de caminos entre dos antenas consecutivas ($kdcos\theta$) y el desfase progresivo en el sistema de alimentación (α). Por lo tanto, la expresión del campo eléctrico radiado por la agrupación es:

$$E(r, \theta, \phi) = E_{nor}(r, \theta, \phi) \cdot \sum_{n=0}^{N-1} a_n \cdot e^{jn\psi} \quad (3.11)$$

Es importante denotar que si el array estuviese orientado sobre el eje x o y la expresión sería diferente al depender de k_x o k_y en vez de k_z .

Tomando la ecuación 3.10 se puede ver que, para una k y d fijas, variando α se consigue variar θ , es decir, el ángulo de radiación con el que el frente de ondas se radía.

3.2. Especificaciones de la unidad de conformado de haz

De cara a conseguir realizar los objetivos propuestos se debe de tener en cuenta las restricciones que plantea el escenario de trabajo:

- La señal analógica recibida contiene una portadora WCDMA [23] procedente de una etapa RF anterior, trasladada en a una frecuencia intermedia de 140 MHz, con un ancho de banda de 5 MHz según la especificación WCDMA y una amplitud acondicionada a la entrada del ADC (Analog-Digital Converter) de 0 dBm. La especificación, además,

exige un filtrado en raíz de coseno realizado con un factor de *roll-off* $\beta = 0,22$ tanto en la rama de recepción como en la de transmisión. El ancho de banda de la portadora es de 5 MHz, pero su frecuencia de chip es de 3.84 MHz por lo que para poder tomar varias muestras se utiliza un factor de sobremuestreo de 4 precisando por ello un ancho de banda de 15.36 MHz.

- La distancia entre los elementos radiantes es de $d = 0,8\lambda \simeq 130 \text{ mm}$ con $f = 1940 \text{ MHz}$ y $\lambda = \frac{c}{f} = 0,154 \text{ m}$.
- La antena se compone de un array de 4 elementos unidimensional.
- Para el desarrollo teórico se supondrá el array de elementos sobre el eje z.

Además, se establecen una serie de requisitos principales que afectan al desarrollo del conformador de manera general:

- **Escalabilidad:** Dada la magnitud del proyecto sobre el que se sustenta este PFC es importante mantener una gran organización y modularidad para poder verificar de una manera sencilla y eficaz cada función cuando se vayan añadiendo nuevas características.
- **Fiabilidad:** Puesto que se pretende realizar un prototipo completamente funcional, es imprescindible que este sea fiable en la prestación de sus servicios, eficaz en la ejecución y eficiente en los tiempos.



FIGURA 3.2: Escenario de trabajo para prototipado del ADC y downlink compuesto de una fuente de alimentación un generador de frecuencias, un osciloscopio y la placa de desarrollo Microhemir.

3.2.1. Diseño de un array de antenas con elementos desfasados entre sí

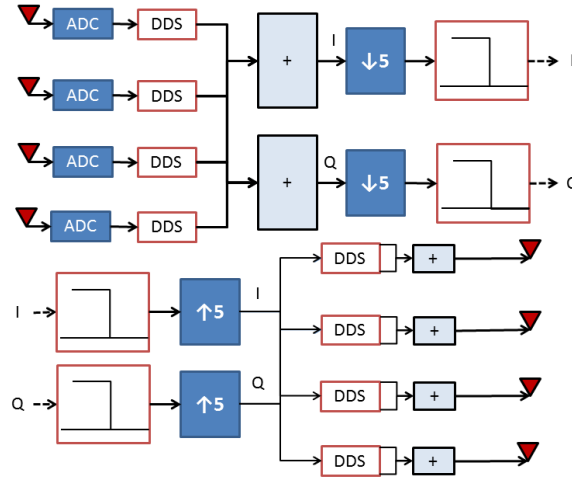


FIGURA 3.3: Esquema del conformador de haz de radiación en recepción y transmisión.

Un array de antenas desfasadas tipo presenta un grupo de elementos radiantes idénticos entre sí, cada una con su red de alimentación, desfase y amplificación y una red de suma para conseguir la señal del haz en un punto. Para cada elemento se aplica un producto de pesos multiplicando la señal recibida por su correspondiente peso en amplitud y fase dependiendo de la configuración del haz de radiación. La red del conformado de haz puede estar compuesta de lentes de microondas, guías de ondas, líneas de transmisión o circuitos de microondas impresos que apliquen los pesos a las señales.

La aplicación de los desfases a las señales está basada en las matrices multihaz, redes de transmisión/recepción con la capacidad de conformar varios haces diferentes. La matriz multihaz más típica es la matriz de **Butler** [24], está formada por un array de 4 elementos con 4 uniones desfasadas 90° entre sí y dos desfasadores de 45° . Siguiendo la señal por los diferentes caminos se pueden conformar 4 haces que difieren en el ángulo de inclinación.

Para realizar el proceso desde un punto de vista digital, la señal se descompone en fase y cuadratura procesándola en banda base de manera independiente y realizando el desfase a la hora de sacar las componentes IQ (Fig 3.3). Para ello se precisan conversores ADC y DAC (Digital-Analog Converter) que conviertan la señal entre los dominios analógico-digital y un procesador digital que realice las operaciones de la señal en dominio digital, además de una etapa RF previa que acondicione la señal recibida por el array para que el conformador de haz digital la pueda procesar.

3.2.2. Etapa RF previa a la unidad de conformado de haz

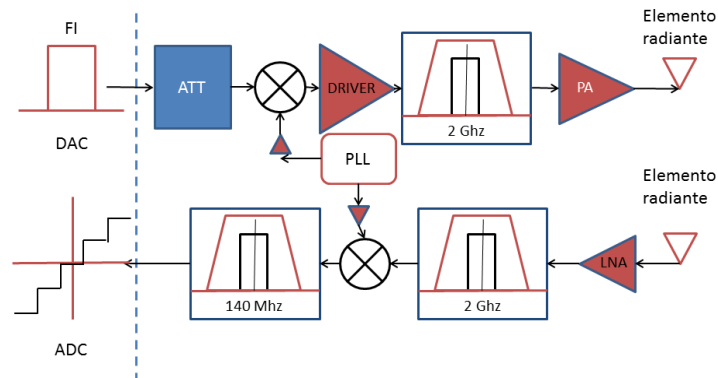


FIGURA 3.4: Esquema de la etapa RF previa al conformador de haz digital en transmisión y recepción.

Para que la señal pueda ser procesada por el conformador de haz digital es necesario que ésta sea acondicionada por una etapa RF previa (Fig 3.4). La etapa es replicada por cada elemento radiante tanto en recepción como en transmisión, en este caso, 4 veces. En recepción, el elemento radiante recibe la señal en una frecuencia de 2 GHz y la señal debe ser amplificada por un LNA debido a que su potencia es muy baja. Tras realizar un filtrado paso banda eliminando las componentes fuera de la banda de interés se vuelve a acondicionar la señal. Ésta se mezcla con la señal de un oscilador local para trasladarla a una frecuencia intermedia de 140 MHz, frecuencia apropiada para la conversión a digital con el ADC. Por último, se realiza un filtrado para eliminar la imagen fruto del mezclado con el oscilador local y se alimenta el ADC.

En transmisión, partiendo de la señal WCDMA, la figura de ruido no es tan crítica por lo que la amplificación se realiza con drivers. Los drivers son acompañados de atenuadores para conformar el control automático de ganancia y la señal es trasladada en frecuencia mediante un mezclador junto con una señal generada con el oscilador local. Tanto este oscilador como el de la etapa en recepción precisan de drivers para amplificar su señal y adecuarla a la amplitud de la señal de datos. Tras la etapa del mezclado se filtran las imágenes surgidas de ésta y se transmite la señal al elemento radiante. Una vez se tenga el prototipo del conformador con los elementos radiantes y la etapa RF será necesario implementar un camino de feedback entre la salida de la etapa RF y la FPGA. De este modo se podrá medir el desfase introducido en la señal debido a la longitud del camino y autocalibrar el sistema. Para ello se ajustan los

desfases asociados a los elementos en función de los caminos que toman sus señales hasta la salida.

3.3. Diseño de la unidad de conformado de haz

El diseño se abordará dividiéndolo en dos partes diferenciadas, por un lado la de recepción y por otro la de transmisión, diseñando con ellos sus correspondientes conformadores de haz. Atendiendo a la figura 3.3, ambos son muy similares y de este modo se consigue simplificar todo el proceso de diseño marcando una visión más reducida en primera instancia.

3.3.1. Etapa de conversión de la señal en dominio analógico a digital

Empezando por la parte encargada de la recepción de señal, se parte a la entrada de la señal analógica WCDMA con ancho de banda $BW = 5 \text{ MHz}$ y portadora en 140 MHz proveniente de la etapa RF previa. Esta señal se debe convertir a dominio digital para poder realizar el procesamiento posterior. El conversor analógico-digital es el paso intermedio entre la señal analógica recibida de la etapa RF y la entrada del conformador digital. Éste transforma una señal analógica al dominio digital mediante las operaciones de muestreo, cuantización y codificación de la señal analógica (Fig 3.5).

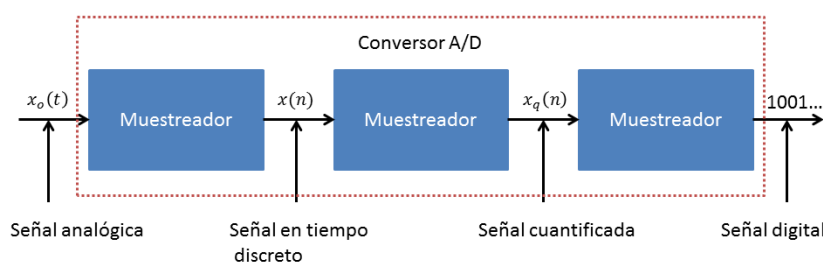


FIGURA 3.5: Funciones de un conversor analógico-digital tipo.

Para la conversión se pueden emplear diferentes técnicas [25] como la comparación de voltaje, sigma-delta, doble pendiente, la sucesión de aproximaciones etc. . . La técnica de *comparación de voltaje* se compone de una serie de comparadores en forma de amplificadores operacionales en paralelo que evalúan la señal de entrada con diferentes umbrales de voltaje. Es un método muy rápido pero tiene poca resolución, es poco eficiente energéticamente y caro. *Sigma-Delta*

basa su funcionamiento en el sobremuestreo de la señal, ésta pasa por un integrador y se compara con el nivel de tierra. Tiene mucha resolución pero debido a que se basa en el sobremuestreo posee una baja frecuencia de muestreo máxima. Los conversores de *doble pendiente* cargan en un condensador la señal de entrada durante un periodo de tiempo para posteriormente descargarlo. Dependiendo del tiempo de descarga los bits codificados serán unos u otros. No generan ruido y tienen gran precisión a costa de ser caros y lentos. Finalmente los conversores por *aproximaciones sucesivas* se basan en la fijación de un valor umbral (Most Significant Bit), su conversión a analógico y comparación con la señal de entrada. Pueden funcionar a altas velocidades y ofrecen un gran compromiso entre resolución y precio.

Cuando se cita la frecuencia de muestreo generalmente se refiere a la frecuencia máxima del conversor, pero es importante tener en cuenta igualmente la frecuencia mínima de operación en caso de que se deba reducir la frecuencia de muestreo, pues los requisitos de tiempos de *hold*¹ incrementan proporcionalmente. En este sentido los conversores de aproximaciones sucesivas presentarán menos problemas que aquellos con arquitectura basada en la comparación de voltaje. Además, los conversores Sigma-Delta no poseen señal de control por lo que presentan un funcionamiento perpetuo, lo cual puede ser un impedimento de cara a utilizar el conversor en aplicaciones síncronas como las presentadas en este proyecto.

Por estos motivos el conversor escogido será un conversor de **aproximaciones sucesivas**. La amplia mayoría de conversores de alta velocidad son de este tipo puesto que sus ventajas superan ampliamente a sus inconvenientes y su precio es muy ajustado.

Otro cálculo a tener en cuenta es la **resolución** del conversor en bits. Esta resolución vendrá dada por el nivel de amplitud con el que la señal analógica entra en el conversor e influirá directamente en el error de cuantificación que se pueda encontrar a la salida. El error quedará representado como potencia de ruido y por lo tanto afectará a la **SNR** (Signal to Noise Ratio) de la rama. Para aplicaciones de comunicaciones lo común es trabajar en rangos de los 14-16 bits.

$$e_q(n) = x_q(n) - x(n) \quad (3.12)$$

Donde $x(n)$ representa a la secuencia de muestras de amplitud continua a la entrada del cuantificador, $x_q(n)$ a la secuencia de muestras de amplitud discreta a la salida del cuantificador y $e_q(n)$ representa a la secuencia de muestras de amplitud continua del error de cuantificación (Fig 3.6). Mientras la señal analógica de entrada se encuentre en el rango del cuantificador se

¹El tiempo de hold es el tiempo necesario que la señal de datos debe estar estable una vez ha sido muestreada

cumplirá:

$$-\frac{\Delta}{2} < e_q(n) < \frac{\delta}{2} \quad (3.13)$$

donde Δ es el tamaño del escalón de cuantificación que viene dado por:

$$\Delta = \frac{R}{L} \quad (3.14)$$

donde R es el rango del cuantificador y L el número de niveles de cuantificación. El nivel de potencia de entrada debe tratar de maximizar la SNR a fin de realizar una óptima conversión a digital.

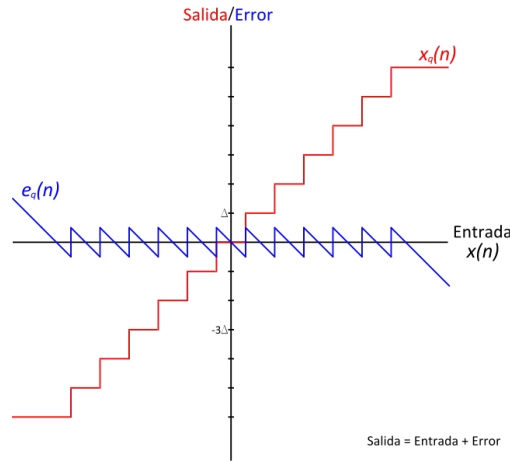


FIGURA 3.6: Es quema del nivel de salida de un cuantificador uniforme y su ruido de cuantificación.

El siguiente parámetro a tener en cuenta es la **frecuencia de muestreo**. Dado que la señal que se desea muestrear se encuentra en una frecuencia intermedia de 140 MHz, sería necesario muestrear con una frecuencia $140 \cdot 2 = 280 \text{ MHz}$ para cumplir con el criterio de Nyquist [26](Fig 3.7). Ésto es muy complicado de conseguir teniendo en cuenta, además, el factor de sobremuestreo que se utilizará para poder tomar una buena muestra de la señal. Por ello, es conveniente hacer uso de la técnica del *submuestreo* o muestreo en paso banda (véase anexo D). Mediante esta técnica se toman muestras de la imagen de la señal original en una frecuencia más próxima a la banda base, en este caso de 13.6 MHz. Por otra parte se precisa de una frecuencia de muestreo que sea múltiplo de 15,36 MHz para poder realizar el sobremuestreo como se ve en el apartado 3.3.3.2. Una frecuencia múltiplo de 15.36 MHz es 76.8 MHz, frecuencia menor que el limite de 80 MHz que soporta el conversor incorporado en la placa de evaluación *Microhemir*.

$f = 13,6 \text{ MHz}$ = Frecuencia de la portadora.

$B = 5 \text{ MHz}$ = Ancho de banda de la portadora.

Por lo tanto la frecuencia de muestreo según el criterio de Nyqvist es

$$2(f + \frac{B}{2}) = F_s = 32,2 \text{ MHz} \quad (3.15)$$

Teniendo la señal en 13.6 MHz, serán necesarios los cálculos expuestos en el anexo D para corroborar que no hay solapamientos y filtros con buen factor de calidad para aislar la señal de las muestras indeseadas.

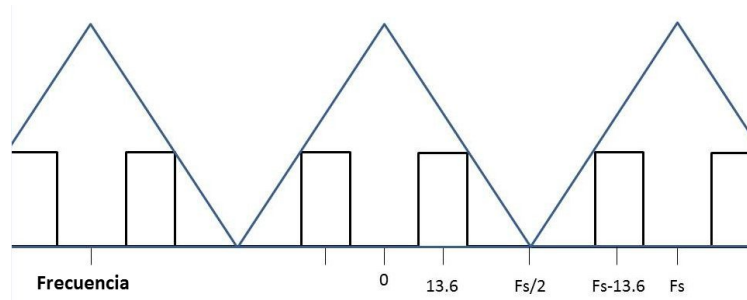


FIGURA 3.7: Esquema de frecuencias de muestreo.

3.3.2. Etapa de conformado del haz de radiación en recepción

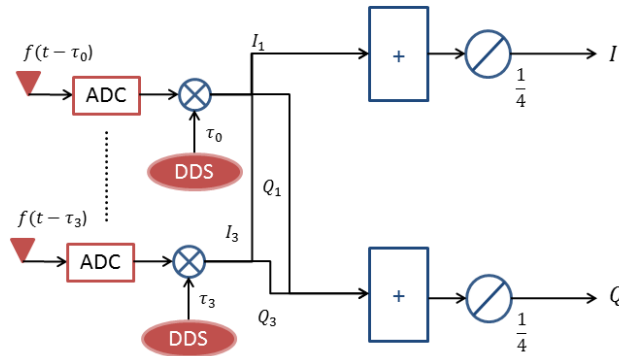


FIGURA 3.8: Bloques del conformador de haz de radiación en recepción.

Una vez ya se dispone de los procedimientos correctos para obtener una señal digital a partir de la analógica se ha de modelar matemáticamente como se recibirán las 4 señales de los elementos radiantes (Fig 3.8). Cada elemento radiante de los 4 que componen el array recibirá una

señal f_t con un retardo temporal diferente para cada elemento. Este proyecto lleva a cabo la recuperación de la señal original mediante el siguiente proceso.

La señal es recibida en cada elemento y convertida al dominio digital mediante los conversores ADC. Cada elemento dispone de un oscilador local, que genera una señal senoidal a la frecuencia intermedia de 13.6 MHz, frecuencia donde se localiza la imagen de la señal original a 140 MHz. Esta señal senoidal es desfasada con un cierto periodo calculado individualmente para cada elemento el cual está asociado al desfase de la señal de entrada en cada elemento del array, conformando el haz de radiación. Del mezclador salen dispuestas las tramas IQ de cada elemento, éstas se suman y escalan por 4 en cada rama para, calculando una media aritmética de las 4 muestras, poder obtener una muestra lo más parecida posible a la original.

3.3.2.1. Teoría de la aproximación a señal de banda estrecha

Para entender el desarrollo matemático del conformador de haz es preciso tener claro el concepto banda estrecha y por qué se puede realizar la aproximación de una señal retardada a esa misma señal sin retardo [19].

Una caracterización de la señal $f(t, p)$ donde se usa una señal paso banda para transmitir información puede describirse de la siguiente forma:

$$f(t, p_n) = \sqrt{2} \operatorname{Re} \{ \tilde{f}(t, p_n) e^{j w_c t} \}, \quad n = 0, \dots, N-1, \quad (3.16)$$

donde t es el instante temporal, p_n la posición del elemento radiante, w_c es la frecuencia de la portadora (en este caso $2\pi \cdot 140 \cdot 10^6$ rad/s) y $\tilde{f}(t, p_n)$ la forma compleja de la señal. Si la señal es una onda plana se puede simplificar a:

$$f(t, p_n) = \sqrt{2} \operatorname{Re} \{ \tilde{f}(t - \tau_n) e^{j w_c (t - \tau_n)} \}, \quad n = 0, \dots, N-1, \quad (3.17)$$

donde τ_n está dado por:

$$\tau_n = \frac{\bar{\mathbf{k}}^T \cdot \bar{\mathbf{p}}_n}{w_c} \quad (3.18)$$

$$\bar{\mathbf{k}}^T = \frac{2\pi}{\lambda} \cos \theta \quad (3.19)$$

$$\bar{\mathbf{p}}_n = p_z \quad (3.20)$$

para un array unidimensional sobre el eje z.

Dado ΔT_{max} el tiempo máximo en recorrer la distancia entre dos elementos por una onda plana:

$$\tau_n \leq \Delta T_{max}, \quad n = 0, \dots, N - 1. \quad (3.21)$$

Por lo tanto, si una señal de ancho de banda B_s cumple:

$$\Delta T_{max} \cdot B_s \ll 1 \quad (3.22)$$

es definida como de *Banda Estrecha*. Ésto valida la siguiente aproximación:

$$\tilde{f}(t - \tau_n) \simeq \tilde{f}(t), \quad n = 0, \dots, N - 1. \quad (3.23)$$

Como ΔT_{max} es equivalente a d/c con d la distancia entre radiantes y c la velocidad de propagación de la onda en el vacío, la ecuación 3.23 equivale a:

$$B_s \ll \frac{c}{d} \quad (3.24)$$

Esta condición no se cumple para $f_i = 13,6 \text{ MHz}$ pero sí para $f_i = 140 \text{ MHz}$ por lo que la señal se trasladará a una frecuencia intermedia de 140 MHz y el ADC replicará la señal en 13.6 MHz. Tomando esta expresión en la ecuación 3.17 se puede ver que las líneas con retardos τ_n pueden ser sustituidas con las mismas líneas pero con desfases $e^{-j\omega_c \tau_n}$. Usando desfases progresivos se puede direccionar el lóbulo principal del haz de radiación con cualquier ángulo de inclinación sobre el eje θ .

3.3.2.2. Modelo matemático de la etapa de conformado de haz de radiación en recepción

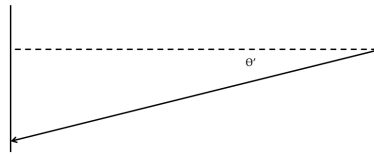


FIGURA 3.9: Esquema del haz de radiación desfasado que llega en recepción.

La señal, a la entrada de cada elemento:

$$f(t, p_n) = c_n(t) = x(t - \tau_n) \cos(w_{RF}(t - \tau_n)), n = 0, \dots, N - 1 \quad (3.25)$$

utilizando la aproximación de banda estrecha:

$$\approx x(t) \cos(w_{RF}t - \theta'_n) \quad (3.26)$$

Donde $\theta'_n = w_{RF}\tau_n$ con τ_n el retardo temporal al que se ve sometido el elemento n. Al pasar por la etapa RF, la señal es trasladada a la frecuencia intermedia multiplicándola por un oscilador local. Este oscilador modifica la señal de entrada en la parte del coseno con la frecuencia intermedia. Para conseguir el retardo en frecuencia intermedia equivalente al presente en la frecuencia original:

$$w_{FI}\tau_{FI} = w_{RF}\tau_{RF} \quad (3.27)$$

Por lo tanto, tras pasar por el oscilador local de la etapa RF, al inicio del enlace de recepción digital se encuentra la siguiente señal:

$$g_n(n) = x(n) \cos(w_{FI}n - \theta'_n) \quad (3.28)$$

donde

$$\theta'_n = w_{RF}\tau_n \quad (3.29)$$

el desfase a la frecuencia de trabajo de la señal de entrada. El objetivo es procesar la señal original x_n y para ello se deberá mezclar con un oscilador generando un desfase equivalente al de la señal de entrada.

Para mantener la aproximación de banda estrecha y anular el retardo con el que llega la señal al array se mezcla cada señal de los diferentes elementos con los tonos senoidales generados por sendos osciladores, cada uno desfasado con un valor diferente para cada elemento radiante. De esta forma, a la entrada de los mezcladores:

$$s_n(n) = x_n(n - \tau_{RF}) \cos(w_{FI}n - w_{RF}\tau_{RF}n) \quad (3.30)$$

Multiplicando por el tono desfasado y aplicando la aproximación de banda estrecha:

$$s'_n(n) = x(n)\cos(w_{FI}n - w_{RF}\tau_{RF}n)\cos(w_{FI}n - w_{FI}\tau_{FI}n) \quad (3.31)$$

En dominio frecuencial:

$$X(w)e^{-jw_{RF}\tau_{RF}}e^{+jw_{FI}\tau_{FI}} \quad (3.32)$$

Finalmente los cosenos quedan anulados por lo que la señal queda:

$$s'(n) \simeq x(n) \quad (3.33)$$

De este modo se obtiene la señal original en banda base sin desfase para su posterior procesamiento digital. Multiplicando por señales senoidales desfasadas entre sí 90° se consiguen extraer las tramas IQ de la señal.

3.3.3. Enlace de recepción del conformador de haz de radiación

3.3.3.1. Obtención de tramas IQ a partir de la señal digital

Una vez se dispone de la señal captada procedente de los 4 elementos radiantes se procede a obtener las tramas IQ de esta señal mediante una etapa DDC (Digital DownConversion). Este proceso se llevaría a cabo multiplicando la señal digital por una senoide y por esa misma señal desfasada 90° , ambas generadas por un oscilador local a una frecuencia igual a la de la señal de entrada al bloque, en este caso 13.6 MHz (Fig 3.10). Normalmente a esto le sigue un filtrado de paso bajo con una frecuencia de muestreo igual al ancho de banda de la señal ya en banda base pero, dado que posteriormente se realiza un diezmado de la señal con su filtrado paso bajo asociado, no es necesario redundar en ello. Por lo tanto, en todo el modelo matemático anterior habría que añadir en otra rama la multiplicación por una señal $\sin(w_{FI}n - w_{FI}\tau_{FI}n)$.

Si a la entrada se halla una señal de la forma

$$g[n] = x[n]\cos[w_{IF}n] \quad (3.34)$$

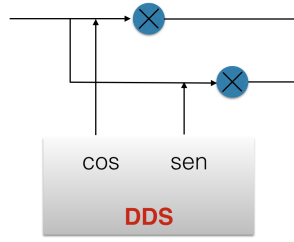


FIGURA 3.10: Esquema de la etapa de mezclado para la obtención de las tramas IQ.

Al multiplicar por las señales senoidales

$$\begin{cases} i[n] = [n] \cos[w_i] = x[n] \cos[w_i] \cos[w_i] \\ q[n] = s[n] \sin[w_i] = x[n] \cos[w_i] \sin[w_i] \end{cases} \quad (3.35)$$

Así, tras la etapa DDC se dispone de 2 señales en banda base IQ.

3.3.3.2. Etapa de diezmado de tramas IQ de la señal digital

La portadora original recibida se encontraba en 140 MHz y su imagen en 13.6 MHz. Como se ha avanzado anteriormente, es necesario muestrear a 76.8 MHz debido a que las señales digitales no son trenes reales de pulsos binarios teóricos. Al no disponer de un instante perfecto de muestreo es posible que, dependiendo de cuando se tome la muestra se escoja un valor erróneo como se aprecia en la imagen (Fig 3.11). Por ello, es necesario tomar varias muestras de la señal para posteriormente hallar su valor mediante correlación. Para ello se aplicará una etapa de diezmado:

$$Tasa\ de\ chip = T = 3,84\ MHz$$

$$4T = 15,36\ MHz$$

$$Fs = \text{Frecuencia de muestreo} = 76,8\ MHz$$

$$\frac{Fs}{5} = 15,36 = 4T$$

Como se ha expuesto anteriormente, una frecuencia válida para cumplir los requisitos del sobremuestreo es la de 76.8 MHz. Este número de muestras es además requisito del protocolo CPRI, donde en su especificación exige que para el enlace de recepción se tomen como mínimo 1-2 muestras de *chip*¹ para realizar la correcta sincronización en la BTS y de 2-4 en el enlace

¹El chip es valor muestreado binario

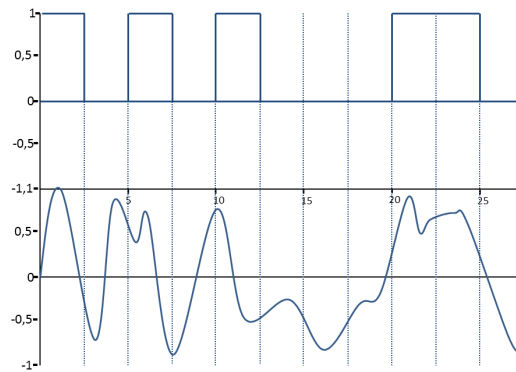


FIGURA 3.11: Señal digital teórica-Señal digital real.

de transmisión.

Matemáticamente se puede realizar de diferentes formas. Aquí se exponen 2, por *filtros en cascada* y usando un filtro *FIR lineal*. Tomando como referencia un filtro integrador en cascada, su estructura se compone de una sección de integración, operando a una frecuencia de muestreo alta combinada con una sección de acondicionamiento y operando a una frecuencia más baja. Estos filtros se pueden usar tanto para interpolar como para diezmar la señal (Fig 3.12).

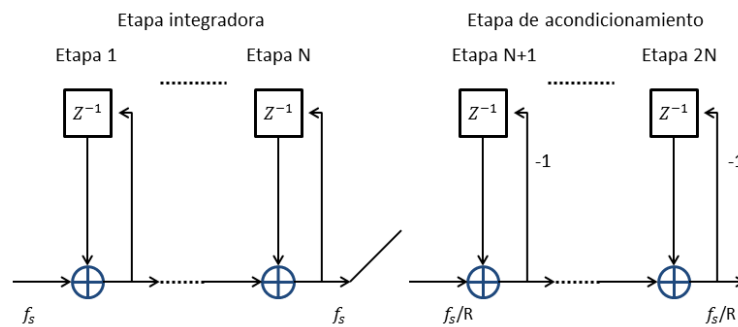


FIGURA 3.12: Esquema del bloque diezmadador mediante filtros en cascada CIC.

La función de transferencia del filtro sería:

$$H(z) = H_I^N(z)H_C^N(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N} = \quad (3.36)$$

$$= \left[\sum_{k=0}^{RM-1} z^{-k} \right]^N \quad (3.37)$$

$$H_C(z) = 1 - z^{-RM}, H_I(z) = \frac{1}{1 - z^{-1}}, z \in \mathbb{C} \quad (3.38)$$

con R el factor de diezmado o interpolación, M el número de etapas de retardo en cada etapa de acondicionamiento y N el número de etapas tanto en la parte de integración como en la de acondicionamiento.

Para realizar el diezmado mediante un filtro FIR lineal (Fig 3.13), si la frecuencia de muestreo final es M veces menor que la inicial:

$$f_{s2} = \frac{f_{s1}}{M} \quad (3.39)$$

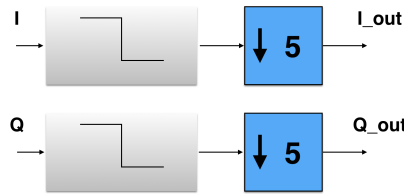


FIGURA 3.13: Etapa de diezmado con filtro FIR lineal.

La disminución de la frecuencia de muestreo se lleva a cabo tomando una de cada M muestras de la salida y replicándolas posteriormente, desechando las $M - 1$ intermedias. Para este proyecto $M = 5$ y la relación entrada-salida será, en dominio temporal:

$$x[n] = x_a[nT] \longrightarrow \downarrow 5 \longrightarrow y[n] = x_a(n5T) \quad (3.40)$$

Este sistema es lineal pero no invariante temporal, es decir, un retardo de n muestras en la señal de entrada no produce la misma señal de salida retardada n muestras. Cuando se diezma una señal como se acaba de describir, existe el peligro de que, aunque $x[n]$ no contenga *aliasing*², dado que $y[n]$ corresponde a una frecuencia de muestreo menor, $y[n]$ sí que lo tenga. Para que

²El aliasing es un fenómeno que se produce en el diezmado cuando a las muestras de la señal se le superponen las muestras de su componente 2π -periódica.

al diezmar por M no exista *aliasing*, el ancho de banda de la señal original deberá ser :

$$B_s < \frac{f_{sy}}{2} = \frac{f_{sx}}{2M} \quad (3.41)$$

Normalmente se cumplirá únicamente que $B_s < \frac{f_{sx}}{2}$ por lo que será necesario realizar un filtrado paso bajo digital previo de la señal $x[n]$ antes de ser diezmada. Para determinar la frecuencia de corte discreta necesaria es preciso conocer la frecuencia de muestreo a la que trabajará el filtro f_{sx} . La frecuencia de corte será por lo tanto $\frac{f_{sx}}{2M}$.

Xilinx ofrece un CORE IP para este propósito llamado **FIR Compiler**. Como su propio nombre indica utiliza la segunda forma expuesta tanto para la interpolación como para el diezmo. A este CORE se le pasan los coeficientes del filtro a implementar hallados mediante la herramienta de Matlab **fdatool**. En este caso el factor de diezmo es de **5**. Para definir el filtro prediezmo se precisa de una banda de stop igual a $\frac{76,8 \text{ MHz}}{5 \cdot 2}$ que por definición es la necesaria para evitar aliasing y una banda de paso de hasta $3,84 \text{ MHz} \cdot (1 + \beta)$ donde β es el factor de *roll-off* definido en la especificación UMTS (Universal Mobile Telecommunications System) como **0.22**.

3.3.3.3. Filtrado con raíz de coseno realizado de las tramas IQ

Finalmente como última etapa del enlace de recepción se encuentra el filtrado en raíz de coseno realizado. Se utiliza este filtro porque dado un **BER** (Bit Error Rate), es el que menos potencia de transmisión requiere y como se está limitando en banda el espectro, eliminará la **ISI** (Interferencia Intersimbólica) (Fig 3.14). La ISI aparece cuando, al limitar el ancho de banda de los pulsos, éstos se deforman por los bordes.

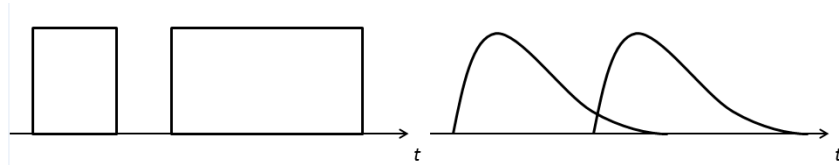


FIGURA 3.14: Señal digital perfecta y afectada por ISI.

El filtro perfecto para anular este efecto sería el filtro rectangular, pero en la práctica es imposible de realizar por lo que se utiliza el filtro raíz de coseno realizado donde un factor de *roll-off* igual a 0 equivaldría al filtro rectangular. Es, por lo tanto, una implementación de un

filtro paso bajo de Nyquist, por lo que el espectro tendrá simetría impar en $\frac{1}{2T}$, donde T es el período del sistema de comunicaciones. Su descripción en el dominio frecuencial es:

$$|H(f)| = \begin{cases} 0, & \text{si } |f| \leq \frac{1-\beta}{2T} \\ \frac{1}{2}[1 + \cos(\frac{\pi T}{\beta} [|f| - \frac{1-\beta}{2T}])], & \text{si } \frac{1-\beta}{2T} < |f| \leq \frac{1+\beta}{2T} \\ 0, & \text{resto} \end{cases} \quad (3.42)$$

con $0 \leq \beta \leq 1$ el factor de *roll-off* y T el periodo de la señal. La respuesta impulsional en el dominio temporal:

$$h(t) = \text{sinc} \frac{t}{T} \frac{\cos(\frac{\pi \beta t}{T})}{1 - \frac{4\beta^2 t^2}{T^2}} \quad (3.43)$$

Como frecuencia de corte se toma el ancho de banda del chip WCDMA, ya sin tener en cuenta el ancho de banda añadido por el filtrado de raíz de coseno realizado, es decir **3.84 MHz** (Fig 3.15).

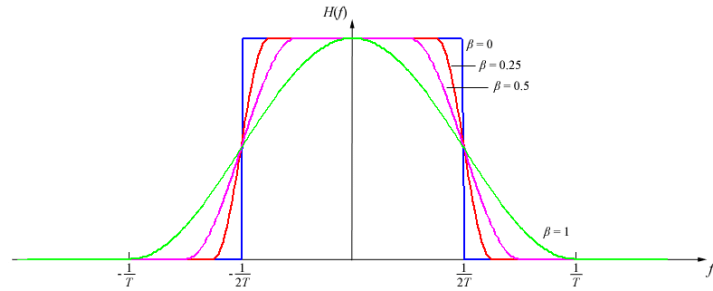


FIGURA 3.15: Respuesta frecuencial del filtro raíz de coseno realizado para diferentes valores de factor de roll-off β .

Ésto finaliza la parte de recepción. El último paso es la comunicación con el exterior. En este caso la BTS se comunicará por medio de fibra óptica entramando los paquetes IQ bajo el protocolo **CPRI** [27][28]. Tras varias pruebas y documentación se comprobó que la información tanto de los paquetes IQ como de la inclinación del haz y otros parámetros se ubican dentro de un campo de la trama llamado *vendor specific*. Mediante un estudio del mercado se averiguó que cada marca vendía su propio conjunto BTS-RRU, por lo que la comunicación entre ellas era propia y sólo se podría realizar mediante acuerdo comercial. Dada la inviabilidad de establecer comunicación con la BTS por el momento, se decidió que la información dispuesta en paquetes IQ ya tratados se reenviase en transmisión como si tuviese su origen en la BTS, habiendo

pasado por el bloque de desentramado y dejando para un posible futuro la implementación de un bloque de entramado/desentramado con paquetes CPRI.

3.3.4. Enlace de transmisión del conformador de haz de radiación

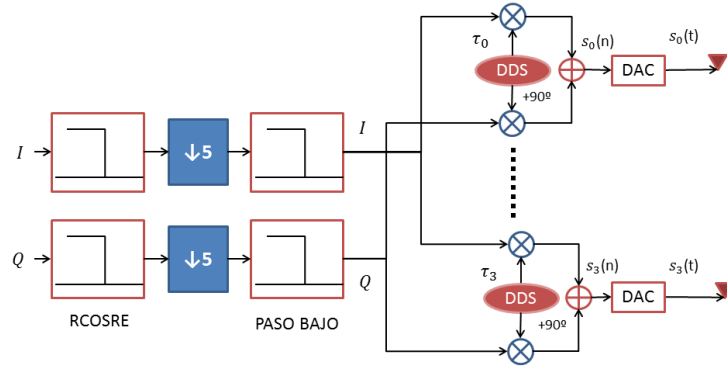


FIGURA 3.16: Esquema de la parte de transmisión del conformador del haz de radiación teórico.

El camino para realizar el enlace de transmisión es teóricamente inverso al enlace de recepción sustituyendo el filtro diezmador por uno interpolador con el mismo factor de interpolación. Por lo tanto:

1. Dado que se ha utilizado un filtro raíz de coseno realzado como última etapa en el enlace de recepción, se utilizará el mismo filtro, con los mismos parámetros, para el enlace de transmisión, de modo que tras los dos filtrados, el de recepción y transmisión, la señal que queda es la deseada.
2. El filtrado de interpolación se realiza, mediante los filtros en cascada, invirtiendo el orden de las etapas y colocando por lo tanto las etapas integradoras en primera instancia y las acondicionadoras después. Por otro lado, el método de filtrado FIR lineal se basa en la inserción de ceros entre las muestras originales manteniendo la siguiente muestra y filtrando con un filtro paso bajo las nuevas imágenes creadas que hacen diferente la señal de salida de la de entrada. Las características del filtro posterior son idénticas a las del utilizado antes del diezmado.
3. Una etapa de DUC (Digital UpConversion) recibe 2 señales en banda base, IQ, y las modula en diferentes señales paso banda mezclándolas con un tono generado por los 4 osciladores locales a la frecuencia intermedia de 13.6 MHz y el desfase propio de cada

elemento para conformar el haz de radiación. Dado que es posible encontrar *overflow*³, se debe truncar la señal en el bit de menor peso puesto que la suma de dos números con n bits a 1 es de $n + 1$ bits.

$$\begin{cases} i'(n) = i(n)\cos(w_{IF}n - w_{RF}\tau_{RF}) = i(n)\cos(w_{IF}n - w_{IF}\tau_{IF}) \\ q'(n) = q(n)\sen(w_{IF}n - w_{RF}\tau_{RF}) = q(n)\sen(w_{IF}n - w_{IF}\tau_{IF}) \end{cases} \quad (3.44)$$

Por lo que la salida de la etapa RF al subir en frecuencia será:

$$s(t) = x(t) = \cos(w_{RF}t - w_{RF}\tau_{RF}) \quad (3.45)$$

4. El paso intermedio entre la salida del conformador del haz de radiación y la entrada al transmisor RF con señal analógica es el conversor digital-analógico. Este componente transforma una señal digital en analógica dando una corriente normalizada a la salida respecto a la entrada digital. Debe ser capaz de convertir a dominio analógico todas las muestras que le lleguen procedentes de la FPGA por lo que, como se tiene una muestra cada $T = 1/(76,8 \text{ MHz})$ deberá tener como mínimo una frecuencia de salida de 76.8 Msps.

3.3.5. Etapa de conformado del haz de radiación en transmisión

Para realizar el conformado del haz de radiación con cada uno de los elementos radiantes se debe saber de antemano la inclinación del ángulo del haz de radiación que se desea implementar en el array de elementos. Partiendo del factor de array teórico [22]:

$$FA = \sum_{n=0}^{N-1} a_n e^{jn\psi} \quad (3.46)$$

Donde N = número de elementos, $\psi = kdcos(\theta) + \alpha$ y a_n la amplitud de cada uno de los elementos radiantes. Siendo $k = 2\pi/\lambda$, d = distancia entre elementos, en este caso $d = 0,8\lambda$, θ = ángulo de inclinación del haz de radiación y α = la progresión de fase siempre y cuando el Array se encuentre sobre el eje z . Por lo tanto para conseguir el máximo de radiación (ver Fig 3.1):

$$kdcos(\theta) + \alpha = 0 \quad (3.47)$$

³El overflow se presenta cuando el resultado de una operación matemática entre dos operandos de n bits da como resultado un número con más de n bits, resultando imposible almacenarlo en un espacio de n bits.

con θ = el ángulo de radiación, así que:

$$\alpha = -kdcos(\theta) \quad (3.48)$$

No se debe de confundir la θ de este modelo con la θ' con la que el frente de ondas incide en la figura 3.9 puesto que, como se muestra a continuación, son diferentes 3.17.

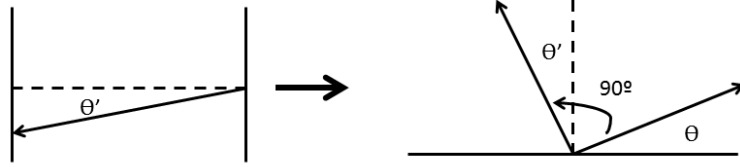


FIGURA 3.17: Esquema de la equivalencia entre los ángulos incidentes.

Por lo que se puede establecer la siguiente relación:

$$\theta = \frac{\pi}{2} + \theta' \quad (3.49)$$

Por lo tanto, para hallar el desfase α de cada elemento:

$$\alpha = -2\pi 0,8 \cos\left(\theta + \frac{pi}{2}\right) \quad (3.50)$$

Mientras que, como ya se había visto:

$$\tau_{RF} = \frac{\theta}{w_{RF}} \quad (3.51)$$

$$\tau_{FI} = \frac{\theta}{w_{FI}} \quad (3.52)$$

Realizando las conversiones de θ a radianes. De este modo se halla la progresión de fase para cada elemento.

Dado que un periodo de la señal equivale a un desfase completo (360°)

$$2\pi = 360^\circ \Rightarrow \frac{1}{f} \quad (3.53)$$

con $f = 2 \text{ GHz}$ la frecuencia con la que la señal llega y sale por el elemento radiante en la última fase de todo el proceso. Con esta frecuencia se obtiene un periodo de 500 ps por lo que con la progresión de fase se halla el retardo temporal que hay que aplicar a la señal.

$$\begin{cases} 2\pi \Rightarrow \frac{1}{f} \\ \frac{\alpha\pi}{180} \Rightarrow \tau \end{cases} \quad (3.54)$$

$$\tau = \frac{\alpha}{360f} \quad (3.55)$$

Así, los retardos son del orden de los picosegundos aplicados a la frecuencia de salida del array de 2 GHz . Calculando el retardo que habrá que aplicar con la frecuencia de $13,6 \text{ MHz}$:

$$w_{RF}\tau_{RF} = w_{FI}\tau_{FI} \quad (3.56)$$

$$\tau_{FI} = \frac{\tau_{RF}10^3}{6,8} \quad (3.57)$$

En la siguiente tabla se ven las diferentes progresiones de fase necesarias para cada ángulo de inclinación y su correspondiente retardo temporal (Cuadro 3.1):

θ	α	τ_{RF}	τ_{FI}
0°	0 rad	0 ps	0 ns
2°	0.17542 rad	13.95948 ps	2.0528647 ns
4°	0.350634 rad	27.902567 ps	4.1033186764 ns
6°	0.5254173 rad	41.81138 ps	6.148732 ns
8°	0.69956 rad	55.6692159 ps	8.186649 ns
10°	0.87285 rad	69.459196 ps	10.214587 ns
12°	1.045078 rad	83.1646648 ps	12.23009 ns
14°	1.216032 rad	96.7687518 ps	14.230698 ns
16°	1.38550446 rad	110.2549417 ps	16.213962 ns

CUADRO 3.1: Retardos

3.3.6. Etapa de conversión de la señal en dominio digital a analógico

Una vez la señal digital de salida WCDMA ha sido conformada, debe ser transformada al dominio analógico para poder ser transmitida mediante la etapa RF posterior al conformador del haz de radiación. Para realizar la conversión utiliza las operaciones de conversión e interpolación.

Las especificaciones a tener en cuenta son la resolución, precisión, error de desplazamiento y el tiempo de estabilización. La resolución marca el número de bits de la señal de entrada al convertidor, en este caso 16 bits. La precisión puede ser especificada por el error a escala completa o por el error de linealidad, que es un porcentaje de la salida a escala completa. El error a escala completa es la desviación máxima de la salida del DAC de su valor esperado. Dado que es un convertidor de 16 bits, es necesario una precisión alta. El tiempo de estabilización mide el tiempo que el DAC tarda en dar una salida estable dada la entrada digital. Este valor es menor que la tasa de muestreo por lo que es relativamente sencillo cumplir su requisito.

La conversión se realiza asignando pesos a cada entrada e introduciendo una cantidad de voltaje en cada camino para, al final, sumar todos los pesos con sus respectivos voltajes y conformar la salida. De este modo se puede asignar mayor voltaje a los bits de más peso puesto que la amplitud que marcan es mayor cuanto mayor es su posición.

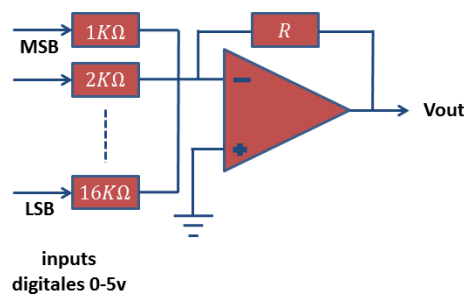


FIGURA 3.18: Esquema de operación de un convertidor digital-analógico tipo.

Un diagrama de bloques del enlace de transmisión completo queda reflejado en la Fig 3.18.

Capítulo 4

Simulación del conformador de haz de radiación

Tras el diseño teórico se procede a realizar la simulación de todo el sistema para corroborar que la dirección de trabajo es la adecuada, ver los resultados que se pueden esperar y encontrar posibles errores de diseño corrigiéndolos a tiempo. Una buena simulación permitirá, además, conocer en profundidad el funcionamiento del sistema.

Las herramientas disponibles para realizar la simulación del sistema en principio fueron dos. Por un lado **Simulink** de Mathworks [6], integrado en Matlab y por otro la suite de herramientas de código libre **Gnu-Radio** [25] para Linux. Simulink permite un diseño por bloques simple y efectivo con el añadido de poder implementar los códigos programados para la implementación en Verilog y así comprobar que realizan bien su cometido. Gnu-Radio, la alternativa libre sobre Linux permite, al igual que Simulink, una simulación mediante diseño de bloques programados en el lenguaje Python. Estos bloques y códigos se pueden implementar en la placa de desarrollo *Ettus USRP1* [29], destinada al desarrollo en RF, incluye una FPGA Altera Cyclone [30], un ADC dual a 64 Msps, un DAC dual a 128 Msps y conectividad USB. Permite operar desde banda base hasta los 6 GHz y es totalmente programable. La presteza en la obtención de resultados a partir de los diseños de bloques en Simulink y el laborioso proceso de configuración, compilación y depuración de errores en Gnu-Radio decantaron la balanza por la alternativa de Mathworks.

Para el proyecto finalmente sólo se hizo uso de la simulación por bloques de Simulink puesto que la simulación con bloques de Xilinx tenía coherencia con la realización del *testbench* mediante ModelSim o Isim. Para afrontar la evaluación del sistema completo primero se realizó la simulación del enlace de recepción para un solo elemento captador. Después se hizo lo propio con el enlace de transmisión y se simuló el bucle para los 4 elementos. Como último paso se simuló el sistema final con conformado de haz para los 4 elementos. Dado que se opera durante todo el proceso de simulación bajo el dominio digital no tiene sentido simular el paso entre los dominios digital y analógico por lo que se comienza la simulación suponiendo que la señal digital ya ha sido obtenida.

4.1. Simulación del enlace de recepción con 1 solo elemento radiante

Para el diseño del enlace de recepción se parte de una señal **WCDMA** capturada en un fichero de 8192 muestras con la portadora en 140 MHz, muestreada a 76.8 MHz, por lo que aparece una imagen en 13.6 MHz.

Esta señal será la entrada de la simulación. Un bloque **Zero-Order Hold** [6] actúa como conversor Analógico-Digital manteniendo el nivel de la señal de entrada durante todo el periodo. Tras ésto se han de generar con dos bloques sendas señales senoidales a modo de oscilador local, desfasadas 90° entre sí y multiplicarlas por la señal de información para obtener las tramas IQ. Un bloque de filtrado paso bajo se encarga de realizar las funciones de filtro pre diezmado para evitar el aliasing al ejecutar el diezmado de factor 5. La frecuencia de paso será:

$$\frac{3,84 \text{ MHz} \cdot (1 + \beta)}{2} \quad (4.1)$$

con $\beta = 0,22$. Mientras que la banda de rechazo:

$$\frac{76,8 \text{ MHz}}{5 \cdot 2} \quad (4.2)$$

Para relajar los requisitos del filtro y que las simulaciones sean menos exigentes en términos de CPU se puede determinar una banda de rechazo de :

$$\frac{76,8MHz}{5} - (3,84 MHz \cdot (1 + \beta)) \quad (4.3)$$

Tras el filtro prediezimado se implementa un bloque *downsampler* de factor 5 y un filtro raíz de coseno realzado para evitar el ISI con el factor de *roll-off* dictado en la especificación WCDMA de 0.22 y una frecuencia de corte $F_c = 3,84 MHz$ igual a la frecuencia de chip. El conjunto total de los bloques queda como muestra la figura 4.1.

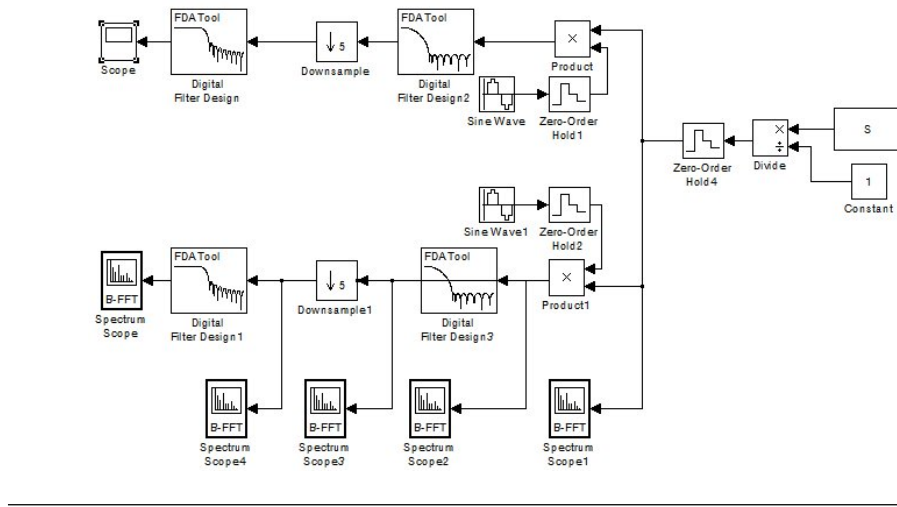


FIGURA 4.1: Esquema de bloques para simulación del enlace de recepción.

Ahora, con los resultados de la simulación, para la señal de entrada WCDMA (Fig 4.2), se observa como la señal paso banda se encuentra centrada en la frecuencia de 13.6 MHz con un ancho de banda de unos 5 MHz. La señal que aparece en 2.5 MHz es espúrea, posiblemente debido a ruido u *offset* de continua y no se le prestará atención:

A la salida del bloque de Digital Down Conversion se obtiene la señal en banda base y replicada en $13,6MHz \cdot 2$ debido al desplazamiento en frecuencia (Fig 4.3). Ambas señales, tanto la multiplicada por el coseno como la multiplicada por el seno, van a tener el mismo aspecto frecuencial dado que al convolucionar por la transformada de Fourier del seno/coseno se está trasladando la señal original al origen frecuencial y al ser 2π -periódica siempre va a estar presente la imagen:

Tras pasar por el filtro prediezimado se han eliminado las componentes que no interesaban dejando un ancho de banda de 2.5 MHz. Se puede observar como la señal espúrea sigue

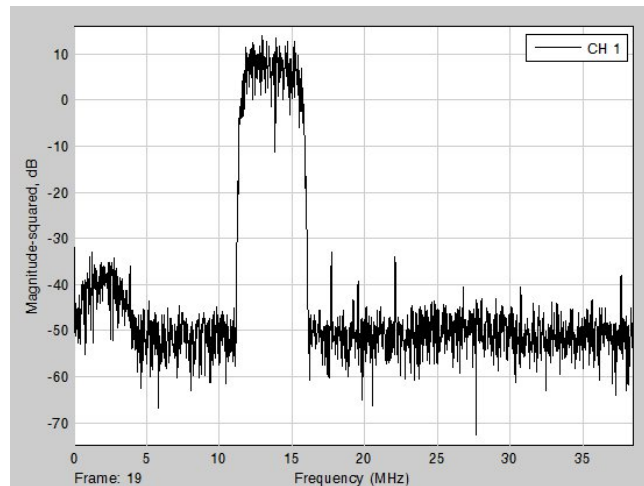


FIGURA 4.2: Señal WCDMA de entrada al bloque de simulación del enlace de recepción con portadora en 13.6 MHz.

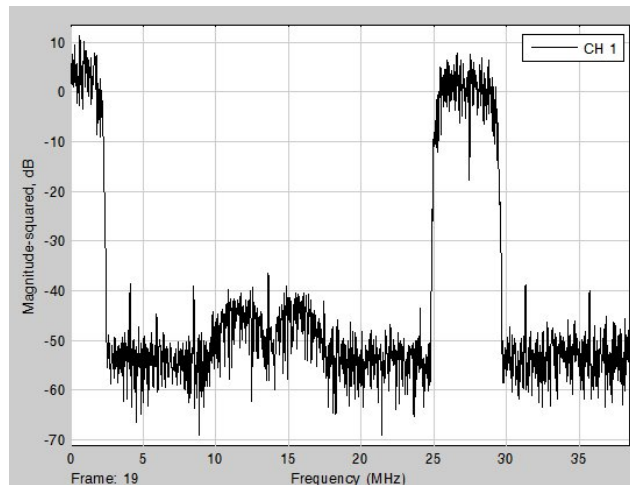


FIGURA 4.3: Señal a la salida del bloque de simulación de Digital Down Conversion tras la multiplicación por las señales senoidales.

apareciendo, siendo incluso mas evidente que antes respecto al nivel más bajo, pero el filtrado la ha atenuado hasta 80 dB respecto de la señal de estudio (Fig 4.4):

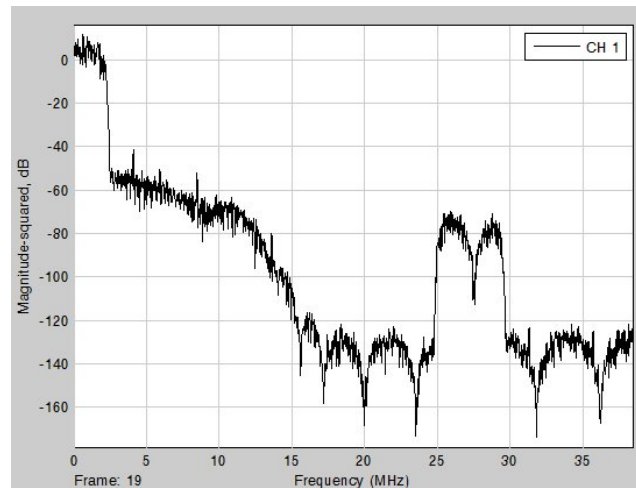


FIGURA 4.4: Señal a la salida del filtro prediezariado.

Al realizar el *downsampling* de factor 5 se está replicando la señal 5 veces en el espacio frecuencial donde antes solo había una sola. Por último, tras el paso por el filtro de raíz de coseno realizado (Fig 4.5) todas las señales que no interesan fuera del ancho de banda del chip original ($5/2$ MHz) quedan reducidas a una amplitud de -60 dB y por lo tanto se pueden considerar despreciables. Se puede observar la rampa en la señal fruto de que el filtrado no es perfecto:

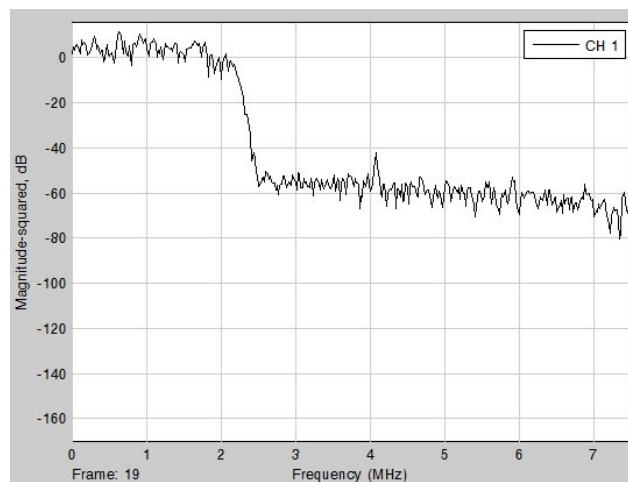


FIGURA 4.5: Señal a la salida del filtro raíz de coseno realizado en simulación.

4.1.1. Simulación del enlace de transmisión en conjunto con el de recepción con un solo elemento radiante

Una vez realizada la simulación del enlace de recepción para un elemento se procede a hacer lo propio para los 4 elementos prestando atención a las potencias presentes a la salida de cada bloque. Tras el sumatorio de las entradas se escala la suma para normalizar la señal. En este caso al sumar las tramas I y Q es posible que a la hora de implementarlo en la FPGA se pueda tener *overflow*, por lo que es recomendable truncar la salida un bit. La simulación del enlace de transmisión es simétrica en su diseño a la de recepción. Es más, la realización de la simulación con 4 elementos sin conformado de haz da los mismos resultados que la de un solo elemento puesto que la entrada es la señal replicada 4 veces y escalada para tener el equivalente a una sola señal. Como las señales son idénticas al tener origen en el mismo fichero de muestras, los resultados de la simulación son los mismos que si sólo se tiene un elemento de entrada y salida.

La salida, tras pasar por el sistema completo de enlace de recepción y transmisión (Fig 4.6):

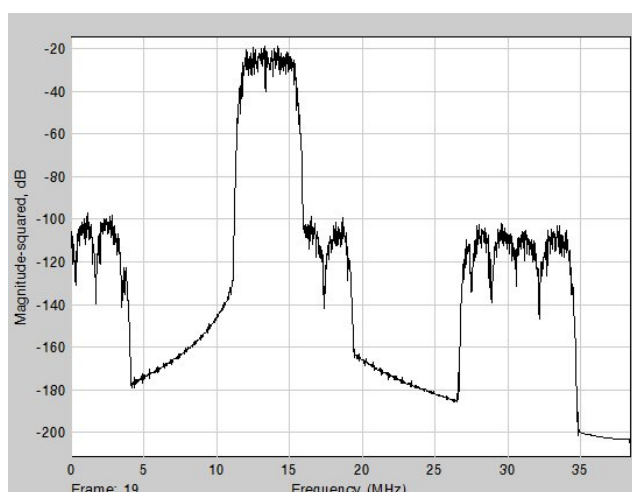


FIGURA 4.6: Señal de salida en uplink para simulación.

Como se puede observar, la señal de salida tiene muestras *espúreas* fuera de las frecuencias que interesan. Ésto es debido a los múltiples filtrados que ha sufrido por el camino. Las muestras no deseadas tienen una potencia 80 dB menor que la de la información por lo que no condicionarán el resultado final. En un sistema real entre el enlace de recepción y el de transmisión, además, existe un paso intermedio en el que se regeneran las tramas por medio

de los códigos de *spreading*¹. No obstante el objetivo de la simulación queda cumplido al ver que frecuentemente la señal de salida se ha comportado como era previsto.

4.2. Simulación del conformado de haz en recepción y transmisión

Para simular y comprobar que el algoritmo de conformación del haz es correcto se usan señales generadas desde Simulink. La señal WCDMA usada anteriormente no es válida puesto que al estar muestreada a 76.8 MHz los retardos que se deben aplicar a las señales no afectarán al resultado.

$$\text{Periodo de la portadora WCDMA} = \frac{1}{76,8 \text{ MHz}} = 13,6 \text{ ns}$$

La señal no cambiará de valor en ese periodo y los retardos serán más pequeños, por lo que el valor en el instante x será el mismo que en el instante retardado $x + t$. Se utiliza Simulink para generar señales senoidales a una frecuencia mucho mayor que la frecuencia de muestreo con la que trabaja el sistema, diez veces más. De este modo, aunque la señal sea un simple tono senoidal, se podrá comprobar si el funcionamiento del conformador de haz es correcto. Estas señales serán las entradas del sistema a simular.

Para ello se dibuja en una gráfica el factor de agrupación mediante una función programada con Matlab y se calcula la diferencia entre 2 niveles de ésta, por ejemplo, entre el máximo ($\theta = 0$) y otro punto que entre dentro del rango de θ . Esta diferencia de potencia deberá ser la misma que la que se extraiga simulando el sistema con un retardo de 0 y con los retardos calculados para el punto de medida. Para medir la potencia se crea el siguiente módulo compuesto por bloques (Fig 4.7):

¹Los códigos de spreading son codigos ortogonales utilizados en UMTS utilizados para generar las tramas de información a emitir y la cantidad de ancho de banda y de potencia de emisión a utilizar por parte del usuario que genera la información.

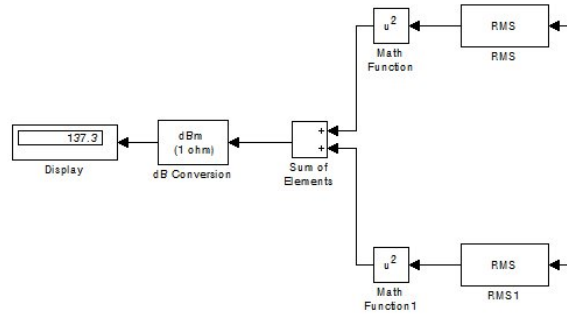


FIGURA 4.7: Primer bloque de medición de potencia.

Con ésto debería ser suficiente pero tras realizar diferentes pruebas se comprobó que el bloque RMS no se comportaba como una función RMS teórica y la documentación no indicaba nada al respecto. Por lo tanto, se decidió realizar el módulo medidor de potencia con bloques lógicos de más bajo nivel (Fig 4.8) implementando la siguiente función matemática:

$$\sum_{i=0}^N \frac{|x_i^2|}{N} \quad (4.4)$$

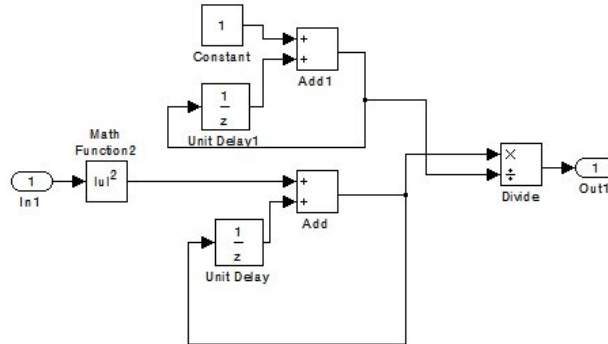


FIGURA 4.8: Segundo bloque de medición de potencia.

Se procede a calcular con Matlab el módulo del factor del array (Fig 4.9) y a medir la diferencia en dB del lóbulo principal (0 dB) respecto al secundario. Esta diferencia de potencia es la misma al medir en el esquema de Simulink la potencia de los 4 elementos sin retardos menos la potencia medida aplicando a los elementos los retardos propios para un θ con valor igual al ángulo donde se observó el máximo del lóbulo secundario en Matlab.

Se puede comprobar que se cumple con una diferencia de 11 dB para un ángulo de 22° respecto del origen. Para cerciorar que es correcto se realizan estas medidas para diferentes ángulos con

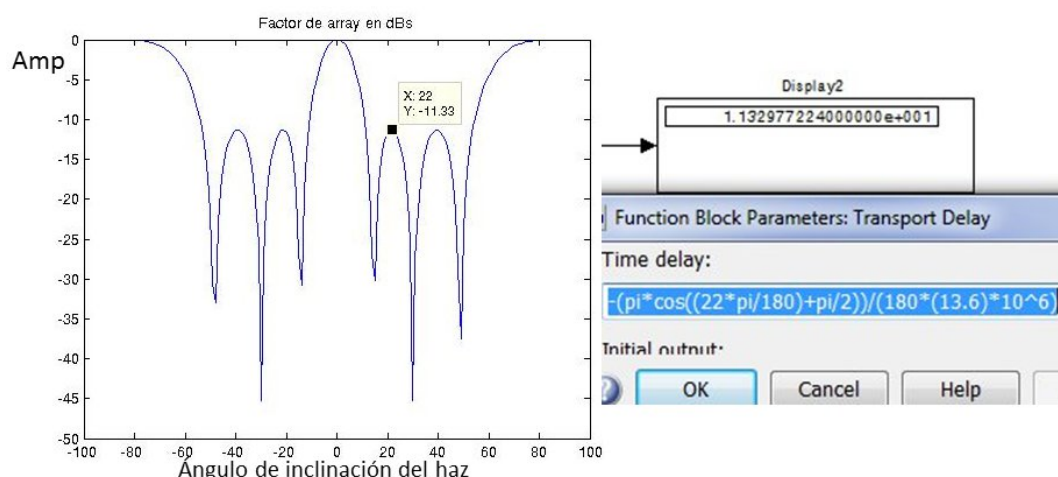


FIGURA 4.9: Módulo del factor de array normalizado calculado con Matlab y el valor de potencia hallado en la simulación.

el módulo del factor de array hallado en Matlab. El esquema completo del sistema compuesto por bloques bloques queda expuesto a continuación (Fig 4.10).

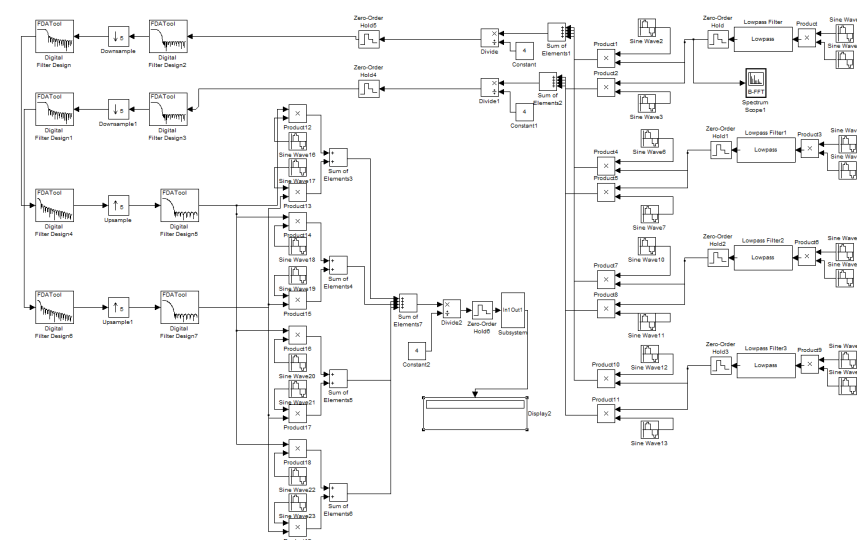


FIGURA 4.10: Sistema completo con bloques en Simulink.

También es posible hallar el módulo del factor de array mediante **Microwave Office** [31](Fig 4.11) para diferentes ángulos de inclinación de haz de un modo más rápido. Como se puede observar, la figura se asemeja con el módulo del factor de array hallado en Matlab en frecuencias pero no en los valores de amplitud de los lóbulos secundarios. Ésto se debe a que para la simulación con Microwave Office se ha utilizado un elemento radiante no isotrópico con su correspondiente diagrama de radiación, el cual influirá en el conformado de haz mientras que

en Matlab sólo se está tomando en cuenta el factor de grupo suponiendo que el campo eléctrico generado por cada elemento es el mismo en todos ángulos.

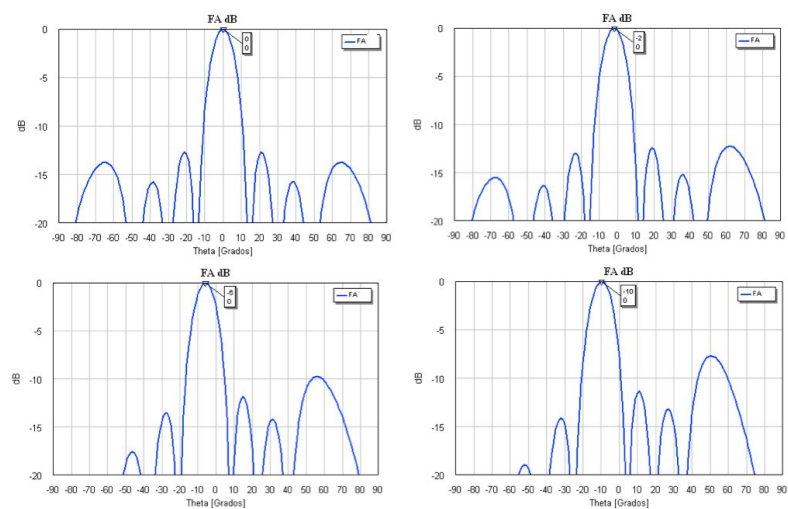


FIGURA 4.11: Diagrama de radiación normalizado para diferentes ángulos de inclinación en Microwave Office.

Capítulo 5

Implementación de la red de conformado de haz

Para la realización del prototipo se utiliza un desarrollo de menos a más, es decir, implementando primero las funcionalidades más simples para después poner en conjunto cada uno de los componentes del sistema completo. En primera instancia se desarrollará la implementación del ADC y del enlace de recepción sobre la placa de desarrollo Microhemir de TELNET Redes Inteligentes puesto que existe una extensa documentación y conocimiento de su uso dentro de la empresa (Fig 5.1).

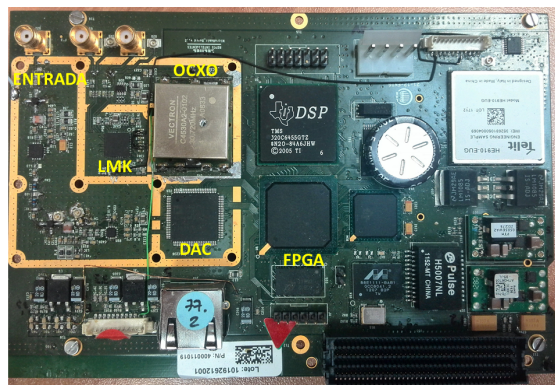


FIGURA 5.1: Placa de evaluación Microhemir [8].

Esta placa incorpora todos los elementos necesarios para desarrollar un enlace de recepción de señal analógica por radiofrecuencia: una **FPGA** SPARTAN-6 de Xilinx [10] y en el campo

que incumbe al proyecto, un **ADC** [32], un oscilador **OCXO** [33] y un acondicionador de reloj **LMK** [34].

5.1. Implementación de la conversión analógico-digital en el prototipo del enlace de recepción

El ADC presente en la placa de evaluación es un **AD9444** [10] de Analog Devices (Fig 5.2). Este ADC tiene una resolución de 14 bits y es capaz de muestrear a 80 Msps. Durante el proyecto se utiliza una frecuencia de muestreo de 76.8 MHz por lo que cumple con los requisitos impuestos. Dado que el ADC está incorporado dentro de la placa de evaluación no es necesario calcular los voltajes que han de llegar a los diferentes pines de conexión y aprovechando la documentación y trabajos anteriores se puede comprobar que éstos funcionan con voltajes LVCMOS de 3.3 v.

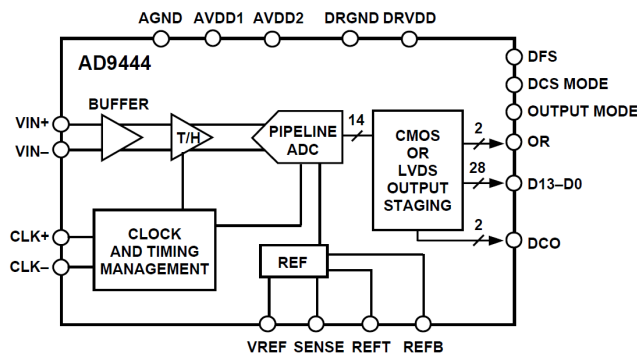


FIGURA 5.2: Esquema del ADC incorporado en la palca de desarrollo Microhemir [10].

De cara a conocer el nivel necesario en la entrada del conversor se debe prestar atención al pin **OR** (Out of Range) que indica si el valor máximo de voltaje que acepta la entrada del conversor ADC ha sido superado o no. Según la datasheet del conversor la amplitud de la entrada analógica debe estar comprendida dentro del rango de $(-1, 1)$ v. Tras varias pruebas se confirma que el rango óptimo está entre los $(-10, 0)$ dBm de potencia. De sobrepasar estos valores se corre el riesgo de sobrecalentar el integrado, con lo que éste dejaría de funcionar correctamente y la señal muestreada con el no podría ser tomada como válida.

Para el primer acercamiento de la conversión analógico-digital se alimentó el ADC directamente con un reloj generado por la FPGA a 76.8 MHz para ahorrar el paso intermedio de generar un microprocesador embebido y configurar el acondicionador de reloj, haciendo uso de los puertos GPIO de la placa y puenteándolos hasta la entrada del reloj del ADC. Los puertos

GPIO son puertos de entrada/salida destinados a la transmisión de señales originadas en la FPGA a disposición del usuario. Como resultado, la señal muestreada y representada en el dominio temporal no es correcta puesto que presenta picos indeseados periódicamente (Fig 5.3). En este caso la señal es un tono senoidal en la frecuencia de 1 MHz y para calcular su transformada de Fourier se realiza una función en Matlab que la calcule en base a las muestras recogidas.

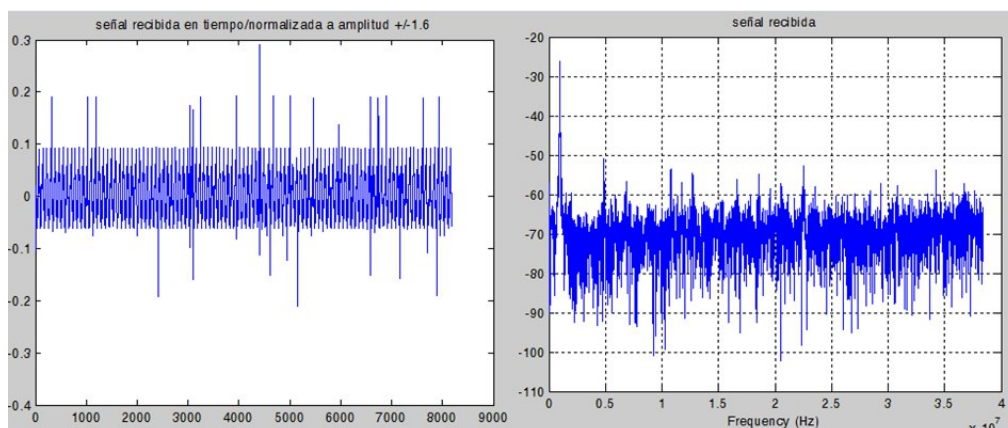


FIGURA 5.3: Muestra de un tono a 1 MHz no válida recogida por el ADC y su transformada de Fourier.

Este problema aparecerá en cualquier conversor que se utilice puesto que el problema radica en la señal de reloj con la que está siendo alimentado y no en el componente en sí. Al tener su origen en la FPGA, la señal posee una amplitud muy baja y poco definida para actuar como reloj externo. Este reloj cumple su función dentro de la FPGA pero una vez sale de ella se ve sometido a diferentes actuadores presentes en los circuitos que ensucian su señal y hacen que el **jitter** no sea despreciable. El jitter es la variabilidad que puede sufrir tanto el flanco de bajada como el de subida de un reloj. Este parámetro es crítico al ser el que dicta el instante de muestreo y dado que la aplicación para la que se utiliza es una conversión analógico-digital será decisivo para tomar una muestra válida.

El conversor requiere una señal de reloj estable y sin un jitter considerable por lo que se debe alimentar su entrada CLKin con un reloj externo a la FPGA. Para ello se utiliza la señal de reloj proveniente de un oscilador externo OCXO [32] a 30.72 MHz. Este ADC, según su datasheet no permite la función de apagado por lo que funcionará de modo permanente, es decir, estará convirtiendo la señal analógica a digital constantemente. El reloj con el que se saca la información del ADC viene de la FPGA y el que alimenta al ADC no, por lo que es

necesario crear una memoria **FIFO** de adaptación para no perder los datos entre ciclo y ciclo dado que, aunque las dos señales de reloj operan a la misma frecuencia, los flancos de subida no tienen por qué estar sincronizados.

La memoria guarda las muestras que va creando el ADC con el reloj de alimentación externo y son extraídas para su procesamiento con el reloj de la FPGA. Para realizar la memoria FIFO se utiliza un CORE IP de Xilinx [35] y se programa un adaptador que interprete sus estados generando una señal de reset si es necesario que la FPGA no extraiga muestras si la memoria se encuentra llena. En condiciones normales no debería darse el caso pero si sucediese, la señal de reset afectará a todo el sistema devolviéndolo al estado inicial y dando a conocer que se están perdiendo muestras de la señal recibida.

El oscilador del que dispone la placa Microhemir es un OCXO a 30.72 MHz alimentado a 3.3 V de tensión. Para alimentar el ADC y que muestree a 76.8 Msps se precisa que le llegue un reloj con una frecuencia de 76.8 MHz, por lo que es necesario un acondicionador de reloj que eleve hasta esta cifra su entrada de 30.72 MHz manteniendo los relojes generados sincronizados con el OCXO. El acondicionador de reloj presente en la placa, el **LMK03002** [33] de Texas Instruments se sincroniza con el reloj del OCXO y uno de la FPGA destinado a su programación y se controla desde la FPGA por medio de un puerto de comunicación SPI. Este acondicionador de reloj tiene un ruido de fase de tan solo -224 dBc/Hz, que a efectos prácticos es inapreciable y un jitter de 200 fs con lo que se cumplirán los requisitos necesarios para muestrear bien la señal analógica en el ADC. Mediante un detector de fase y un PLL que trabajan junto a un oscilador local de 1 MHz puede acondicionar el reloj de entrada e introducir diferentes retardos para cada una de las 4 salidas que ofrece. El LMK posee tres puertos de entrada específicos destinados a la conexión con un microprocesador; estos son un puerto de reloj **CLK**, uno de datos **DATA** y otro de habilitamiento **LE**. Un esquema de todos los componentes que actúan en la conversión analógico-digital queda representado a continuación (Fig 5.4).

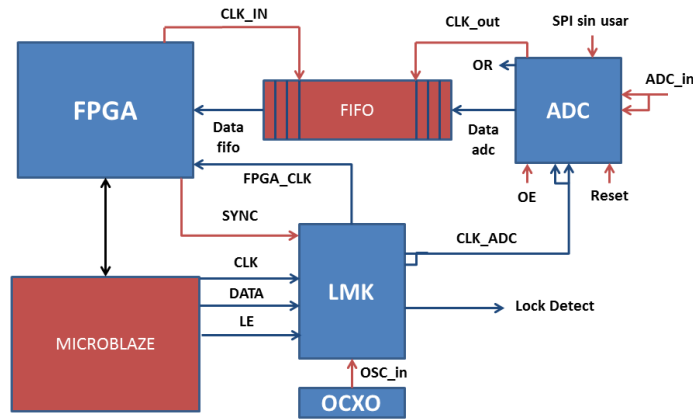


FIGURA 5.4: Esquema completo de todos los componentes actuadores en la etapa de conversión analógico-digital.

Para programar el LMK así como todos los periféricos externos es necesario diseñar y programar un microprocesador embebido con el que poder programar la configuración deseada a los componentes externos a la FPGA. El diseño e implementación del microprocesador son bastante complejos como para ser explicados en este apartado y se alejan del objetivo principal del proyecto por lo que se reservan para el anexo E [36]. Una vez se dispone del ADC operativo, se puede observar la señal capturada como muestra la siguiente figura (Fig 5.5):

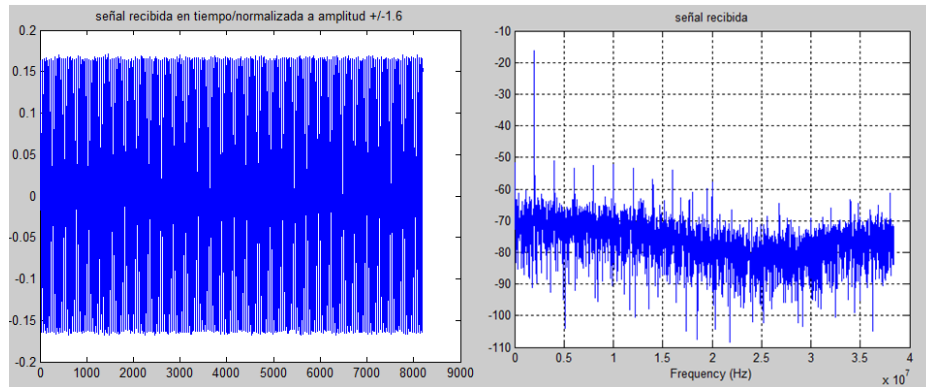


FIGURA 5.5: Muestra de un tono a 2 MHz válida recogida por el ADC alimentado con la señal de reloj proveniente del LMK y su transformada de Fourier.

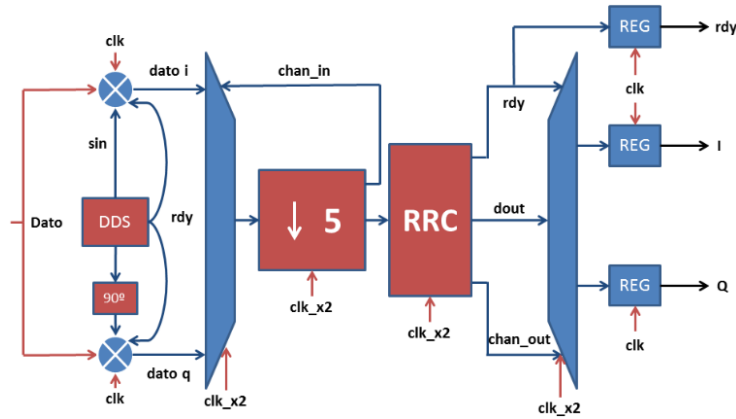


FIGURA 5.6: Esquema de los bloques que componen el enlace de recepción en el prototipo con una entrada analógica.

5.2. Implementación del enlace de recepción del conformador del haz de radiación para una entrada analógica

Con el ADC plenamente operativo muestreando la señal analógica de manera fiable se procede a desarrollar el resto de bloques que se encargarán de realizar todo el procesamiento digital de la señal en recepción. Para mantener un orden durante todo el diseño se plantea realizar la implementación mediante diferentes bloques. Tras el bloque de adaptación del conversor analógico digital a la FPGA se procede a crear un bloque destinado al enlace de recepción, el cual a su vez está dividido en otros sub-bloques.

En este enlace de recepción se establecen como entradas la señal de datos que saca la FPGA de la memoria FIFO, una señal de dato de entrada válido generada en cada ciclo cuando se extrae un dato nuevo de la memoria, un reset que inicialice el estado del módulo y la señal de reloj de la FPGA a 76.8 MHz y doblada en frecuencia (más tarde se muestra por qué). Como señales de salida son necesarias las señales de datos en fase y cuadratura y una señal que indique la disponibilidad de datos válidos a la salida.

Mediante un CORE IP *DDS Compiler* [37] de Xilinx se generan los senos y cosenos necesarios para llevar las tramas IQ a banda base. Para ello se debe saber la frecuencia a la que se encuentra la portadora de la señal recibida. En UMTS estaría en 2 GHz pero para realizar las pruebas de funcionamiento tomaremos una frecuencia de 13.6 MHz ya utilizada previamente en simulación por ser más simple de generar y analizar con un osciloscopio. El CORE se alimenta con el reloj de la FPGA y tiene opción de reset dependiendo del valor de la señal habilitada

para el caso. Es necesaria una señal de RDY para saber cuando la muestra es válida pero bajo condiciones normales esta señal siempre estará a nivel alto puesto que las señales senoidales se generan de forma constante. Son posibles diversas configuraciones de desfase entre las señales y desfase inicial. Estas opciones son necesarias para poder implementar el conformado de haz desfasando la señal recibida mediante la multiplicación con diferentes senoides modificando sus fases iniciales, pero para ilustrar el enlace de recepción con un solo elemento radiante no es necesario ahondar en su configuración.

Tras la generación de las senoides, éstas se multiplican con la señal procedente de la FIFO. Para ello se diseña un módulo de multiplicación con las posibilidades de realizar truncado o redondeo manual y automático. Estas opciones pueden ser útiles a la hora de testar si el resultado de la multiplicación es bueno aunque en el modo de operación final funcionará con redondeo automático para tener una señal procesada mas fiel a la original. El módulo sólo multiplicará mientras las dos señales de entrada sean válidas en el instante de la multiplicación utilizando las señales habilitadas a tal efecto. Cuando la multiplicación sea válida generará una señal **rdy**.

La multiplicación se realiza con los dos números de 16 bits cada uno del tipo *signed* indicando que de la salida de 32 bits se quede con los bits que van de la posición 30 a la 15 puesto que:

$$n^{\circ} \text{ de } 16 \text{ bits signed} \cdot n^{\circ} \text{ de } 16 \text{ bits signed} = n^{\circ} \text{ de } 32 \text{ bits signed} \quad (5.1)$$

Donde los 2 primeros bits corresponden a signo por lo que sólo interesa uno de ellos.

Para el paso del filtrado pre-diezmando y el diezmando por 5 Xilinx da la posibilidad de realizar ambas operaciones en un solo paso mediante el CORE IP *FIR Compiler* (Fig 5.7)[38].

Además, este CORE FIR Compiler permite filtrar varias señales diferentes por lo que se utiliza para filtrar las dos tramas IQ optimizando de este modo la memoria disponible en la FPGA. Para , el CORE realiza dos operaciones, una para la trama I y otra para la Q en el tiempo en el que se genera un dato de cada una de ellas. Aquí es donde se utiliza el reloj de doble frecuencia del bloque **clk_x2**. El nuevo reloj se crea a partir de un generador de reloj *DCM* [39] de la FPGA alimentado con el reloj del LMK a 76.8MHz habilitado para ser usado por la FPGA.

Para poder operar con las señales de reloj generadas por la propia FPGA son necesarios un tipo especial de registros llamados **BUFG**. Estos *buffers* distribuyen las señales de reloj por la

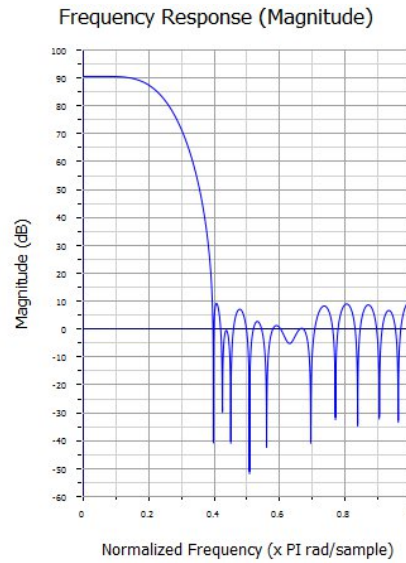


FIGURA 5.7: Filtro prediezado+diezmador con factor 5 implementado en el prototipo con el CORE de Xilinx [37].

FPGA introduciendo el menor **skew** posible entre los registros que están localizados en partes físicas de la FPGA alejadas. El *skew* es la diferencia de tiempo que hay entre la llegada de la señal de dos registros adyacentes, es decir la diferencia de tiempo entre la llegada del flanco de subida de un registro y la de otro. Los BUFG además se pueden usar para acceder a señales de control en aplicaciones de alta velocidad. En cada ciclo del reloj a 153.6 MHz se registra la señal generada con 76.8 MHz que será la entrada del filtro en el ciclo siguiente. Un ciclo será el dato I y otro el Q. El propio filtro es el que dicta en cada ciclo de reloj que señal es registrada con un multiplexor y su señal de salida **chan_in_dec1**. Se ha utilizado la herramienta de *Matlab Filter Design Tool* [6] para calcular los coeficientes del filtro prediezado diseñado anteriormente mediante la especificación de los parámetros del filtro (frecuencia de corte, rizado, n° de coeficientes etc...). El filtro realiza el diezmado de factor 5 para datos *signed* de 16 bits y la salida da un dato de 32 bits. Hay que tener en cuenta que a la salida del diezmador sólo una de cada 5 muestras es válida para el procesado posterior, por lo que es necesario habilitar una señal **ND** (new data) que indique cuando es así de modo que las demás muestras no se procesen. Además, a la hora de comprobar las señales mediante transformadas de Fourier en Matlab se debe tener en cuenta que se está usando el doble de frecuencia por lo que a la salida solo se dispondrán la mitad de muestras.

Tras esto queda pendiente programar el filtro raíz de coseno realizado mediante el mismo CORE configurado con los coeficientes del nuevo filtro. La salida del filtro diezmador ofrece 32 bits

de resolución. Se podría trabajar con ellos pero el número de bits se volvería a doblar y no es necesario un grado de precisión tan alto por lo que después del diezmado se procede a concatenar la señal de 32 bits, quedando a la entrada del filtro raíz de coseno realzado los 16 bits de mayor peso. Este filtro vuelve a procesar dos señales en cada ciclo de la FPGA pero en este caso, al funcionar a la misma velocidad que el diezmador, no es necesario crear un multiplexor para la elección de la entrada. De este modo el ciclo siguiente en el que se haya diezmado una trama I por ejemplo, esta misma trama será filtrada.

Una vez se dispone de las señales filtradas IQ, éstas deben de volverse a registrar a la frecuencia con la que opera la FPGA de 76.8 MHz para poder ser utilizadas en los demás bloques del sistema. Para ello, se registrarán las señales en un registro u otro por medio de un de multiplexor controlado por la señal de salida **chan_out** generada por el bloque de filtrado en raíz de coseno realzado, manteniendo sus valores durante dos ciclos de modo que el valor de la señal quede estable durante todo el ciclo del reloj de 76.8 MHz. Además se ha de generar una señal síncrona que indique que se dispone de una señal válida a la salida manteniendo la señal **rdy** generada en el filtro raíz de coseno realzado durante dos ciclos.

Un esquema de todos los bloques que participan en el enlace de recepción con sus entradas y salidas sería el de la figura 5.6.

5.3. Implementación del enlace de transmisión del conformador del haz de radiación para una salida analógica

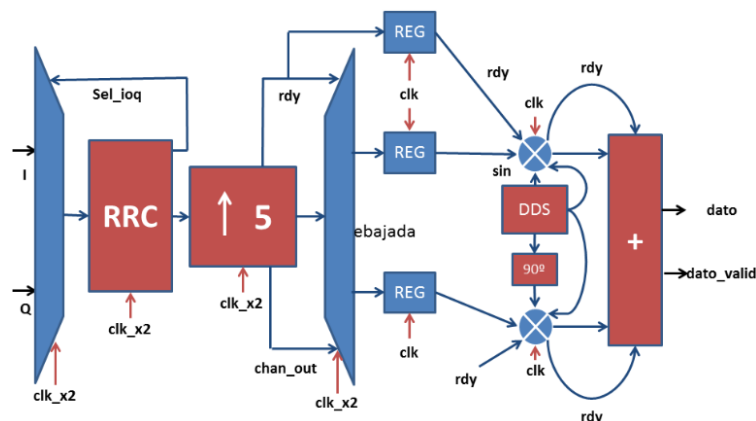


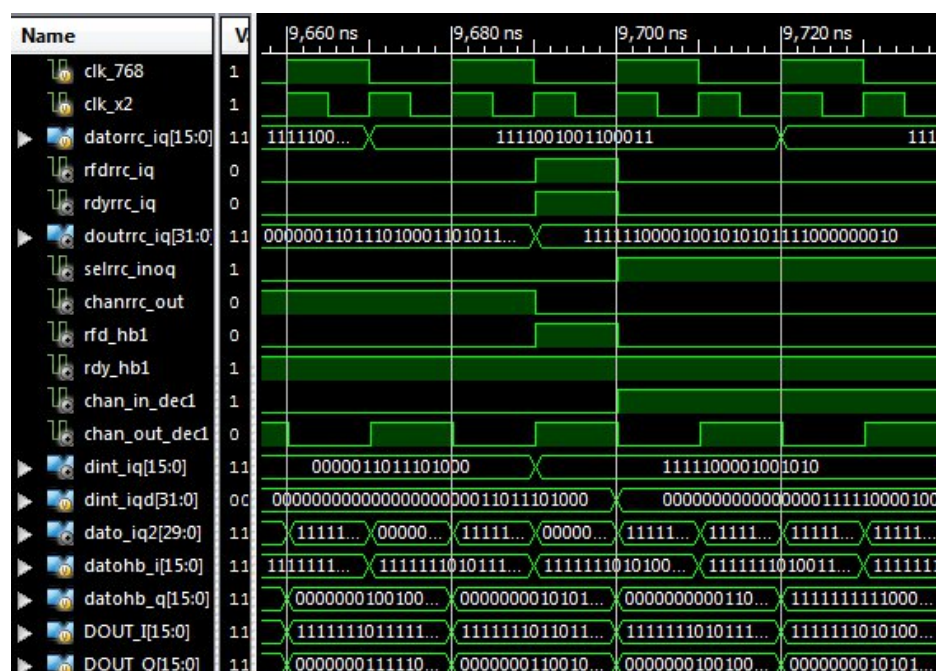
FIGURA 5.8: Esquema de los bloques que componen el enlace de recepción en el prototipo con una entrada analógica.

Para el enlace de transmisión se crea un módulo inverso al de recepción. Las dos señales en banda base filtradas de las tramas IQ se reciben al inicio del enlace y se procesan por un filtro raíz de coseno idéntico al del enlace de recepción creando un multiplexor que permita al CORE elegir la entrada a filtrar. El multiplexor es alimentado con un reloj de 153.6 MHz y la salida **sel_ioq** del CORE filtro es la que decide que entrada se filtra. La salida tras el filtrado es de 32 bits por lo que se concatenan a los 16 de mayor peso para el siguiente bloque, donde se programa un bloque simétrico al diezmador pero realizando la acción de interpolado. En este caso el filtro es posterior a la interpolación pero la configuración es la misma.

Es necesario crear otra señal de **ND** para poder registrar los datos de I y Q a partir de una misma fuente como es en este caso el filtro de raíz de coseno realizado o del interpolador debido a que si no se registran, la señal que alimenta a los filtros cambia tomando dos valores diferentes antes de que el filtro vuelva a cambiar la fuente a filtrar por lo que las muestras no serán válidas. En cambio, registrándolas, se guardará el valor correcto aunque la señal cambie y será ese valor registrado el que se transfiera al filtro.

En este caso el bloque sincronización se encuentra a la salida del interpolador, que es donde se finaliza el trabajo a frecuencia de 153.6 MHz. Por lo tanto aquí se registran las salidas del interpolador para que en cada flanco de subida del reloj a 76.8 MHz se disponga de una muestra I y una Q (Fig 5.9). Para ello se implementa un demultiplexor controlado por las salidas del interpolador **chan_out** y **rdy** y se almacenan en registros alimentados a 76.8 MHz las señales de datos I, Q y la de rdy.

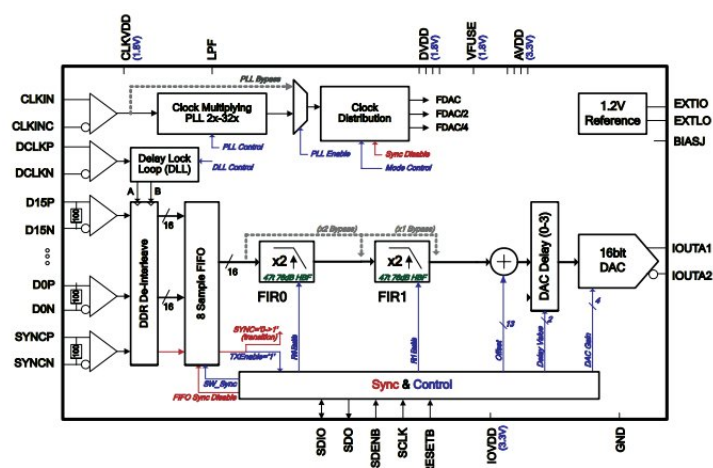
Tras esto, se realiza la multiplicación por las señales senoidales para subirlas a la frecuencia intermedia de 13.6 MHz y se suman para conformar la señal final. El bloque de suma está controlado por ambas salidas **rdy** de cada uno de los bloques multiplicadores de modo que sólo exista la suma cuando ambos datos están disponibles para ello. De el bloque sumador, así como de todo el enlace de transmisión salen las salidas de suma válida y la propia suma. Dado que son dos señales de 16 bits, si el bit de mayor peso de las dos señales es igual a 1 habrá *overflow*. Para evitar esto se realiza el correspondiente truncado guardando la suma en un dato de 17 bits y truncando la señal un bit en un dato de 16 que será la señal de salida que alimentará a la siguiente etapa. Un esquema de todo el enlace de transmisión con sus respectivos bloques sería el de la figura 5.8.



5.4. Implementación de la conversión digital-analógica en el prototipo del enlace de transmisión

El conversor digital-analógico elegido para llevar a cabo el proceso de construcción de la señal analógica en frecuencia intermedia es el **DAC5681Z** de Texas instruments (Fig 5.10)[40]. Este componente opera en bajo consumo (2,7 – 5,5)V permitiendo escalar la salida en corrientes desde los 2 hasta los 20 mA, lo cual será útil de cara a implementar un *tapper* de amplitud a la señal en el futuro. Posee una resolución de 16 bits al igual que la señal digital con la que se ha trabajado y ofrece una capacidad de muestreo de como máximo 1 Gbps en **DDR** (Dual Data Rate). El DDR es una técnica que permite transmitir información al doble de tasa del reloj con el que opera el componente, procesando un dato en el flanco de subida del reloj de input del conversor y otro en el flanco de bajada.

Además el conversor permite realizar interpolación de la señal digital pero dado que ya está implementada en la FPGA esta característica no se usa por el momento. Una memoria **FIFO** está implementada dentro del conversor por lo que no es necesario crearla en la FPGA e implementar un bloque de adaptación a ella. En su lugar la señal de salida del bloque del enlace de transmisión es directamente transmitida al conversor.



El reloj con el que el DAC toma muestras de su FIFO interna y las convierte a dominio analógico es aquel con origen en el LMK a 76.8 MHz de tipo diferencial. Para generar este reloj se debe de programar el LMK conectado al DAC como se realizó anteriormente con el ADC, dado que la frecuencia es la misma, el proceso de programación del LMK es similar salvo en el diseño del microprocesador donde ahora se utilizan dos controladores SPI en lugar de uno. Las entradas del conversor son del tipo diferencial para evitar el ruido presente en modo común en las líneas de datos y reloj. Ésto atañe a la entrada de datos, a la señal SYNC y al reloj de origen la FPGA con el que se introducen las muestras a la memoria interna. La señal SYNC actúa como *enable* por lo que se puede mantener a nivel alto durante todo el proceso de funcionamiento para que el DAC procese muestras en el momento en el que le lleguen.

Dado que tanto el reloj a 76.8MHz de la FPGA como la señal digital de dato_out procedente del bloque de enlace de transmisión son del tipo CMOS¹ (unipolar), es necesario adaptarlas a la entrada del DAC convirtiéndolas a LVDS. Para ello se precisan de unos registros especiales, los **IOBUFFER**, que implementan la función de conversión precisa a diferencial o unipolar. Para que el flanco de subida de la señal de datos y del reloj de entrada entren de modo que en el flanco de subida del reloj haya un dato válido a la entrada del conversor se puede activar el parámetro (*IOB = true*) de los registros donde se almacenan las señales. Con ésto se indica a la FPGA que almacene los registros cerca de la salida de la FPGA física de modo que el *delay* derivado de los caminos que atraviesa la señal queden minimizados.

¹Estas señales, al contrario que las LVDS, no eliminan el posible offset que pueda introducir la componente continua por lo que son menos precisas a costa de tener que disponer solamente de una línea de transmisión.

Como el DAC funciona mediante DDR y la frecuencia a la que se introducen los datos en el conversor es de 76.8 MHz, se debe de programar una señal auxiliar que actúe como reloj para que los datos que se pretenden introducir a tasa de 76.8 MHz lo hagan a la mitad de tasa con DDR. El DAC se puede programar mediante microblaze para configurar su funcionamiento pero dado que no se va a interpolar con el no es necesario para el uso que se le da en este proyecto.

5.5. Implementación del conformado de haz en transmisión y recepción del prototipo

Para realizar la implementación del conformado de haz se precisa de un hardware con las siguientes características:

- 4 conversores Analógico-Digitales.
- 4 conversores Digital-Analógicos
- Placa madre para conectar los conversores y realizar el procesamiento mediante FPGA.

Para ello se utilizan dos placas FMC diseñadas y fabricadas para este propósito por TELNET Redes Inteligentes, una con 4 conversores ADC (**ADC Eval Board**) y otra con 4 conversores DAC (**DAC Eval Board**). Ambas disponen de un acondicionador de reloj **LMK03001C** [41] y utilizan un puerto *FMC HPC* para su conexión con la FPGA. Poseen un zócalo para un OCXO a 30.72 MHz pero éste solo está implementado en la placa ADC. En su lugar, la señal de reloj es transportada hasta la placa DAC de modo que ambas placas utilicen la misma fuente de reloj. De este modo, las parejas de conversores ADC y DAC funcionan como si de un elemento radiante se tratase, alimentados con el mismo reloj. Mediante el microprocesador embebido se programan los LMK de ambas placas de idéntico modo para sacar por cada una de sus salidas 76.8 MHz.

La diferencia con el anterior acondicionador de reloj utilizado en la placa de desarrollo Microhemir es que éste permite la salida de hasta 7 relojes simultáneos mientras que el anterior sólo lo hacía con 4. Con estas 7 salidas se pueden implementar los 4 elementos radiantes además de salidas de sincronización al exterior y testeo. El conversor ADC utilizado en la FMC ADC es un **AD8352** de Analog Devices. La diferencia con el usado en la Microhemir es que opera

con una resolución de 16 bits y a una frecuencia de 2 GHz por lo que permite trabajar con frecuencias intermedias más altas que las de este último.

Para poder conectar las dos FMCs a una FPGA se precisa de una placa madre con dos conectores FMC HPC. Se escogió la placa de evaluación Virtex **VC707** de Xilinx [42] porque, además de cumplir los requisitos necesarios para realizar el proyecto, incorpora conexión SFP (Small Form-factor Pluggable transceptor) para poder implementar en ella el protocolo CPRI en un futuro. Para poder programar todo el trabajo realizado con la placa Microhemir en la nueva VC707 es necesario realizar el conexionado de nuevo teniendo en cuenta que ahora los pines de la placa van a ser los correspondientes a los conectores FMC.

El prototipo final, con la placa de evaluación y las dos FMC conectadas a ella se muestra a continuación (Fig 5.11):

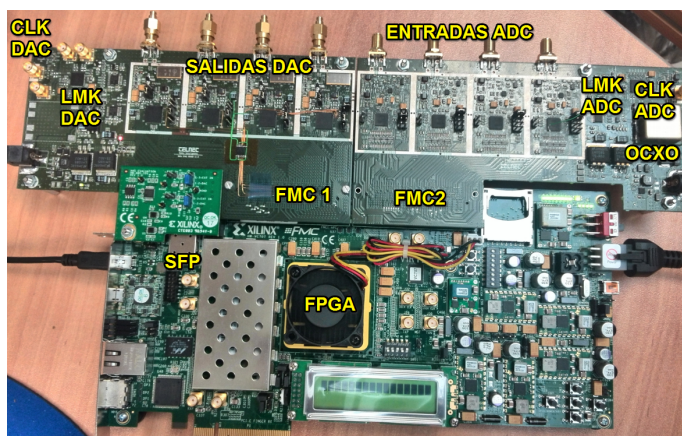


FIGURA 5.11: Hardware completo del prototipo final con la placa de evaluación VC707 [41].

Una vez se dispone del hardware necesario, se procede a implementar el diseño del conformador de haz. Conocido el tilt del haz de radiación se deben realizar los cálculos para conocer el desfase que hay que aplicar a cada elemento radiante. Los cálculos son realizados por el microprocesador embebido programando un algoritmo en lenguaje C que dado un valor que simbolice el *tilt*, calcule el desfase necesario a introducir en cada uno de los 4 elementos, acomodado al formato que utiliza el CORE DDS Compiler. Para transferir el dato del desfase al CORE, es necesario implementar la comunicación entre el microprocesador y la FPGA. Además, en un futuro, el dato del grado de inclinación vendrá dado por la línea SFP por lo que también será necesaria esta comunicación para transferirlo al microprocesador.

La comunicación entre el microprocesador y la FPGA se puede implementar de varias formas. Para este proyecto se ha optado por programar un periférico externo a los disponibles en el EDK de Xilinx que se adapte a las necesidades. Este periférico habilita una serie de registros en los que escribir los datos a transmitir a la FPGA o leer los datos de ésta por los puertos externos **data_out** y **data_in**. Mediante el puerto **addr** se indica el registro que leer/escribir. Los registros tienen una longitud de 32 bits por lo que se dividen en bytes de 8 bits. Para elegir el byte en el que escribir se hace uso de la señal **BE** (Byte Enable) pero en este caso no es necesario discernir entre bytes porque los datos a escribir/leer tienen una longitud mayor de 32 bits. Cuando se cambia el valor de alguno de los registros se debe activar la señal **WR** para habilitar la escritura en ellos. Con los desfases a implementar en los registros se debe usar la señal **CS** como enable en el CORE DDS Compiler. Esta señal es generada con el reloj del microprocesador y sólo dura un ciclo por lo que para evitar que la señal no sea captada por el DDS, que opera con otro reloj, se registra con el reloj de la FPGA y se mantiene un ciclo.

Cada registro está conectado a la entrada de los 8 CORES DDS Compiler que generan las señales senoidales y la señal CS a sus entradas para habilitar la escritura del desfase.

Así, un esquema del conformador de haz implementado en la FPGA puede ser (Fig 5.12):

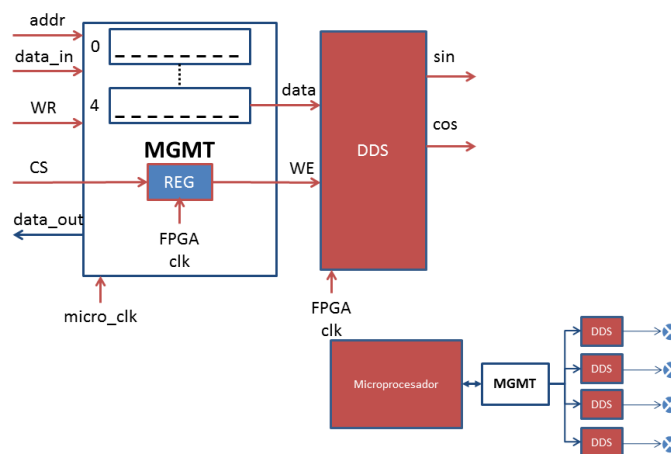


FIGURA 5.12: Esquema de los bloques del conformador de haz implementado.

Capítulo 6

Conclusiones y futuras mejoras del proyecto

6.1. Conclusiones

Varias conclusiones se pueden extraer tras la finalización del proyecto. El principal objetivo fue diseñar un prototipo de conformador del haz de radiación que operase en dominio digital a fin de poder simplificar la solución actual. El sistema debería poder realizar la recepción/emisión de señales analógicas procesandolas en dominio digital, tratando de introducir el menor número de pérdidas posible en la señal.

El proyecto se presentó como un trabajo de acercamiento a las antenas activas. Tras el estudio de la situación actual se pensó en desarrollar un prototipo que hiciese las funciones base sobre las que apoyarse para continuar su desarrollo en el futuro. Una vez quedó clara la idea de lo que se pretendía conseguir se diseñó el funcionamiento teórico que el prototipo debía seguir. Un primer acercamiento se basaba en el retardo temporal de cada una de las señales pero un error de cálculo, donde se pensaba que los retardos aplicables a frecuencia intermedia eran los mismos que a frecuencia de trabajo, obligó a cambiar el planteamiento, puesto que estos retardos a aplicar en la frecuencia de trabajo no eran implementables desde el punto de vista de hardware. El segundo planteamiento y final consiste en la aplicación de desfases controlados con el oscilador local de cada rama. Con este planteamiento los requisitos hardware mejoran considerablemente además de ser un método más sencillo de llevar a cabo.

Iniciar la investigación y desarrollo de las antenas activas ha supuesto un acercamiento real a la metodología de empresa en innovación y desarrollo, pudiendo diferenciar el proyecto en tres fases: diseño, simulación e implementación y llevando a la práctica el conocimiento adquirido académicamente. Mientras que un error en la fase de diseño puede suponer el fracaso de todo el proyecto y una pérdida de tiempo asociada, la simulación permite conocer parte de estos errores antes de iniciar la última fase de implementación, donde es necesario una gran cantidad de tiempo para verificar y corregir todos los problemas que van surgiendo. En este sentido, cobra fuerza la necesidad de mantener un alto grado de precisión y control sobre todos los componentes utilizados en el hardware. En aplicaciones reales, estos componentes, diseñados para operar a altas tasas de velocidad, precisan de un grado de sincronismo muy ajustado y cualquier error de desarrollo puede empeorar gravemente el resultado final.

Evaluando el trabajo realizado como proyecto fin de carrera las conclusiones son muy positivas. Para el desarrollo del prototipo ha sido necesario asentar y actualizar los estudios universitarios para ponerlos en práctica a posteriori. Concretamente se han utilizado en profundidad conceptos de procesamiento digital y analógico de la señal, antenas y propagación, programación de bajo nivel en microprocesador y FPGA y electrónica. Además, el hecho de que el trabajo realizado hasta la fecha se vaya a aprovechar y continuar supone una primera experiencia útil en proyectos de telecomunicaciones y útil de cara a la empresa.

Sobre los resultados que conciernen al prototipo de conformador del haz de radiación, después de comparar los resultados obtenidos tras el desarrollo teórico y la simulación, el prototipo se presenta como una opción de control para una antena con array de elementos radiantes versátil y útil. El hecho de realizar el procesamiento de la señal en el dominio digital permite un amplio grado de flexibilidad de cara a implementar nuevos desarrollos sobre el sistema que de otro modo requerirían una fabricación o modificación del hardware.

La transmisión/recepción de señales por cuatro ramas hace el proceso de comunicación más estable y la aplicación de un ángulo de inclinación configurable del haz de radiación permite su control de un modo simple y eficaz. El prototipo actúa como base para desarrollar múltiples futuras mejoras y su comportamiento estable hará la implementación de éstas una tarea más sencilla.

Las perspectivas de cara al futuro son prometedoras debido a la demanda cada vez más exigente de recursos. Se puede afirmar que las antenas activas son el futuro de las antenas de estación base y están llamadas a sustituir gradualmente al equipamiento actual por lo que el inicio de

su desarrollo se hace necesario para mantener la competitividad en el mercado de las antenas para estación base.

6.2. Futuras mejoras

De cara a desarrollos futuros del proyecto son varios los posibles campos de mejora:

- **Implementar y comparar distintos filtros.** Para el desarrollo de este PFC se ha utilizado un filtrado de raíz de coseno realzado en el bucle de recepción-transmisión. Una posible mejora en el bucle de transmisión/recepción puede ser el uso de otro tipo de filtrado. Para ello se debe comparar el rendimiento del sistema con un filtro paso bajo que sustituya al de raíz de coseno realzado o uno de raíz cuadrada en Nyqvist. En teoría el primero ofrecería una mayor atenuación en la banda de rechazo a costa de tener algo más de ISI y el segundo una menor atenuación en la banda de rechazo ofreciendo bastante menos ISI como se observa en la siguiente tabla (Cuadro 6.1):

	SRRC	LPF	SR Nyqvist
Orden	24	24	24
Freq corte Banda paso	0.205721	0.205721	0.194659
Freq corte 3dB	0.244345	0.244345	0.250001
Freq corte banda stop	0.316879	0.316862	0.304963
Rizado banda de paso	0.575772dB	0.575775dB	0.103369dB
Atenuación banda stop	25.300659dB	27.468750dB	18.59747dB
ISI	-17.9046	-17.1391	-34.8571

CUADRO 6.1: Comparativa de los posibles filtros a utilizar en el bucle de procesado digital.

- **Diseñar e implementar un sistema de predistorsión digital.** La predistorsión digital es uno de los bloques mas utilizados en los sistemas de comunicaciones que integran etapas amplificadoras de alta potencia en la actualidad [43]. Permite aumentar la eficiencia de los amplificadores de potencia en RF. Reduciendo la distorsión creada por éstos en las zonas no-lineales se puede pasar de tener un sistema WCDMA un 8-15 % eficiente a un 30-40 % con el consecuente ahorro en costes CapEx (Capital Expenditures) y OpEx (Operational Expenditures).

Xilinx provee de un CORE IP específico que permite reducir su implementación minimizando el espacio requerido en la FPGA.

- **Diseñar e implementar un algoritmo de reducción del factor de crestado.**

La reducción del factor de crestado se utiliza para reducir el rango dinámico de una señal transmitida de modo que los amplificadores utilizados puedan funcionar con menos retroceso [44]. Normalmente se usa en conjunto con bloques de *Digital Upconversion* y predistorsión digital y se puede implementar mediante diferentes algoritmos como enventanado de pico, conformado de ruido o cancelación de pico.

- **Diseñar e implementar un sistema de tapering de amplitudes.** Para tener mas posibilidades a la hora de conformar el haz de radiación se puede realizar un tapering de alimentación (Fig 6.1). Ésto se consigue reduciendo la amplitud de la señal que reciben los conversores DAC/ADC de cada elemento radiante, ya sea de un modo digital o analógico.

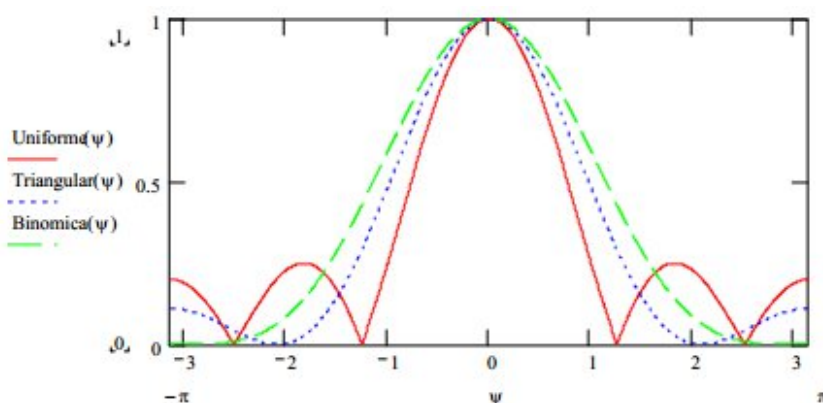


FIGURA 6.1: Comparación de alimentación de los elementos en una antena con 5 elementos.

- **Trabajar con una portadora en frecuencia intermedia real.** En el proyecto se ha utilizado una frecuencia intermedia de 140 MHz para recepción y de 13.6 MHz en transmisión. De cara al futuro se deben usar frecuencias intermedias estándar especificadas por las normas de cada tecnología de acceso al medio. Para ello, el hardware del prototipo es capaz de operar en dichas frecuencias, pero se deberá recalcular los parámetros del proyecto.

- **Transmisión y recepción con varias portadoras.** El proyecto se ha cernido al trabajo con una sola portadora WCDMA pero en un escenario real las antenas de estación base operan con varias de ellas aumentando así los requisitos respecto a anchos de banda dedicados al usuario. Se deberá evaluar, de igual modo, si sigue siendo posible utilizar

la técnica del muestreo por debajo de Nyquist o si por el contrario se debe buscar otro modo de realizar el muestreo debido al solapamiento de las imágenes de las portadoras.

- **Diseñar e implementar un sistema de autoreparación.** Mediante la monitorización de potencia a la salida los elementos radiantes se puede monitorizar si un elemento está dañado de modo que mediante un algoritmo, la FPGA sea capaz de variar el tapper de amplitud y recalcular los desfases necesarios prescindiendo del elemento dañado a fin de minimizar la pérdida de prestaciones.
- **Puesta en conjunto con la etapa RF posterior.** Conectar el bloque digital con la etapa de amplificación de la señal y desplazamiento de la señal a frecuencia de trabajo sobre la que opera la red móvil y calibrar la antena por completo, midiendo aislamiento, desfases etc. . .
- **Implementar el protocolo CPRI.** Desarrollar la capacidad del sistema de extraer y entramar la información bajo el protocolo CPRI con la fibra óptica como medio de transporte. Además, el sistema realizaría la sincronización con la BTS recuperando la señal de reloj a partir de las tramas CPRI y transmitiéndola tanto a la FPGA como a las dos placas de conversores FMC.
- **Implementar el sistema mediante filtrados espaciales y compararlo con el actual.** Realizar el sistema conformador de haz mediante la técnica de filtrado espacial no difiere mucho de la utilizada en este proyecto. Sin profundizar en su estudio, consiste en aplicar un peso y un desfase concreto a la señal de cada elemento radiante, dependiendo de la posición de cada uno. Sería interesante comparar el rendimiento y el grado de optimización de la FPGA que se puede conseguir.
- **Medir la viabilidad económica del proyecto como producto comercial.** Se debe de medir el grado de exigencia al que se somete la FPGA en términos de capacidad ocupada y estimar un ajuste en base a seleccionar un modelo u otro sin sobredimensionar su coste y el de los demás componentes.

Apéndice A

Antenas Activas

A.1. Contexto y situación de las antenas activas para estaciones base

La demanda de capacidad en las redes celulares se incrementa de manera exponencial con el tiempo, dando lugar a:

1. La aparición de tecnologías de radiofrecuencia nuevas como HSPA y LTE.
2. La implementación de nuevas bandas frecuenciales de trabajo destinadas a telefonía móvil.
3. El incremento del número de portadoras, aumentando el ancho de banda necesario.

El hecho de que las poblaciones no estén uniformemente distribuidas dificulta el desarrollo de la red de comunicaciones puesto que hace muy costoso dar cobertura a todo el público y a la vez ofrecer buena capacidad a cada usuario. Hay celdas dentro de la red que funcionan con más capacidad de la necesaria y por el contrario otras en núcleos de población que funcionan con menos de la que deberían. El objetivo es aumentar la capacidad de la red con su rediseño sin introducir con ello grandes costes (Fig [A.1](#)).

Además, mientras las nuevas tecnologías HSPA+ y LTE se establecen como nuevos standards, las viejas como GSM (Global System for Mobile communications) y CDMA (Code

Division Multiple Access) tienen que seguir prestando servicio por lo que es necesario combinar electrónica y hardware en la estación base para minimizar la huella y los costes asociados a ella.

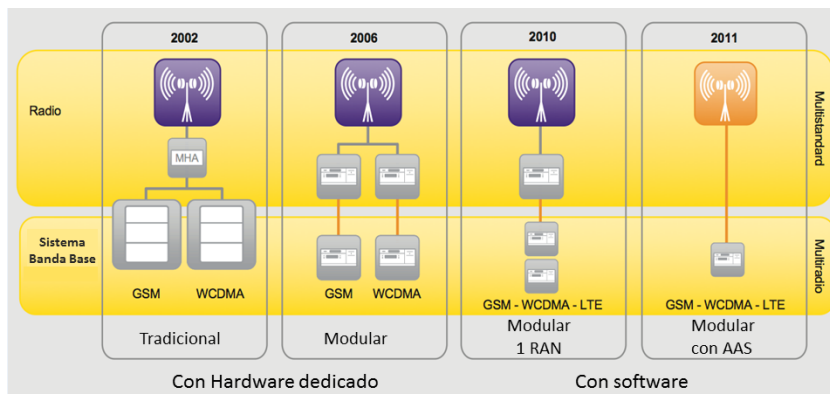


FIGURA A.1: Evolución de antenas de estación base [21].

En los últimos años se ha conseguido deslocalizar la RRU separándola de la BBU y consiguiendo un rendimiento más eficaz de la red al tener menos distancia conectada por cable coaxial. El objetivo es minimizar la separación entre la RRU y la antena y en este sentido el último paso consiste en integrar ambas en un único dispositivo realizando las funciones de los dos dispositivos en este último.

A.2. Estructura de las antenas activas

Las antenas activas presentan una nueva arquitectura respecto las actuales antenas pasivas para estación base donde el transmisor/receptor y la antena pasiva quedan integradas en un solo equipo (Fig A.2). Éste opera tanto a nivel analógico como digital, utilizando un receptor/transmisor por cada elemento radiante del array. Un acercamiento al objetivo de dotar de más capacidad a la red de comunicación puede consistir en reducir el tamaño de las celdas aumentando así su capacidad, pero, aunque ciertamente se aumenta la capacidad de estas celdas, se requieren más recursos destinados al *backhaul*¹ con un mayor número de pequeñas estaciones base [13].

¹El backhaul es la gestión de recursos en tareas de conexionamiento entre diferentes redes.

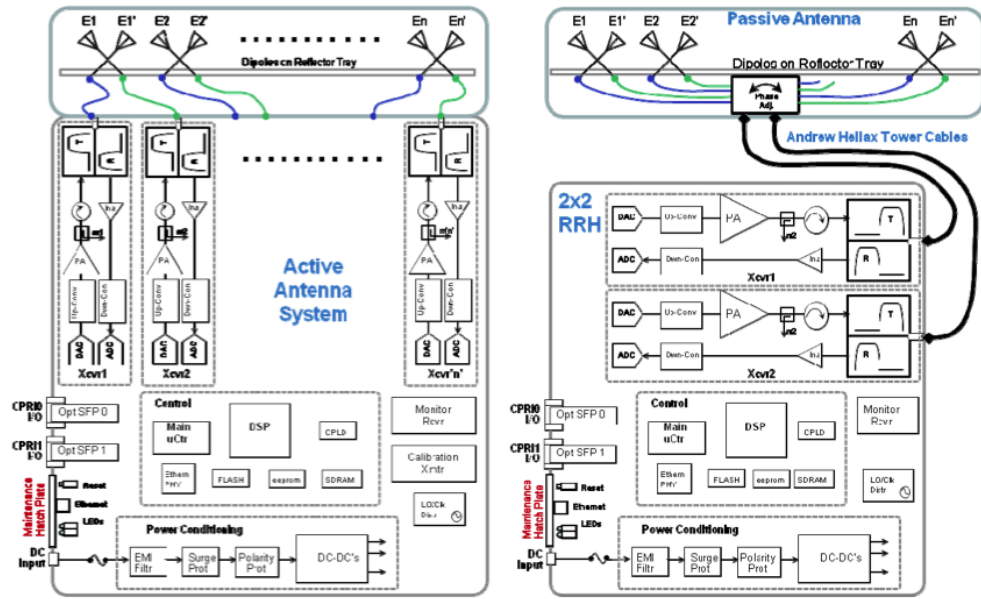


FIGURA A.2: Esquema interior de una antena activa de COMMSCOPE [19].

Otro acercamiento podría ser el uso de tecnologías **MIMO**, las cuales se ha demostrado que aprovechan de una manera eficaz el espectro en el dominio micro espacial². Varios desarrollos se están llevando a cabo en este campo haciendo uso de técnicas de procesado espacial:

- **Beamforming:** Crean un haz dedicado hacia el equipo UE (User Equipment)[13].
- **Diversidad:** Usan técnicas de diversidad para unir y optimizar tanto el dominio temporal como el frecuencial mediante códigos espaciados en frecuencia o entregas de transmisión con cambio de frecuencia (FSTD) (Frequency-Switched Transmit Diversity)[13].
- **Multiplexado espacial:** Transmiten múltiples ráfagas de señal a uno o más usuarios usando varias capas espaciadas creadas por las combinaciones de antenas [13].

Las antenas activas buscan aunar estos dos acercamientos, el de la reducción de celdas y uso de tecnologías MIMO, realizando de forma eficaz tareas de *backhaul* en dominio macro espacial³ por un lado y dotando de mayor capacidad el dominio micro espacial con sus características MIMO por otro. La red estaría basada en celdas grandes sustentadas con otras microceldas más pequeñas que proporcionasen a los usuarios más capacidad allá donde fuese necesario.

²El dominio microespacial comprende las comunicaciones entre dispositivos dentro de una misma celda.

³El dominio macro espacial abarca las comunicaciones entre dispositivos de diferentes celdas.

A.3. Ventajas de las antenas activas

La principal ventaja de las antenas activas respecto a las ya asentadas es su habilidad para crear y direccionar haces de radiación dentro de una celda. Para cambiar el haz de radiación se debe de modificar la fase de la señal que se transmite/recibe en cada elemento radiante y sus amplitudes. Se pueden usar interferencias constructivas para amplificar el haz en una dirección o destructivas para enfocarlo una determinada dirección de forma más precisa. Hasta ahora las técnicas de conformado de haz digital se habían usado principalmente para usos militares como radar porque dotan a las comunicaciones móviles de mayor flexibilidad (Fig A.3):

- Las antenas activas pueden conformar un haz de radiación diferente para cada una de las portadoras con las que emite la antenna, sintonizándolas de forma independiente [21].
- En este sentido se puede hacer lo mismo para diferentes tecnologías. Por ejemplo, se puede dotar de mayor área a GSM en detrimento de una menor capacidad y de menor área a HSDPA a costa de concentrar más su capacidad [21].
- Se posibilita compartir la antenna entre diferentes operadoras de modo que todas puedan enviar y recibir datos a la vez asignando diferentes capacidades para cada una. Por ejemplo, el operador propietario de la antenna puede tener el 80 % de la capacidad de la antenna y ceder el 20 % restante [13].
- Su rendimiento se puede aumentar gracias al uso de redes auto gestionadas SON (Self-Organized Network). Gracias a éstas se posibilita el uso de haces que se direccionen automáticamente según donde se encuentran los usuarios. Esta técnica posibilitará haces personalizados para cada usuario dando la mejor experiencia de uso para cada uno de ellos [21].
- Las pérdidas de retorno en cables son inferiores a las actuales BS (Cuadro A.1) en unos 1-3 dB puesto que se puede prescindir del cable coaxial y conectores que conectan la RRU con la Antena y de los cables para controlar el tilt por RET [45]. Ésto, además de ahorrar potencia conlleva una menor necesidad de disipamiento térmico en la etapa RF de la antenna al tener que amplificar 3 dB menos [21].
- Menos costes derivados del emplazamiento y menor impacto medioambiental al integrar antenna y radio en un solo aparato del mismo tamaño que la antigua antenna pasiva, consiguiendo reducir los costes de alquiler del emplazamiento y reducir el impacto que la

instalación causa. Muchas veces estos costes derivados son más altos que el de la antena en sí por lo que es un ahorro importante [21].

	RRU+Antena	Antena Activa
Cables RF	6 dB	-
Conectores	6 dB	3 dB
Controlador RET	3 dB	-

CUADRO A.1: Pérdidas de potencia en antenas activas vs antenas pasivas

- También se pueden habilitar cambios semi-estáticos en los ejes vertical y horizontal (en caso de array bidimensional) en una celda para adaptarse a la variaciones de la distribución de trafico, asegurando un alto grado de eficiencia por parte de la antena [13].
- Se pueden formar múltiples celdas en dominio vertical estableciendo varios vectores de radiación estáticos en el array vertical, optimizando así la capacidad del sistema [21].

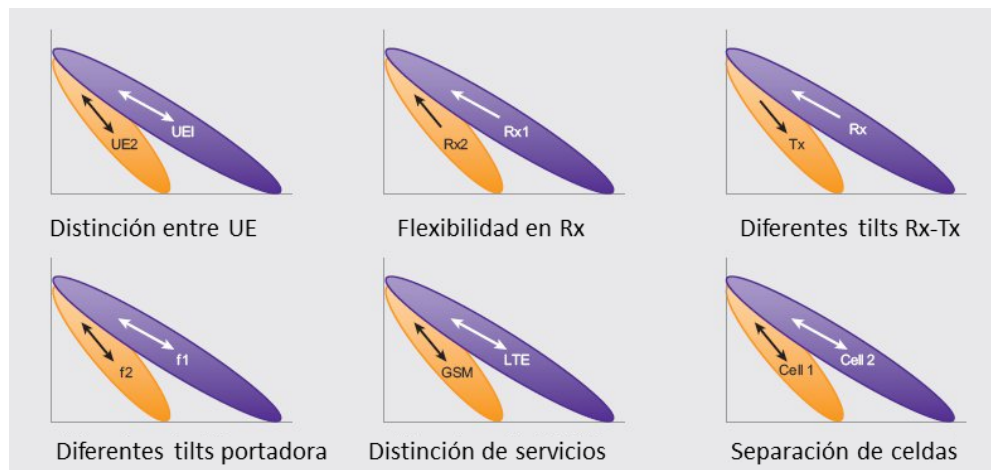


FIGURA A.3: Beneficios derivados del tilting en las antenas activas [21].

- Es posible monitorizar la señal de salida de cada elemento radiante. De este modo, si uno falla, el sistema varía la amplitud y fase de los restantes para compensar su pérdida creando un nuevo haz igual a efectos prácticos que el anterior con los elementos que quedan operativos (Fig A.4)[15].

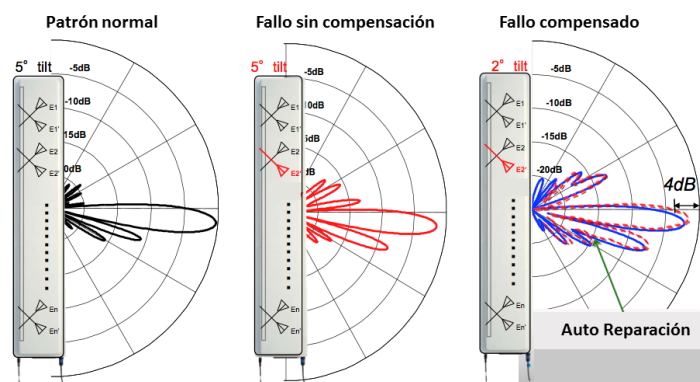


FIGURA A.4: Autoreparación en AAS [19].

Apéndice B

El standard WCDMA

B.1. Contexto sobre el que se sitúa el protocolo WCDMA

WCDMA es la tecnología de acceso móvil usada en el estándar de comunicaciones UMTS que actualmente se emplea en las redes móviles de tercera generación. Varios equipos de usuario UE se comunican con diferentes estaciones base llamadas nodos B. Estos nodos B se encargan de procesar la señal de datos en la capa física corrigiendo errores de codificación y realizando tareas de modulación, *spread* y conversión a banda base desde alta frecuencia.

Un controlador de red RNC (Radio Network Controller) controla múltiples nodos B realizando las tareas de lanzamiento de llamada, manejo de QoS (Quality of Service) y manejo de los recursos de las celdas mediante el protocolo ARQ (Automatic Repeat reQuest). En el otro extremo, las RNC están conectadas a la red global PSTN para lanzar las llamadas al exterior.

B.1.1. Características del protocolo WCDMA

- Ancho de banda de la portadora de 5 MHz.
- Soporta FDD (Frequency Division Duplexing) y TDD (Time Division Duplexing).
- Tiene una tasa de chip de 3.84 chips/seg y datos de 2 Mbps.
- Longitud de la trama 10 ms.
- Usa detección coherente tanto en recepción como transmisión de datos.

- Control de potencia adaptativo en el enlace de recepción.
- Handover entre GSM y WCDMA.

Siguiendo el protocolo OSI (Open System Interconnection), la interfaz de radio utilizada en UTRAN (UMTS Terrestrial Radio Access Network) puede describirse en sus tres primeros niveles (Fig B.1):

- La capa más baja en esta interfaz es la capa física.
- La capa 2 o capa de enlace de datos, conformada por las sub-capas MAC (Medium Access Control), RLC (Radio Link Control), BMC (Broadcast Multicast Control) y PDCP (Packet Data Convergence Protocol).
- La capa 3 o capa de red, incluye las siguientes sub-capas: RRC (Radio Resource Control), MM (Mobility Management), GMM (GPRS Mobility Management), CC (Call Control), SS (Supplementary Services), SMS (Short Messages Services), SM (Session Management) y GSMS (GPRS Short Message Service Support). La figura 6 muestra la arquitectura de WCDMA.

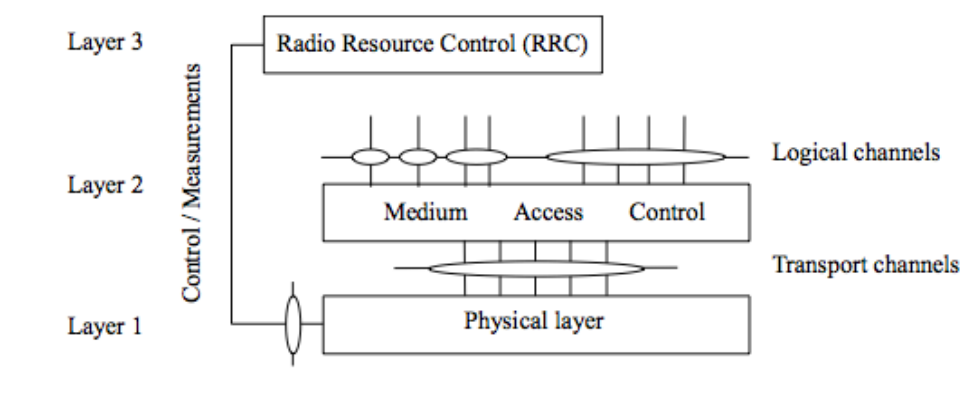


FIGURA B.1: Esquema de la estructura de WCDMA en sus tres niveles [45].

El sistema UTRAN puede operar en dos modos, FDD (Frequency división duplex) y TDD (Time-division duplex), estos modos establecen diferentes requerimientos para la funcionalidad de la capa 1. En el modo FDD los enlace de transmisión y de recepción utilizan diferentes bandas de frecuencia mientras que en el modo TDD dichos enlaces están en la misma banda de frecuencias pero en diferentes ranuras de tiempo por lo que CDMA-TDD pasa a ser el

sistema híbrido de CDMA/TDMA por las componentes en ranuras de tiempo. Un canal físico en el modo FDD está definido como una frecuencia o portadora y un código, y en el modo TDD se debe añadir una secuencia de ranuras de tiempo.

B.1.2. La capa física de WCDMA

El propósito de la capa física es transmitir los datos a una tasa de 3.84 Mchips/s. Esta capa añadirá un código mediante CRC (Cyclic Redundancy Check) a cada bloque de transporte para detectar posibles errores y usará un código de convolución para codificar los datos. Para el enlace de recepción se usa una modulación QPSK (Quadrature Phase-Shift Keying) mientras que en transmisión se usa BPSK (Binary Phase-Shift Keying). Los símbolos modulados son procesados en la capa física con un código de extensión único que separa los datos de unos usuarios de otros.

Esta operación de extensión consiste en 2 pasos:

1. Aplicar el uso de canalización ortogonal para extender la tasa de chip.
2. Discernir entre las diferentes celdas usando secuencias de *scrambling* no ortogonales de la longitud de la trama 10 ms.

Funciones de la capa física:

- La capa física codifica y decodifica la señal para la corrección de errores de los canales de transporte.
- Realiza medidas e indicaciones de radio a capas superiores
- Ejecuta y distribuye el handover.
- Realiza la modulación y demodulación de los canales físicos mediante (*spreading*).
- Sincroniza en frecuencia/tiempo.
- Control de potencia de lazo cerrado.
- Combinación de canales físicos.
- Procesamiento en RF.

- Sincronización para el enlace de transmisión.

La codificación/decodificación de corrección de error usa un esquema FEC (Forward Error Correction) añadiendo redundancia a los bits transmitidos de tal forma que bits equivocados puedan ser corregidos por el receptor. En el standard UTRAN se usan los esquemas combinatoriales, turbo códigos y los códigos no correctores del todo. Sin entrar a estudiarlos a fondo cabe destacar que el esquema turbo código es el mas eficiente con altas tasas de transferencia.

El *soft-handover* también llamado macrodiversidad es la situación en la que el UE recibe la misma señal de diferentes fuentes, es decir de varias estaciones base. También puede darse el caso de que la RNC reciba la misma señal de un único UE en diferentes estaciones base. Este fenómeno es esencial en WCDMA puesto que todas las BTS utilizan la misma frecuencia y el control de potencia rápido. Sin esta macrodiversidad los niveles de interferencia serían muy altos con lo cual la capacidad disminuiría. La macrodiversidad disminuye además los requerimientos de potencia por parte del equipo UE.

La detección de errores en los canales de transporte se realiza mediante el método de redundancia cíclica CRC. El transmisor calcula la suma de CRC sobre todo el mensaje y lo añade al final del mismo, así el receptor puede ver si el CRC del mensaje enviado coincide con el del recibido.

En UTRAN la detección de error es combinada con un esquema de codificación de canal para formar un esquema híbrido ARQ. La codificación de canal corrige la mayor cantidad de errores posibles y la función de detección de error lo comprueba, los paquetes erróneos son detectados y se pide a capas superiores que los retransmitan.

El control de potencia se realiza en lazo abierto y lazo cerrado. La diferencia entre los dos métodos es que en lazo cerrado el control se da recibiendo comandos de control de potencia de la estación base, mientras que en el de lazo abierto el transmisor es el que estima la potencia con la que transmitir en base a la señal recibida.

Apéndice C

El protocolo CPRI

Desde el año 2002 los principales fabricantes en el mercado de telecomunicaciones empezaron a trabajar en standards de comunicación entre las BBU y las RRU, principalmente:

- **OBSAI [46]:** Provee modularidad e interoperabilidad especificando módulos internos propios de estación base e interfaces necesarias para la comunicación entre estos. Tiene 4 capas de protocolo, física, enlace de datos, transporte y aplicación.

Los fabricantes que encabezan este standard son: **Nokia-Siemens, NEC, Radio-Comp, ZTE, Texas Instruments y Alcatel Lucent.**

- **CPRI [47]:** Especifica la comunicación entre los entes REC (Radio Equipment Control), de la BBU y el RE (Radio Equipment), de la RRU usando para ello dos capas.

Los fabricantes que lo desarrollan e implementan son: **Ericsson, Huawei, NEC, Nortel, Siemens y Alcatel Lucent.**

- **ORI (Open Radio Interface):** Evolución de CPRI que completa sus capas añadiendo una tercera de control y gestión en los mensajes entre BBU y RRU.

C.1. Comparando los protocolos CPRI y OBSAI

El objetivo de estandarización que presenta OBSAI es el de proveer una arquitectura completa de comunicación entre módulos de diferentes fabricantes y su escalabilidad mientras que CPRI se centra en la comunicación del RE con el REC, fomentando una introducción más rápida,

siendo menos complejo y permitiendo mayor flexibilidad. En la actualidad OBSAI aún no ha conseguido poder interconectar equipos de diferentes fabricantes mediante su protocolo de estandarización, mientras que en el caso de CPRI éste no es su objetivo.

OBSAI busca una estandarización de comunicación total mientras que CPRI solo la busca a bajo nivel, por lo que si se quisiesen interconectar equipos de diferentes fabricantes usando CPRI, se precisaría de documentación interna por parte de ambos fabricantes, es decir, el problema de la interconexión entre equipos no quedaría completamente resuelto.

Respecto a su implementación, ambos protocolos son bastante flexibles. Por un , OBSAI permite una configuración de la BTS mediante cabeceras fijas que permiten establecer la red de forma sencilla. Por otro, una cabecera fija y variable en CPRI para los paquetes IQ en el plano de usuario dota al protocolo de un mayor aprovechamiento del ancho de banda disponiendo de más capacidad en la portadora. Estas cabeceras en CPRI son más pequeñas que en OBSAI lo cual favorece su implementación. Otros factores como el BER también son más flexibles en CPRI. En la capa física ambos están basados en ethernet 10 gigabit y gigabit ethernet, pero OBSAI soporta como interfaces aéreas GSM/EDGE, WCDMA/LTE, 802.16 y CDMA2000 mientras que CPRI en un principio hace lo propio con WIMAX y 3GPP LTE. Ambos soportan capacidades MIMO, requisito indispensable para LTE según su especificación.

En definitiva, OBSAI es más restrictivo en todos ámbitos debido a que pretende ser un standard a todos niveles entre la comunicación de BTS y RRU. Por ésto mismo, su introducción en el mercado se ha visto ampliamente superada por CPRI, el cual no tiene unos objetivos tan ambiciosos. Evaluando que protocolo se podía aplicar al PFC se llegó a la conclusión que si se quería poder testar el uso de algún protocolo, éste iba a tener que ser CPRI puesto que su uso está bastante extendido en las BTS españolas mientras que el de OBSAI es prácticamente nulo.

Como más tarde se verá, en la práctica ninguno de los dos protocolos ha conseguido su objetivo, la interconectividad de equipos de diferentes fabricantes. En el caso de CPRI, es cierto que está bastante asentado, pero las comunicaciones siempre son entre equipos de los mismos fabricantes o con acuerdos comerciales confidenciales entre ellos.

C.2. Análisis del protocolo CPRI

Centrando el estudio en CPRI, se trata de una iniciativa para estandarizar la interfaz entre el REC y el RE en estaciones base. Esto permitiría interoperabilidad de equipamiento entre diferentes fabricantes mientras se mantiene la inversión de software realizada por los proveedores de servicio. El interfaz (Fig C.1):

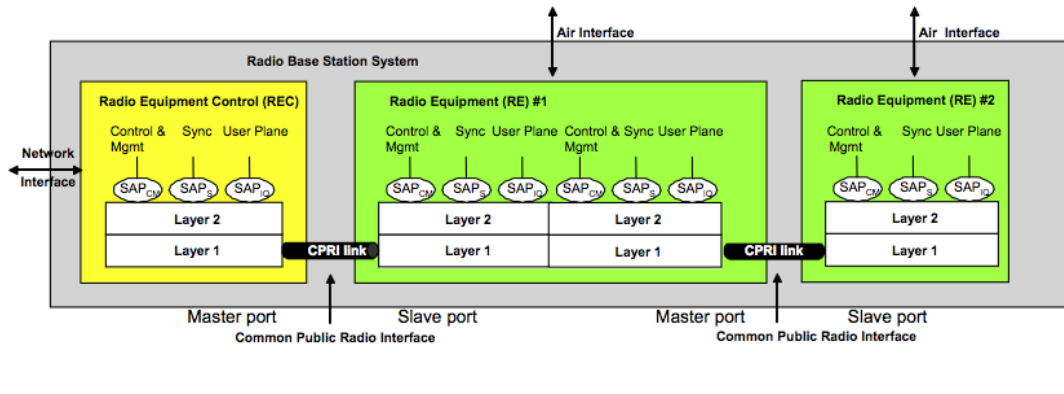


FIGURA C.1: Esquema de la estructura CPRI [47].

Al diseñar una RRU con enlace CPRI hay algunas decisiones a nivel de sistema que tomar debido a la actual implementación de CPRI:

- Determinar el standard wireless que se va a soportar y por lo tanto el mapeo que se va a usar en CPRI.
- Cuantas portadoras (antenas) se precisarán por enlace CPRI.
- Tasa de velocidad de la línea CPRI.
- Formato de salida de los datos.

C.2.1. Determinación del standard wireless a utilizar

CPRI está basado en UMTS, WiMAX y E-UTRA con la posibilidad de poder usar otros standards wireless en el futuro. Numerosos proveedores de CPRI dan flexibilidad en este apartado permitiendo módulos de otros standards definidos por el cliente.

donde el factor $\frac{15}{16}$ viene del número de palabras que son para datos y el factor $\frac{8}{10}$ de la codificación **8B10B** requerida en transmisión por la especificación CPRI, donde el **20 %** de datos transmitidos son de redundancia.

C.2.3. Formato de los datos de salida CPRI

Normalmente se precisa de un entramador y un reformato de los datos entre el módulo CPRI y el de DUC debido a la poca estandarización que existe entre fabricantes. Estos datos deben permitir transmitir los datos IQ a la FPGA en formato TDM (División por Tiempo). Este paso puede implementarse en la misma FPGA programando sus funciones de modo que no es necesario incorporar nuevos bloques al diseño.

C.3. Uso del protocolo CPRI con FPGAs

Tras el modulo del CPRI se debe realizar un camino de DUC como se ha visto en el capítulo Diseño del prototipo teórico 3. Para estas aplicaciones es recomendable que la FPGA funcione a una frecuencia múltiplo de la del canal de datos puesto que, de este modo, se pueden manejar los datos de manera más eficiente mediante TDM y los datos estarán alineados con los relojes por lo que la programación será más simple al no tener que registrar las señales para cada reloj.

De cara a implementar LTE en un futuro, conviene saber que este formato está basado en WCDMA, protocolo usado en este proyecto y como se ha visto, WCDMA utiliza una tasa de chip de 3.84 MHz mientras que LTE tiene una tasa variable que debe ser un múltiplo de esta tasa de chip. Para optimizar el uso de la FPGA e implementar LTE en la RRU se podría usar una frecuencia de FPGA de 245.76 MHz, ésta es múltiplo de la tasa de chip 64 veces, por lo tanto será posible no implementar las etapas de interpolación. El problema es que actualmente la FPGA es el componente más caro de todo el equipo.

Dado que LTE está basado en OFDM (Orthogonal Frequency Division Multiplexing), a su vez basado en WCDMA, no será muy difícil para las RRU configuradas para WCDMA adoptar LTE. La implementación del CPRI en el prototipo del conformador de haz consiste en implementar el entramador/desentramador de CPRI y el control del dispositivo SFP (Small Form-factor Pluggable transceptor) para la conexión mediante fibra óptica de éste con la BTS.

Era importante realizar un estudio previo de la especificación CPRI puesto que condicionaría el diseño de todo el sistema. Por un lado la frecuencia a la que funciona la FPGA debe ser múltiplo de 3.84 MHz (tasa de chip) como se había avanzado para poder tener todos datos sincronizados en la FPGA, en este caso $\frac{76,8}{3,84} = 20$.

Además, para el diseño de las placas conversoras ADC/DAC, el reloj que se usa es un OCXO sincronizado con el de la placa de evaluación pero en el futuro la sincronización deberá realizarse mediante el reloj del SERDES SFP de la fibra óptica para poder sincronizar con la BTS. Ésta sacará el reloj de las tramas CPRI. Por lo tanto, una vez la FPGA sincronizase con el SFP mandaría el reloj a las placas con los conversores.

Xilinx proporciona un CORE IP para sus FPGAs que realiza el entramado/desentramado de las tramas CPRI en el cual se opera en los dos niveles de CPRI dejando los paquetes *AxC* listos para que la FPGA opere con ellos. Aun así, el campo donde se supone que va la información de los datos a transmitir, inclinación de haz, información de portadoras etc... está dentro de un campo llamado *Vendor Specific* por lo que si no se sabe la estructura de este campo no se pueden realizar las operaciones pertinentes para el tratamiento digital de la señal.

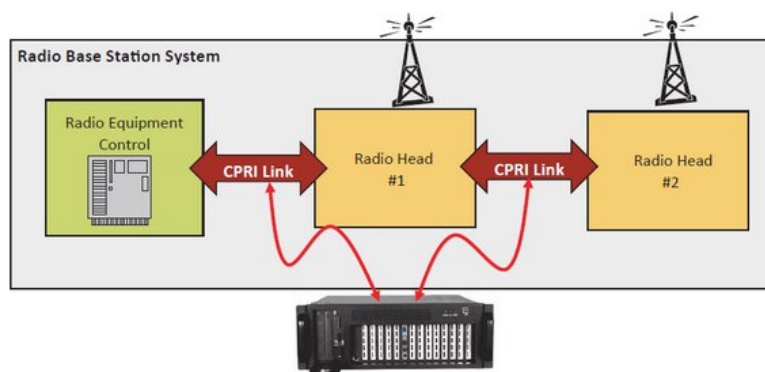


FIGURA C.3: Equipo Investigator de Absolute Analysis [5].

En el estudio y test del posible uso del CPRI en el prototipo se utilizó el equipo Investigator de Absolute Analysis (Fig C.3). Este equipo está basado en arquitectura de PC con diferentes ranuras PCI donde insertar tarjetas. Permite generar, capturar y analizar tramas de diferentes protocolos transportadas por fibra óptica o ethernet. Entre los protocolos con los que permite trabajar se encuentra en fase beta el CPRI por lo que se pensó que podría ser útil experimentar con él.

Para poder generar una trama válida se buscó capturar una de una BTS y trabajar sobre ella. El equipo dispone a tal fin de una herramienta llamada **Traffic Analyzer** (Fig C.4). Debido a que el protocolo es muy reciente y la especificación se sigue actualizando periódicamente, el analizador de tráfico presenta inestabilidad y fallos, no permitiendo capturar tramas reales en la práctica. Por ello se optó por generar la trama ya creada y capturarla para ver si se comportaba de manera correcta.

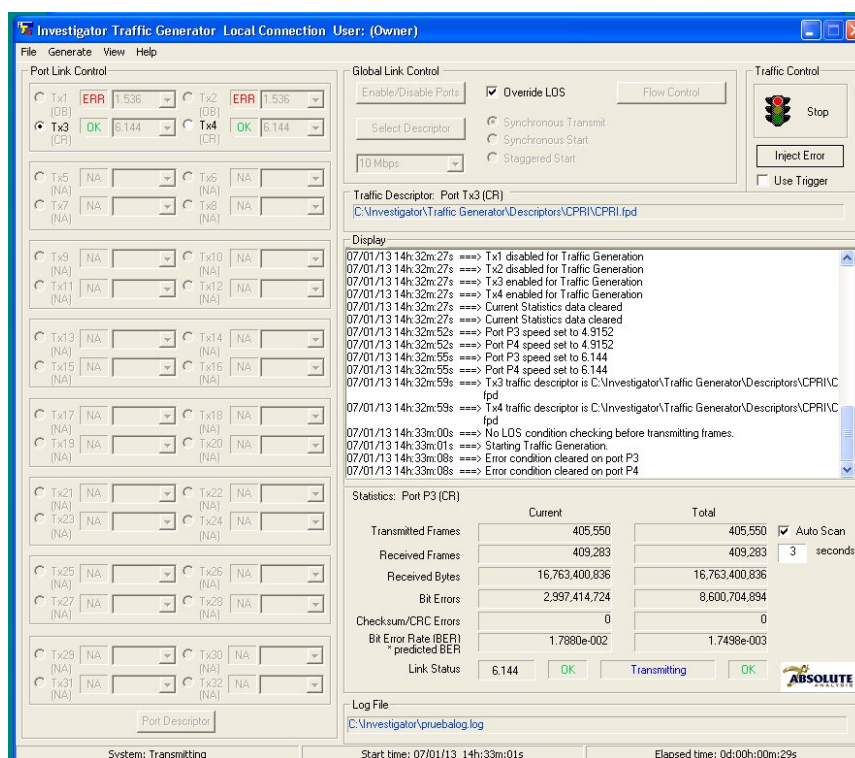


FIGURA C.4: Generador de tráfico del equipo Investigator.

Mediante la herramienta **Frame Builder** (Fig C.5) se pueden crear tramas CPRI programando sus diferentes bloques. Se utilizó una trama CPRI de ejemplo para no tener que escribir todos los bits desde cero donde el campo IQ era una consecución de caracteres *abcd*.

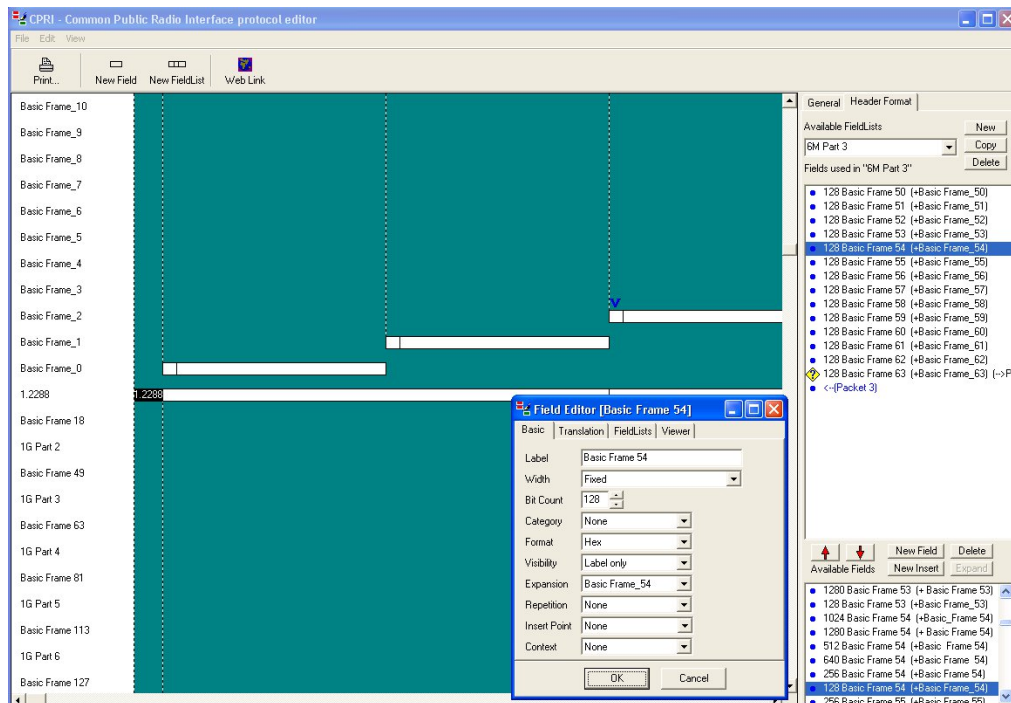


FIGURA C.5: Edición del protocolo CPRI.

Para analizar las tramas capturadas se utilizó un programa llamado **Trace Viewer**. La conclusión a la que se llegó es que sin el conocimiento de la estructura de las tramas *Vendor Specific* y de los *AxC* no es posible trabajar con CPRI al no poder desentramar los datos provenientes de la BTS, discerniendo entre información y otros como el tilt de la antena.

Para poder trabajar en un futuro con este protocolo se debe llegar a algún tipo de acuerdo con los fabricantes de BTS para que compartan la estructura que utilizan u obtenerla de algún otro modo y poder interconectar el conformador con sus estaciones base.

Apéndice D

Muestreo en banda de paso

La técnica del *undersampling* es un método de muestreo muy útil para realizar el DDC que permite muestrear señales analógicas sin tener por ello que cumplir con el criterio de Nyquist. Este caso puede darse cuando la señal analógica está en una frecuencia demasiado alta y el conversor analógico-digital no cumple con los requisitos de poder muestrear al doble de dicha frecuencia o si se pretende tomar más de una muestra en un instante dado. Con esta técnica es posible relajar en gran medida las especificaciones que el conversor debe cumplir.

Uno de los objetivos del diseño de radio frecuencia es realizar el proceso de conversión de la señal a digital lo más cerca posible a la antena. Tras esto, las siguientes operaciones son realizadas por procesadores en tiempo real en el dominio digital [48]. En la práctica, no es posible debido a que el muestreo en frecuencia de Nyquist no es realizable, las frecuencias de las portadoras ya son muy altas por sí solas y Nyquist obliga a muestrear al doble de dicha frecuencia. Teniendo como ejemplo la señal WCDMA en UMTS, su frecuencia de portadora se sitúa en los 2.1 GHz por lo que se debería muestrear a una frecuencia de 4.2 GHz, algo imposible de encontrar en el mercado. Además, teniendo en cuenta que esta señal tiene un ancho de banda de solo 5 MHz sería un gran desperdicio de recursos.

El muestreo en banda de paso ofrece una solución a este problema. Se trata de una forma de muestreo por debajo de la frecuencia de portadora que traslada una señal de alta frecuencia a otra cercana a la banda de paso. El requisito de la frecuencia de muestreo depende más del ancho de banda de la señal que de la frecuencia a la que se encuentra su portadora [49][50]. La principal ventaja que presenta, por lo tanto, es poder reducir los requisitos de la frecuencia de muestreo a la que tienen que operar los dispositivos que convierten la señal a digital. Esto,

por otro lado, se traduce en menos consumo de energía al requerir una menor frecuencia de muestreo y al eliminar los mezcladores analógicos se eliminan no-linealidades como puede ser el offset provocado por la corriente continua DC o las desigualdades de fase.

Como requisitos es necesario que el ADC pueda ver las imágenes a las frecuencias donde aparezca la imagen de la señal y disponer de filtros con un alto factor de calidad Q que permita filtrar bien todo el ruido que esté fuera de la banda de paso debido a que el ruido de la señal analógica estará distribuido en todo el espectro, incluyendo las frecuencias donde aparece la imagen de la señal que se va a muestrear. Para un muestreo uniforme de una señal paso banda en el intervalo abierto (f_L, f_U) con ancho de banda $B = f_U - f_L$, las condiciones de frecuencia de muestreo son:

$$\frac{2f_U}{n} \leq f_s \leq \frac{2f_L}{n-1} \quad (D.1)$$

donde n es un entero dado por

$$1 \leq n \leq \left\lceil \frac{f_U}{B} \right\rceil \quad (D.2)$$

Esta ecuación queda representada en la siguiente figura donde las zonas sombreadas son las regiones donde encontraríamos aliasing (Fig D.1).

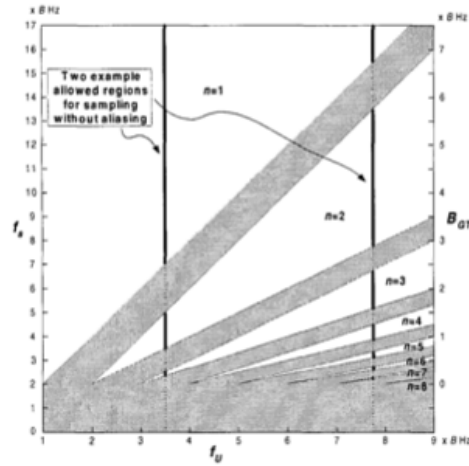


FIGURA D.1: Regiones de frecuencia válidas para el muestreo en paso banda [48].

La banda de guarda queda definida como

$$B_{GT} = \frac{f_s}{2} - B \quad (D.3)$$

Este ancho de banda representa la tolerancia en los bordes del ancho de banda muestreado $[0, \frac{f_s}{2}]$. El rango de frecuencias de muestreo $\Delta f_s = (\Delta f_{SU} + \Delta f_{SL})$ es:

$$\Delta f_S = \frac{2(f_U - nB)}{n(n-1)} \quad (D.4)$$

El cual decrece cuando n se incrementa. Si se toma $B_{GT} = B_{GU} + B_{GL}$ se puede verificar que para un n par:

$$B_{GU} = \frac{n}{2} \Delta f_{SL} \quad (D.5)$$

mientras que para un n impar:

$$B_{GU} = \frac{f_U - nB}{n} - \frac{n-1}{2} \Delta f_{SL} \quad (D.6)$$

Es decir, dado un orden par, si se incrementa la frecuencia la banda de señal resultante en el ancho de banda muestreado se moverá por el límite superior de $\frac{f_s}{2}$ hasta llegar al origen, mientras que lo opuesto sucederá para un n impar.

Mediante este tipo de filtrado es posible muestrear mas de una señal con diferentes portadoras tomando las precauciones necesarias pero dado que el proyecto está desarrollado con una señal en una sola portadora ésto queda para aplicaciones futuras.

Apéndice E

Diseño y programación del microprocesador embebido

El uso de un microprocesador permitirá configurar e interactuar con periféricos y componentes externos a la FPGA. Xilinx ofrece una herramienta XPS mediante la cual se puede diseñar e implementar un microprocesador embebido dentro de la propia FPGA para obtener los beneficios de ambas arquitecturas. Posteriormente toda la programación del microprocesador y su compilación se ejecuta con el SDK de Xilinx en el lenguaje de programación **C**. Como parámetros de diseño se ha escogido una frecuencia de funcionamiento para el microprocesador de 100 MHz. Este parámetro puede variar en función de la FPGA sobre la que se implementa el microprocesador, es decir, los 100 MHz corren sobre la Virtex-7 mientras que con la Spartan-6 serían 50 MHz. Las funciones que se realizan con el microprocesador no requieren de grandes procesos de cálculo así que se ha elegido un valor que no fuerce la FPGA.

El reloj que se utiliza para la comunicación entre los dispositivos con el microprocesador es también de 100 MHz y está conectado de manera directa con la FPGA. Al venir de la FPGA se configura en modo CMOS, puesto que los relojes de la FPGA no pueden ser diferenciales. En el caso de la placa Microhemir se habilitará una memoria ROM de 64 Kb para alojar los programas del microprocesador. Al ser programas de configuración y test no requerirán mucho espacio mientras que para la placa VC707 los programas se almacenan en memoria RAM, menos restrictiva al tener 1 Gb de espacio.

Como periféricos del microprocesador se utilizan, además de la memoria RAM para guardar el programa y datos, un controlador de interrupciones, un puerto RS232, dos puertos SPI y

diferentes GPIOs. Sin entrar en detalle sobre el conexionado de cada periférico, el controlador de interrupciones gestiona los eventos de los dos módulos SPI. Cuando éstos interrumpen se habilita su escritura. El puerto RS232 es configurado a 115200 baudios/seg y una anchura de datos de 8 bits. Mediante este módulo se gestiona la comunicación con el puerto serie y se pueden ver y escribir en pantalla los comandos programados en el microprocesador para interactuar con el, aplicar diversas configuraciones etc. . . El protocolo SPI se utiliza para la configuración de los periféricos externos y normalmente se compone de un puerto de **enable** para habilitar la escritura de los registros, **sck** para que la escritura sea síncrona e **input/output** por el que se introducen los datos a escribir en los registros. Los puertos están conectados a los acondicionadores de reloj LMK de cada placa FMC y los conversores DAC. Los conversores ADC pueden funcionar en un modo por defecto sin tener que configurarlos con SPI por lo que por el momento no se conectan al microprocesador. Ambos LMK están conectados al mismo módulo SPI puesto que su configuración es la misma y tan sólo se debe elegir sobre que dispositivo escribir mediante la señal **CS** de dos bits que está concatenada con los dos puertos de enable de los LMK. Un proceso similar se lleva a cabo con los DAC solo que en este caso la concatenación se produce con los cuatro enables de los conversores.

El objetivo principal de todo este proceso es programar el acondicionador de reloj para que saque por una de sus salidas un reloj a 76.8 MHz con el que poder alimentar el ADC y DAC por un lado e inicializar y configurar el modo de operación de los DAC por el otro. Aquí el diseño final del microprocesador (Fig E.1)

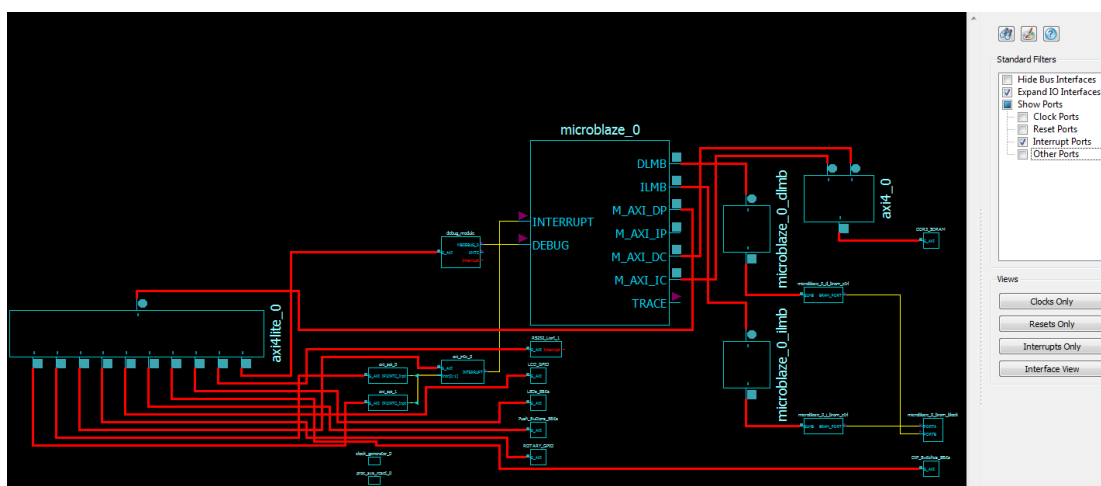


FIGURA E.1: Esquema del microprocesador embebido con sus periféricos.

A continuación se procede a explicar brevemente la función de los principales códigos programados para el microprocesador.

El código **main.c** representa el main del microprocesador, muestra el menú de opciones, inicializa los dos módulos SPI, los GPIO, activa las interrupciones y lanza el programa principal de escucha *test cmds* con el cual el microprocesador recibe la orden del usuario.

El programa **test_cmds.c** es el programa matriz desde el que se escucha la respuesta del usuario y en función de la opción escogida en el menú realiza una acción u otra. La primera opción permite programar los dos LMK del prototipo. Para ello se escriben en una estructura definida los valores de cada registro de configuración del LMK mediante la función **lmk_init_config** dentro del código **lmk03002.c**. Dentro de estos parámetros se introducen los valores necesarios para el modo de funcionamiento deseado del LMK, es decir, que no introduzca delay, que no se apague, que las salidas estén habilitadas y los valores derivados del diseño con el software *National Clock Design Tool* para que a las salidas de cada uno de los 2 LMK aparezca un reloj de 76.8 MHz.

Una vez la estructura queda definida se transfiere mediante la función **lmk_set_config**. Para realizar la escritura se deben de realizar dos llamadas, una para cada LMK, dando como parámetro la mascara con el valor del LMK que corresponda. La escritura SPI se realiza mediante una sola linea de datos por lo que la información que se desea transferir debe ser almacenada previamente en un buffer que tendrá la estructura de los cuatro últimos bits como dirección del registro a escribir y los 28 restantes el dato a escribir. El dato almacenado en el buffer pasa a transmitirse mediante las funciones propias de la librería de Xilinx.

Con los LMK ya programados se debe esperar a que la señal de reloj generada por el DCM con la que la FPGA toma muestras de la FIFO de adaptación del ADC sea válida. Para ello se puede hacer uso del puerto **locked**. Como ya se ha expuesto anteriormente el DCM funciona con la señal de alimentación del LMK a 76.8 MHz. Esta señal no estará activa de inicio por lo que el DCM se debe resetear para que capture bien el reloj fuente. Se activa su señal de reset durante unas centésimas de segundo para dar tiempo a la señal de locked a estar activa y se pone a nivel alto el **SYNC** de los LMK que indica que ya se puede hacer efectiva la salida de éstos, por lo que la conversión se inicia (Fig E.2).

```
#define N_CICLOS          100
#define MB_TIMER_nop()      ({__asm__ __volatile__ ("nop");})
#define MB_TIMER_DELAY(n)   ({unsigned int i; for (i = 0; i < (n * N_CICLOS); i++)
                             { MB_TIMER_nop(); } })
```

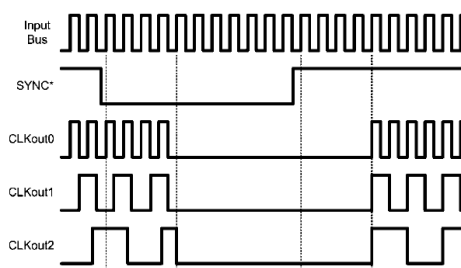



FIGURA E.2: Cronograma para habilitación de las salidas del LMK03001c.

```

if (character == '0')
{
    xil_printf("\r\npll_r = 0x%x",lmk_conditioner.pll_params.pll_r);
    lmk_init_config(&lmk_conditioner);
    lmk_set_config(&lmk_conditioner);
    write_gpio(5, FALSE);
    write_gpio(6, FALSE);
    MB_TIMER_DELAY (10000);
    write_gpio(5,TRUE);
    write_gpio(6,TRUE);
    write_gpio(0, TRUE);
    xil_printf("\r\nespera");
    MB_TIMER_DELAY (10000);
    write_gpio(0, FALSE);
    xil_printf("\r\nINICIALIZA LMK, resetea el DCM y enciende led U64");
    xil_printf("\r\npll_r = 0x%x",lmk_conditioner.pll_params.pll_r);
}

```

Para la configuración de los DAC el proceso es similar pero con algunas variantes. En este caso los registros son de 16 bits, 5 para la dirección del registro a escribir/leer, 1 para indicar si la operación es de escritura o lectura, 2 para indicar el número de bytes a leer/escribir seguidos y los restantes para datos.

Además, en este caso el proceso de escritura/lectura SPI es diferente puesto que la señal enable es activa a nivel bajo y debe permanecer así durante todo el ciclo de escritura. En este caso la máscara del módulo SPI consta de 4 bits para cada uno de los conversores. El proceso de escritura en los registros del DAC es

```
word_transfer = (((unsigned char)mode<<15 & 0x8000)) | (0x0000) | (((unsigned char)Addr<<8) & 0x0f0
    word_transfer = (data<<4) | (((unsigned int)Addr) & 0x0000000f);
    WriteBuffer[0] = (unsigned char)(word_transfer>>8);
    WriteBuffer[1] = (unsigned char)(word_transfer);

Status = XSpi_SetOptions(SpiPtr, XSP_MASTER_OPTION | XSP_MANUAL_SSELECT_OPTION);
Status = XSpi_SetSlaveSelect(SpiPtr, SPI_MASK);
TransferInProgress = 1;

Status = XSpi_Transfer(SpiPtr, WriteBuffer, ReadBuffer, 4);
```

El proceso para configurar el prototipo en diferentes tilts es análogo a los ya representados pero enviando los datos a escribir en el periférico de comunicación con la FPGA que posteriormente son transmitidos a los módulos **DDS Compiler** donde se aplican los desfases a las señales de cada elemento radiante.

Apéndice F

Herramientas utilizadas.

Durante el desarrollo del PFC se ha utilizado una serie de herramientas tanto de software como de hardware para diseñar, simular e implementar el conformador de haz, aquí la lista y para que se ha usado cada una.

F.1. Software

- **Putty:** Consola para comunicación con la placa de evaluación mediante puerto serie. Mediante esta herramienta se puede tener una respuesta visual de las acciones que se ejecutan para configurar los periféricos con el microprocesador.
- **Sublime Text 3:** Edición de código. Este editor de código multiplataforma permite la edición de la práctica totalidad de los lenguajes existentes pudiendo seleccionar la sintaxis de cada uno. Es compatible con plugins para incorporar funciones como la comparación de archivos. Dada su ligereza y rapidez de respuesta se ha utilizado para cambios y composición secundaria de códigos en los diferentes lenguajes usados.
- **Matlab:** Permite realizar operaciones matemáticas complejas basándose en el cálculo de matrices. Principalmente su uso se ha destinado a la comprobación de las señales que se obtenían en dominio digital transformándolas al dominio frecuencial. También se han elaborado códigos para la simulación del conformado de haz y la representación del factor de array.
- **Sketch:** Las figuras que no son de realización propia se han capturado y editado con este programa.

- **Texstudio:** Elaboración de la memoria en Latex. Incorpora varias funciones de utilidad como la gestión de múltiples proyectos, acceso rápido a funciones matemáticas y una rápida visualización del documento compilado.
- **WinCVS:** Gestión de versiones del proyecto. Permite tener un control preciso de los cambios llevados a cabo y volver a una versión anterior en caso de que sea necesario.
- **Evernote:** Almacenamiento en la nube de notas en formato de texto con posibilidad de anexionar imágenes etc... Se realizó el diario de bitácora con el para mantener el control de cambios, las dudas que iban surgiendo y los esbozos de código y memoria.
- **Absolute Analysys:** Programas para utilizar en conjunto con el equipo Investigator. Analyzer sirve para la captura de tramas, Generator para su generación, Protocol Editor permite crear tramas o crear protocolos y Trace Viewer visualiza las tramas capturadas en formato .PAD.
- **ModelSim:** Simulación y test de código Verilog. Creando una señal virtual de reloj simula el sistema creado en código Verilog presentando todos los cambios de señal que se producen mediante diversos cronogramas. Para la simulación de los códigos se crearon programas en Verilog que generaban ficheros de texto con las muestras de la señal a la salida del procesado. Estos ficheros se generaban ejecutando la simulación.
- **National Clock Design Tool:** Configuración de parámetros del LMK (clock tree). Calcula los valores de las capacidades y resistencias variables, registros y PLLs en función de las frecuencias que se quieren generar por cada una de las salidas del LMK. Es Necesario para configurar el LMK y poder suministrar señal de reloj a los componentes externos a la FPGA
- **Usb Redirector:** Uso de dispositivos USB a distancia. Simula que un usb conectado en un ordenador cliente está conectado a un ordenador servidor.
- **Xilinx xmd, Chipscope, ISE, EDK, PlanAhead, XPS, impact, SDK:** Mediante xmd se programa el microprocesador con el fichero.elf generado con el programa SDK, que actúa como compilador y editor de código C preparado para la arquitectura del microprocesador embebido diseñado mediante la herramienta XPS. Mediante PlanAhead se edita el código Verilog y se compila. Chipscope permite la monitorización de eventos dentro de la FPGA tanto de manera síncrona como asíncrona mediante el CORE ILA,

la captura de señales y su representación gráfica y la modificación de señales de manera asíncrona mediante el CORE VIO, todo ello controlado por el CORE ICON.

- **Simulink:** Con esta herramienta de Mathworks integrada en Matlab se realizó la completa simulación de todo el sistema mediante el diseño por bloques.
- **GNU-Radio:** Simulación del sistema de código libre para Linux e implementable en la placa de desarrollo Ettus.
- **Microwave Office:** Simulación de el haz conformado para diferentes tilts.

F.2. Hardware:

- **Generador de Frecuencias Anritsu LD-06GF0105 0-20 MHz:** Utilizado para comprobar el comportamiento de la FPGA programada con tonos en 13.6 MHz.
- **Fuente de alimentación Promax FA-405:** Alimentación de la FPGA Microhemir.
- **Placa de evaluación Microhemir v1.2 y v1.3 de TELNET Redes Inteligentes:** Realización del prototipo del enlace de recepción con un solo receptor. la placa incorpora una FPGA Xilinx SPARTAN 6, un conversor ADC AD9444 de Analog Devices y un LMK03002 de Texas Instruments.
- **Placa de desarrollo Trx/Rx Ettus USRP:** Placa con un conversor dual ADC y otro dual DAC, FPGA Altera Cyclone y conexión USB. Utilizada para la simulación de bloques de procesamiento digital y RF.
- **Xilinx Platform Cable USB II:** Comunicación entre la placa de desarrollo Microhemir y el ordenador.
- **Adaptador RS232-Puerto serie TELNET Redes Inteligentes:** Conector puente que permite la conexión y el debug del puerto serie de la placa Microhemir y el puerto RS232 del ordenador.
- **Equipo de generación y análisis de tramas Investigator de Absolute Analysis NS:AA-3300-010:** Utilizado para la generación y captura de tramas bajo CPRI.
- **Placa voyager 600 de Absolute Analysis AAI-VOYAGER600X4CARD**

- **Hewlett Packard E4433B Signal Generator 250 KHz-4 GHz:** Equipo utilizado para generar la señal WCDMA de una sola portadora cargada de canales.
- **Promax Signal Analyzer ins0002:** Analizador de señales RF usado en conjunto con el generador de señales Hewlett Packard para conformar la señal WCDMA.
- **Placa de evaluación VC707:** Placa de Xilinx que incorpora una FPGA Virtex 7. Posee dos conectores FMC HPC necesarios para la conexión de las dos FMCs utilizadas para el prototipo final. Con esta placa se desarrolla el prototipo final y es la base sobre la que se desarrollarán futuras mejoras del proyecto.
- **Placa de evaluación FMC ADC Eval Board V1.0 de TELNET Redes Inteligentes:** Placa con conexión HPC compuesta de cuatro conversores ADC y una oscilador OCXO a 30.72 MHz con un acondicionador de reloj LMK03001 para simular los cuatro elementos radiantes en recepción dentro del prototipo final conectándola a la placa madre VC707.
- **Placa de evaluación FMC DAC Eval Board V1.0 de TELNET Redes Inteligentes:** Placa con conexión HPC compuesta de cuatro conversores DAC y un acondicionador de reloj LMK03001 para simular los cuatro elementos radiantes en transmisión dentro del prototipo final conectándola a la placa madre VC707.

Bibliografía

- [1] TELNET Redes Inteligentes. 2013. URL <http://www.telnet-ri.es>.
- [2] University of Sidney Abbas Jamalipour, PhD; Fellow IEEE. Mobile communications networks. 1:8–17, October 2009. URL http://www.ee.washington.edu/research/ieee-comm/event_oct_12_2009_files/NADLT-MobileNetandBioInspired-Jamalipour-Oct2009.pdf.
- [3] Vicepresident Detlev J. Otto and head of business line UTRAN in Siemens Mobile. Introduction to common public radio interface cpri. 1:3–5, November 2003. URL <http://www.cpri.info/downloads/CPRI%20Day%20Nov%202003%20-%20Introduction%20to%20CPRI.pdf>.
- [4] OBSAI. Open base station architecture initiative. Issue 2.0:15–68, 2006. URL http://www.obsai.com/specs/OBSAI_System_Spec_V2.0.pdf.
- [5] Absolute Analysis. Absolute analysis investigator documentation. 2013. URL <http://www.absoluteanalysis.com/products.html>.
- [6] Mathworks. Matlab r2013b. 2013. URL <http://www.mathworks.es/products/matlab/>.
- [7] Xilinx. Ise design suite. 2013. URL <http://http://www.xilinx.com/products/design-tools/ise-design-suite/>.
- [8] TELNET Redes Inteligentes Ismael Bel. Microhemirreflexmd+conv_400011056_1.3.1.0.pdf. (1.3):1–14, Mayo 2008.
- [9] Kai Fong Lee. Advances in microstrip and printed antennas. page 143, 1997.
- [10] Xilinx. Spartan-6 family overview. 25, 1:4–8, October 2011. URL http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf.
- [11] Ángel Cardama Aznar. Antenas, ediciones upc. 1998.

- [12] UIT-R. Definición y medición de los productos de intermodulación en transmisores que utilizan técnicas de modulación de frecuencia, de fase o compleja. *Recomendación UIT-R SM.1446*, 2000. URL http://www.itu.int/dms_pubrec/itu-r/rec/sm/R-REC-SM.1446-0-200004-I!!PDF-S.pdf.
- [13] Huawei. Active antenna system:utilizing the full potential of radio sources in the spatial domain. 27, pages 6–10, November 2012. URL www.huawei.com/ilink/en/download/HW_197969.
- [14] Dr. Rajiv Chandrasekaran Kevin Linehan. Active antennas: The next step in radio and antenna evolution. 1(1):4–10, 2013. URL https://www.commscope.com/docs/active_antenna_system_white_paper_wp-105435.pdf.
- [15] Nokia Siemens Networks. Active antenna systems: A step-change in base station site performance. 1:4–11, 2013. URL http://www.nsn.com/.../nokia-siemens-networks_active_antenna..
- [16] Altera Corporation Xiaofei Dong. Designing remote radio heads (rrhs) on high-performance fpgas. *EE Times*, 1, July 2011. URL http://www.eetimes.com/document.asp?doc_id=1278555.
- [17] Chengfeng Ruan Jingyu Hua Zhilong Zheng Yuan Wu Limin Meng. A study of different matched filters in digital down converter. International Conference on Systems and Informatics (ICSAI 2012):2–4, 2012. URL <http://ieeexplore.ieee.org.roble.unizar.es:9090/stamp/stamp.jsp?tp=&arnumber=6223457>.
- [18] University of Twente Rik Portengen. Phased array antenna processing on reconfigurable hardware. MSC Thesis:13–26, December 2007. URL http://essay.utwente.nl/735/1/scriptie_Portengen.pdf.
- [19] UNIVERSITY OF PUERTO RICO MAYAGUEZ CAMPUS Juan A. Torres-Rosario. Implementation of a phased array antenna using digital beam-forming. Master of Sciences in electrical engineering Thesis:20–79, 2005. URL http://biblioteca.universia.net/html_bura/ficha/params/title/implementation-of-phased-array-antenna-using-digital-beamforming-approved-by/id/45972576.html.
- [20] Ericsson Research Björn Johannisson. Antenna evolution and challenges for mobile broadband. 24, pages 14–24, February 2011. URL <http://www.wsa2011.rwth-aachen.de/>

- [fileadmin/wsa2011/internet/Antenna%20Evolution%20and%20Challenges%20for%20Mobile%20Broadband_WSA%202011-02-24.pdf](http://fileadmin.wsa2011.internet.Antenna%20Evolution%20and%20Challenges%20for%20Mobile%20Broadband_WSA%202011-02-24.pdf).
- [21] Rong Zhou Department of Wireless Research Huawei Technology. Analysis of rf requirements for active antenna system. 1:1–3, 2012. URL <http://ieeexplore.ieee.org/roble.unizar.es:9090/stamp/stamp.jsp?tp=&arnumber=6417569>.
- [22] Jesus de Mingo Sanz y Pedro Luis Carro Ceballos. Antenas y propagación, notas de clase. 4:4–32, 2013. URL <http://www.diec.unizar.es>.
- [23] Universidad de las Américas Puebla. Descripción detallada de wcdma. Capítulo 3:1–17, 2004. URL http://catarina.udlap.mx/u_dl_a/tales/documentos/lem/fajardo_pd/capitulo3.pdf.
- [24] Universidad Politécnica Salesiana. Arreglos de antenas. 2000. URL <http://dspace.ups.edu.ec/bitstream/123456789/15/9/Capitulo2.pdf>.
- [25] GNU-Radio. Gnu radio the free open software radio ecosystem. 2013. URL <http://gnuradio.org/>.
- [26] Inc. Dan Lavry, Lavry Engineering. Sampling theory for digital audio. Sampling Theory:2–16, 2004. URL <http://http://lavryengineering.com/pdfs/lavry-sampling-theory.pdf>.
- [27] Vicepresident head of business line UTRAN Siemens Mobile Detlev J. Otto. Introduction to common public radio interface cpri. 1:3–5, November 2003. URL <http://www.cpri.info/downloads/CPRI%20Day%20Nov%202003%20-%20Introduction%20to%20CPRI.pdf>.
- [28] 3GPP. Cpri specification v5.0. 21, pages 7–81, August 2013. URL http://www.cpri.info/downloads/CPRI_v_6_0_2013-08-30.pdf.
- [29] Ettus. Ettus usrp1 details. 2013. URL <https://www.ettus.com/product/details/USRPPKG>.
- [30] Altera. Altera cyclone. 20013. URL <http://www.altera.com/devices/fpga/cyclone/cyc-index.jsp>.
- [31] AWR Corporation. Microwave office. 20013. URL <http://www.awrcorp.com/es/products/microwave-office>.

- [32] Analog Devices. Ad9444 14-bit, 80 msp/s, a/d converter. 1:1–23, 2004. URL <http://www.analog.com/en/AD9444>.
- [33] Vectron International. C4530 ocxo local oscillator. 1:1–2, 2013. URL <http://www.vectron.com/products/ocxo/c4530.pdf>.
- [34] Texas Instruments. Lmk03002 (active) precision clock conditioner with integrated vco. Rev E:1–24, 2013. URL <http://www.ti.com/product/lmk03002?qgpn=lmk03002>.
- [35] Xilinx. Logicore ip fifo generator v8.1. 1, UG175:21–56, March 2011. URL http://www.xilinx.com/support/documentation/ip_documentation/fifo_generator_ug175.pdf.
- [36] Xilinx. Platform studio user guide. 12, UG113 V1.0:228, March 2004. URL http://www.xilinx.com/ise/embedded/edk6_2docs/platform_studio_ug.pdf.
- [37] Xilinx. Logicore ip dds compiler v5.0. 1, DS794:2–26, March 2011. URL http://www.xilinx.com/support/documentation/ip_documentation/ds794_dds_compiler.pdf.
- [38] Xilinx. Ip logicore fir compiler v5.0. 1, DS534:2–13, March 2011. URL http://www.xilinx.com/support/documentation/ip_documentation/fir_compiler_ds534.pdf.
- [39] Xilinx. Digital clock manager (dcm) module. 1, DS485:2–5, April 2009. URL http://www.xilinx.com/support/documentation/ip_documentation/dcm_module.pdf.
- [40] Texas Instruments. 16-bit, 1.0 gsp/s 2x-4x interpolating digital-to-analog converter (dac). 1, SLLS865F:1–31, August 2012. URL <http://www.ti.com/lit/ds/symlink/dac5681z.pdf>.
- [41] Texas Instruments. Lmk03000 family precision clock conditioner with integrated vco. 1, SNAS381O:1–16, March 2013. URL <http://www.ti.com/lit/ds/symlink/lmk03001.pdf>.
- [42] Xilinx. Vc707 evaluation board for the virtex-7 fpga user guide. 22, UG885:7–77, August 2013. URL http://www.xilinx.com/support/documentation/boards_and_kits/vc707/ug885_VC707_Eval_Bd.pdf.
- [43] Xilinx. Xilinx digital pre-distortion (dpd) reference design. pages 1–2, 2009. URL http://www.xilinx.com/publications/prod_mktg/pn2061.pdf.

- [44] Xilinx. Logichore ip peak cancellation crest factor reduction v2.0. 2, XMP039:1–2, December 2009. URL http://www.xilinx.com/support/documentation/ip_documentation/pc_cfr_xmp039.pdf.
- [45] Antenna Interface Standards Group AISG. Aisg specification: Control interface for antenna line devices. 13, Standard No. AISG v2.0:10–15, June 2006cpr. URL <http://www.aisgweb.net/Website/IndexDocs/Specifications/AISG%20v2.0%20.pdf>.
- [46] OBSAI. Open base station architecture initiative. Issue 2.0:15–68, 2006. URL http://www.obsai.com/specs/OBSAI_System_Spec_V2.0.pdf.
- [47] Xilinx. Logichore ip cpri v6.1. 18, PB012:1–2, December 2012. URL http://www.xilinx.com/support/documentation/ip_documentation/cpri/v6_1/pb012-cpri.pdf.
- [48] Ngai Wong, Department of Electrical Tung-Sang Ng, and Electronic Engineering. An efficient algorithm for downconverting multiple bandpass signals using bandpass sampling. pages 1–3, 2001. URL http://gmrt.ncra.tifr.res.in/~scc/BPsamp/Eff_algo_downconv_MFBPS.pdf.
- [49] Ching-Hsiang Tseng and Sun-Chung Chou. Direct downconversion of multiband rf signals using bandpass sampling. Volume 5 Issue 2:1–2, 2016. URL <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1576530>.
- [50] Rodney G. Vaughan. The theory of bandpass sampling. Volume 39, Issue 9:1–10, 1991. URL <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=134430>.

