

Alvaro Pradas Luengo

Sistemas de potencia para la  
nueva generación de detectores  
de píxeles en experimentos de  
física

Director/es

Arteche Gonzalez, Fernando José  
Arcega Solsona, Francisco Javier

<http://zaguan.unizar.es/collection/Tesis>



Universidad de Zaragoza  
Servicio de Publicaciones

ISSN 2254-7606



Tesis Doctoral

**SISTEMAS DE POTENCIA PARA LA NUEVA  
GENERACIÓN DE DETECTORES DE PÍXELES EN  
EXPERIMENTOS DE FÍSICA**

Autor

**Alvaro Pradas Luengo**

Director/es

Arteche Gonzalez, Fernando José  
Arcega Solsona, Francisco Javier

**UNIVERSIDAD DE ZARAGOZA**  
**Escuela de Doctorado**

Programa de Doctorado en Ingeniería Electrónica

2025





Universidad  
Zaragoza



## Tesis Doctoral

Sistemas de potencia para la nueva generación  
de detectores de píxeles en experimentos de  
física

Autor

Alvaro Pradas Luengo

Director/es

Dr. Francisco Javier Arcega Solsona  
Dr. Fernando José Arteche González

Tutora

Dra. Inmaculada Plaza García

Programa de Doctorado en Ingeniería Electrónica

2024



# *Agradecimientos*

---

Es difícil plasmar en unas pocas líneas todo el agradecimiento que siento hacia las personas e instituciones que han hecho posible la realización de esta tesis. Intentaré no olvidarme de nadie, pero si lo hago, sepan que su contribución ha sido igualmente valiosa.

En primer lugar, quiero expresar mi profundo agradecimiento a la Universidad de Zaragoza por permitirme completar este apasionante proceso de formación personal y profesional que culmina con la presente tesis doctoral. Un agradecimiento especial a mi codirector F.J. Arcega, por sus valiosos consejos y su inestimable ayuda en todo momento.

Mi gratitud también al Instituto Tecnológico de Aragón (ITA), por ofrecer los medios técnicos y humanos que nos permiten a todos los que formamos parte de él seguir avanzando y evolucionando día tras día. De manera particular, quiero agradecer a mi otro codirector, Fernando Arceche, por su confianza en mí durante todos estos años. Su apoyo, guía y generosa disposición para compartir su conocimiento han sido fundamentales para la finalización de este trabajo. Sin su motivación y orientación, nada de esto habría sido posible. Asimismo, quiero extender mi agradecimiento a todos mis compañeros del área de Tecnologías Eléctricas y del grupo de investigación IODIDE, por su apoyo constante a lo largo de este proceso.

Quiero expresar mi más sincero agradecimiento a los centros españoles que han colaborado durante varios años con el ITA en la actualización de fase II del experimento CMS del LHC. En particular, agradezco al Instituto de Física de Cantabria (IFCA), al Instituto de Microelectrónica de Barcelona (IMB-CNM) y a la Universidad de Cantabria (UNICAN) por su invaluable apoyo y colaboración, que han sido fundamentales para la realización de algunas de las actividades de esta tesis.

En el plano internacional, extiendo mi más sincero agradecimiento a la colaboración RD53 y a los equipos del detector de píxeles de CMS, cuyo apoyo ha sido crucial para el desarrollo de esta tesis. Agradezco en especial a mis colegas en el CERN, y muy particularmente a Jorgen Christiansen, Flavio Loddo, y Stella Orfanelli por facilitar el acceso a prototipos e instalaciones que han sido clave en el desarrollo de este trabajo. De igual forma, agradezco la colaboración de ETH Zurich, en especial a Malte Backhaus y Vasilije Perovic, por su valiosa asistencia en el desarrollo de los módulos HDI y los ensayos de ruido, así como al instituto IPHC de Estrasburgo, con Jeremy Andrea y Esther Silva, por su ayuda

imprescindible en el desarrollo del sistema de caracterización automático en AIDAINNOVA. Tampoco me puedo olvidar de Michael Karagounis de la Universidad de Dortmund, un referente en el diseño analógico de microelectrónica, siempre dispuesto a echar una mano y solucionar cualquier duda.

Por último, pero no menos importante, quiero dedicar unas palabras especiales a Victoria, por ser mi mayor apoyo y por motivarme cada día a seguir adelante. Gracias por estar ahí, incluso en los momentos más complicados, por la paciencia de revisar la tesis en busca de gazapos y por tu constante aliento. También dedico este trabajo toda mi familia. Especialmente a mi madre, que espero pueda sentirse orgullosa de este esfuerzo, y a mi padre, que nos dejó demasiado pronto, pero estoy seguro de que nos sigue acompañando desde algún lugar.

También me gustaría agradecer a las principales fuentes de financiación que han permitido que este proyecto se haga realidad. En primer lugar, a la Diputación General de Aragón (DGA) por el apoyo recibido a través de los proyectos HDI4CMSPIX (LMP170), GANCAP4CMS (LMP239\_21). En segundo lugar, al Ministerio de Economía, Industria y Competitividad por la financiación a través de los proyectos CMSRUN2 (FPA2014-55295-C3-3-R), CMSRUN2B (FPA2017-85155-C4-2-R) y CMSUPG (PID2020-113705B-C33). Finalmente, mi agradecimiento a la Unión Europea por el respaldo a través de los proyectos AIDA2020 (H2020-INFRAIA-654168), AIDAINNOVA (H2020-101004761) y EUROLABS (HE-101057511).

# Índice

---

<b>AGRADECIMIENTOS</b> .....	<b>3</b>
<b>ÍNDICE</b> .....	<b>5</b>
<b>CAPÍTULO 1: INTRODUCCIÓN: CONTEXTO, OBJETIVOS Y DESARROLLO</b> .....	<b>9</b>
1.1.    OBJETIVOS DE LA TESIS .....	12
1.2.    DESARROLLO DE LA TESIS DOCTORAL Y COLABORACIONES INTERNACIONALES (2017-2024) .....	13
1.3.    ESTRUCTURA DE LA TESIS.....	14
1.4.    REFERENCIAS .....	16
<b>CAPÍTULO 2: FUTURA GENERACIÓN DE DETECTORES DE FÍSICA</b> .....	<b>19</b>
2.1.    DETECTOR CMS.....	20
2.2.    HL-LHC COLISIONADOR DE HADRONES DE ALTA LUMINOSIDAD .....	23
2.3.    ACTUALIZACIÓN DE CMS – FASE 2 .....	24
2.4.    DETECTOR DE PÍXELES DE CMS – FASE 2.....	25
2.4.1.    Diseño y Disposición del Inner Tracker -Fase II.....	27
2.4.2.    Módulos.....	29
2.4.3.    Sensores.....	30
2.4.4.    Front end electronics.....	32
2.5.    CHIP DE LECTURA RD53 .....	37
2.5.1.    Desarrollo histórico del RD53 .....	38
2.5.2.    Arquitectura del chip RD53.....	40
2.5.3.    Front-End Analógico .....	43
2.5.4.    Almacenamiento de Datos y “Trigger” .....	45
2.5.5.    Control y Lectura del Chip RD53 .....	46
2.5.6.    Tolerancia a la Radiación del RD53 .....	47
2.6.    SISTEMA DE DISTRIBUCIÓN DE POTENCIA SERIE (SERIAL POWERING).....	47
2.7.    RESUMEN .....	53
2.8.    REFERENCIAS.....	54
<b>CAPÍTULO 3: SISTEMA DE ALIMENTACIÓN HÍBRIDO (SERIE - PARALELO): DISEÑO ESTÁTICO Y FUNCIONAL</b> .....	<b>57</b>
3.1.    TOPOLOGÍA DE ALIMENTACIÓN HÍBRIDA .....	58
3.2.    REGULADOR LINEAL TOLERANTE A RADIACIÓN PARA DETECTORES DE PÍXELES (SHUNT-LDO).....	59
3.2.1.    Configuración y punto de operación del regulador Shunt-LDO.....	62
3.3.    CARACTERÍSTICAS Y FUNCIONAMIENTO DE UN SISTEMA DE ALIMENTACIÓN SERIE .....	63
3.3.1.    Alimentación en corriente .....	64
3.3.2.    Módulos flotantes con distinta GND.....	65
3.3.3.    Distribución de corriente entre chips en paralelo .....	66
3.3.4.    Modelo de potencia del chip de lectura .....	69
3.3.5.    Modos de funcionamiento degradado .....	73
3.3.6.    Optimización de punto de operación del regulador Shunt-LDO.....	79

3.4.	EFFECTOS DE LA RADIACIÓN IONIZANTE SOBRE EL REGULADOR SLDO (ENSAYOS DE RADIACIÓN) .....	80
3.5.	CONCLUSIONES .....	82
3.6.	REFERENCIAS .....	83

**CAPÍTULO 4: INMUNIDAD Y CONTROL DE TRANSITORIOS DE UN SISTEMA DE ALIMENTACIÓN HÍBRIDO PARA DETECTORES DE PÍXELES RESISTENTE A LA RADIACIÓN .....85**

4.1.	INTRODUCCIÓN .....	86
4.2.	ESTABILIDAD DEL REGULADOR Y EFECTOS DE LOS ELEMENTOS PARÁSITOS .....	88
4.2.1.	Condensadores de desacoplo .....	88
4.2.2.	Parámetros de configuración y estabilidad del SLDO .....	91
4.2.3.	Estabilidad de SLDO en paralelo .....	93
4.3.	PROPAGACIÓN DE TRANSITORIOS .....	96
4.3.1.	Propagación de transitorios a nivel de módulo .....	96
4.3.2.	Propagación de transitorios a nivel de sistema serie .....	99
4.4.	TRANSITORIOS DURANTE LA FASE DE ARRANQUE .....	101
4.4.1.	Tensiones de referencia (Bandgaps).....	101
4.4.1.1.	Nuevo diseño de referencias (Bandgaps).....	104
4.4.2.	Oscilaciones durante el arranque .....	106
4.4.3.	Implementación de circuito para mejora del arranque del SLDO .....	107
4.4.4.	Implementación del modo de bajo consumo (LPM).....	109
4.4.4.1.	Generación de señal de activación externa .....	111
4.4.4.2.	Generación de señal de activación interna .....	112
4.5.	CABLEADO Y FUENTE DE ALIMENTACIÓN .....	116
4.6.	EFFECTOS TRANSITORIOS EN LAS LÍNEAS DE COMUNICACIÓN .....	121
4.7.	MODOS DE FALLO O MODOS DEGRADADOS.....	122
4.7.1.	Sobretensión de la tensión de entrada.....	123
4.7.2.	Sobrecarga .....	126
4.8.	CONCLUSIONES .....	129
4.9.	REFERENCIAS.....	130

**CAPÍTULO 5: INMUNIDAD Y CONTROL DE INTERFERENCIAS DE RADIOFRECUENCIA CONDUCTA EN UN SISTEMA DE ALIMENTACIÓN HÍBRIDO ..... 133**

5.1.	METODOLOGÍA DE TRABAJO .....	134
5.1.1.	Configuración del sistema de ensayos.....	137
5.1.2.	Susceptibilidad a nivel de ASIC y a nivel de sistema .....	140
5.2.	INMUNIDAD Y CONTROL DE FENÓMENOS DE RF A NIVEL DE ASIC- RD53A CHIP .....	140
5.2.1.	Susceptibilidad de las distintas topologías de “Front-End (FE)” .....	141
5.2.2.	Distribución del ruido a lo largo del chip RD53A .....	145
5.2.3.	Aislamiento entre el dominio digital y el analógico.....	147
5.2.4.	Impacto del sensor en la susceptibilidad del ASIC.....	149
5.2.5.	Filtrado pasivo y activo para mitigar los efectos del ruido. ....	153
5.3.	INMUNIDAD Y CONTROL DE FENÓMENOS DE RF A NIVEL DE SISTEMA.....	158
5.3.1.	Modo común y modo diferencial.....	159
5.3.2.	Contribución del ‘layout’ de los módulos HDI .....	161
5.3.3.	Efectos de referencias flotantes. Módulos en cadena serie .....	165
5.3.4.	Conexión a tierra de la estructura de disipación. ....	166
5.3.5.	Filtrado de interferencias RF a nivel de módulo y de sistema .....	168
5.4.	NIVELES DE RUIDO COMPATIBLES CON EL DETECTOR DE PÍXELES DE CMS. ....	172
5.5.	CONCLUSIONES .....	177
5.6.	REFERENCIAS.....	178

<b>CAPÍTULO 6: DISEÑO DE HDI DE BAJA MASA, EFICIENTE E INMUNE A TRANSITORIOS .....</b>	<b>181</b>
6.1. DISEÑO Y OPTIMIZACIÓN DE MÓDULOS HDI .....	182
6.2. DISEÑO Y OPTIMIZACIÓN DE LÍNEAS DE POTENCIA.....	183
6.2.1. Disipación, densidad de corriente y cantidad de material .....	184
6.2.2. Simetría y distribución de corrientes.....	187
6.3. OPTIMIZACIÓN DE ELEMENTOS PARÁSITOS DE LOS CONDENSADORES DE DESACOPLO .....	190
6.3.1. Diseño de red de desacoplo por simulación .....	192
6.4. DISEÑO Y OPTIMIZACIÓN DE LÍNEAS DE COMUNICACIÓN DE ALTA FRECUENCIA.....	196
6.4.1. Impedancia diferencial .....	197
6.4.2. Topología de distribución de la línea de control y comandos, “downlink” .....	200
6.4.3. Diseño a nivel de sistema. Contribución de los elementos de integración .....	206
6.4.3.1. Etapa de entrada del chip y wirebonds.....	207
6.4.3.2. Capacidad de acoplamiento AC.....	211
6.4.3.3. Inductancia parásita de los condensadores de acoplamiento AC .....	215
6.5. CONCLUSIONES .....	216
6.6. REFERENCIAS.....	217
<b>CAPÍTULO 7: RESUMEN .....</b>	<b>219</b>
<b>CAPÍTULO 8: CONCLUSIONES .....</b>	<b>223</b>
<b>GLOSARIO .....</b>	<b>227</b>
<b>ÍNDICE DE TABLAS Y FIGURAS .....</b>	<b>231</b>



# *Capítulo 1:*

## *Introducción: contexto, objetivos y desarrollo*

---

La física de altas energías, también conocida como física de partículas, es un área científica que busca entender los fundamentos de la materia y las fuerzas que rigen su interacción. Esta rama de la física explora las partículas subatómicas, como los quarks, electrones, neutrinos, y los bosones que intervienen en las fuerzas fundamentales. Estas partículas se estudian por medio de complejos experimentos. Unos de los más conocidos son el experimento CMS [1-1] (Compact Muon Solenoid) y ATLAS [1-2] (A Toroidal LHC ApparatuS), ambos en el Gran Colisionador de Hadrones (LHC) [1-3] del CERN, la Organización Europea para la Investigación Nuclear. Estos experimentos han contribuido hace más de una década al descubrimiento del bosón de Higgs [1-4][1-5]. El bosón de Higgs, teorizado por primera vez en 1964 por Peter Higgs, es una piedra angular del Modelo Estándar de la física de partículas, la teoría que describe las partículas elementales y sus interacciones. El descubrimiento de esta partícula no solo validó décadas de investigaciones teóricas, sino que también confirmó la existencia del campo de Higgs, responsable de otorgar masa a las partículas elementales.

A pesar de los enormes avances logrados, aún existen grandes incógnitas, como la naturaleza de la materia oscura y la energía oscura, que constituyen la mayor parte del contenido del universo pero que no han sido detectadas directamente. La física continúa siendo una frontera en la exploración científica, y los

experimentos futuros en colisionadores de partículas y otros instrumentos avanzados podrían finalmente responder a estas preguntas fundamentales.

Además de ampliar nuestra comprensión del universo, los experimentos de física de partículas han dado lugar a una serie de aplicaciones prácticas que han tenido un impacto significativo en la vida cotidiana. Un ejemplo emblemático es la creación de la World Wide Web en el CERN, originalmente desarrollada como una herramienta para que los científicos pudieran compartir datos e información de manera eficiente. En la actualidad, la web se ha convertido en una parte integral de la vida moderna, facilitando la comunicación, el comercio, la educación y el entretenimiento a nivel global.

Otra aplicación destacada es la tecnología de detección de radiación, la cual se desarrolló en gran medida a partir de la necesidad de medir partículas en los experimentos de física de altas energías. Estos detectores han sido adaptados para su uso en el ámbito médico, particularmente en el campo de la imagenología. Tecnologías como la tomografía por emisión de positrones (PET) y la tomografía computarizada (CT) derivan directamente de los avances en física de partículas y son ampliamente utilizadas en el diagnóstico y tratamiento de diversas enfermedades.

Asimismo, el desarrollo de sistemas avanzados de detección y análisis de datos en física de partículas ha conducido a mejoras significativas en la seguridad nacional y en diversas industrias. Por ejemplo, la tecnología de detección de partículas se emplea en la inspección de carga y equipaje en aeropuertos, contribuyendo a la identificación de materiales peligrosos. Además, las técnicas avanzadas de análisis de datos, originadas en la física de partículas, han sido adoptadas por otras disciplinas, como la biología, la astronomía y la economía, para gestionar y analizar grandes volúmenes de datos.

Finalmente, los avances en la tecnología de aceleradores de partículas, desarrollados inicialmente para la investigación científica, han encontrado aplicaciones en diversas áreas fuera del ámbito académico. Los aceleradores de partículas se utilizan en la radioterapia para el tratamiento del cáncer, en la esterilización de equipos médicos y en la producción de radioisótopos para uso médico. Estos desarrollos han mejorado notablemente las capacidades de tratamiento de enfermedades y han salvado innumerables vidas.

En definitiva, el impacto de los desarrollos tecnológicos asociados a los experimentos de física va más allá de la ciencia pura. Ha inspirado a generaciones de científicos, ingenieros y estudiantes de todo el mundo a seguir carreras en ciencias y tecnología. Los laboratorios como el CERN se han convertido en centros internacionales de investigación, donde colaboran científicos de diversas culturas y países en un esfuerzo común por comprender los misterios del universo. Esta cooperación internacional en la ciencia ha

fomentado un espíritu de colaboración global que trasciende fronteras políticas y culturales.

El detector de píxeles del experimento CMS, que constituye el enfoque principal de esta tesis, es un ejemplo sobresaliente de la aplicación de tecnología avanzada en la física de partículas. Este detector desempeña un papel crucial dentro del CMS, uno de los detectores más importantes del Gran Colisionador de Hadrones (LHC). El detector de píxeles está específicamente diseñado para rastrear con alta precisión las trayectorias de las partículas cargadas generadas en las colisiones de alta energía dentro del LHC. Utiliza una matriz de sensores de silicio para detectar las partículas con una resolución espacial extremadamente alta, lo que permite a los científicos reconstruir eventos con un nivel de detalle excepcional y estudiar fenómenos como la desintegración de partículas inestables, la producción de quarks top, entre otros procesos fundamentales.

El desarrollo de detectores como el de píxeles de CMS no solo requiere conocimientos avanzados en física, sino también en ingeniería, electrónica y computación. El diseño y la construcción de estos detectores implican desafíos técnicos significativos, como la gestión de grandes volúmenes de datos, la minimización del ruido electrónico, la optimización del consumo energético, la eficiencia de detección y la resistencia a los ambientes extremos de radiación presentes en los experimentos de colisionadores de partículas. La colaboración entre físicos, ingenieros y otros especialistas es esencial para superar estos desafíos y avanzar en la frontera del conocimiento científico.

Actualmente se está trabajando en la actualización y mejora del LHC para ampliar significativamente sus capacidades. El objetivo principal del LHC de alta luminosidad (LHC-HL) [1-6], que es como se conoce a la actualización, es aumentar la luminosidad del colisionador en un factor 10 en comparación con el original. La luminosidad mide la cantidad de colisiones por unidad de área y tiempo de un acelerador, y su incremento permite recopilar más datos y, por tanto, mejorar la precisión de las mediciones y aumentar la probabilidad de observar fenómenos raros. Con este aumento de la luminosidad, el experimento CMS necesita una serie de mejoras para manejar el mayor número de colisiones y los desafíos técnicos asociados, como la radiación más intensa, mayor volumen de datos y mayor consumo energético.

El detector de píxeles, también conocido como *Inner Tracker*, constituye la parte más interna del subdetector de trazas (*Tracker*) del experimento CMS. Debido a su posición central, esta parte del detector opera en las en las condiciones más extremas del experimento y enfrenta algunos de los desafíos de ingeniería más complejos [1-7][1-6].

## 1.1. Objetivos de la tesis

Esta tesis doctoral se centra en el diseño de una red de distribución de potencia híbrida (serie-paralelo) para la actualización del detector de píxeles del experimento CMS, abordando exhaustivamente todos los aspectos técnicos implicados en este reto. Con el objetivo de garantizar la fiabilidad del detector, se adopta un enfoque integral que combina múltiples estrategias y metodologías de diseño, orientadas a optimizar tanto su rendimiento como su robustez. En este marco, se desarrollarán soluciones innovadoras que aseguren una distribución de potencia eficiente y estable, reduciendo al mínimo las pérdidas y mejorando la respuesta ante fluctuaciones y perturbaciones. Asimismo, se prestará especial atención al control y mitigación de los fenómenos electromagnéticos que podrían afectar el funcionamiento del detector, garantizando así la precisión y la integridad de las mediciones.

El proceso de diseño se aborda desde varias perspectivas fundamentales para asegurar la fiabilidad del detector:

- Perspectiva Funcional o Estática: Se examina el comportamiento del sistema de alimentación en serie, incluyendo la evaluación de las opciones de configuración, los puntos de operación, la eficiencia y los modos de fallo. Este análisis es esencial para establecer las especificaciones básicas del sistema de alimentación.
- Perspectiva Dinámica o de Efectos Transitorios: Se analiza la estabilidad del detector en todos los niveles, desde el diseño del circuito integrado (ASIC) hasta los diversos elementos de integración a nivel de sistema. Este enfoque permite identificar los componentes críticos que son necesarios para garantizar la fiabilidad del detector a lo largo del tiempo.
- Interferencias Electromagnéticas: Se investiga la sensibilidad del detector a las interferencias electromagnéticas y se analiza la influencia de los diferentes elementos de integración, tanto a nivel local como de sistema. Este estudio es vital para asegurar que el detector opere de manera óptima, incluso en condiciones electromagnéticamente adversas.

Dado el carácter innovador de la topología de distribución de potencia propuesta y los significativos desafíos que esta implica, se decidió iniciar esta investigación desde las primeras etapas del diseño de la actualización del detector. Este enfoque y análisis multidimensional en una etapa tan inicial del diseño de un detector se llevan a cabo por primera vez y de forma simultánea en la presente tesis.

## 1.2. Desarrollo de la Tesis Doctoral y Colaboraciones Internacionales (2017-2024)

Durante los años 2017 y 2018, la investigación doctoral fue desarrollada en el marco de una estancia en el CERN, donde se llevaron a cabo ensayos preliminares con prototipos de reguladores SLDO, previos a la existencia de la primera versión del chip de lectura RD53A. En esta etapa, se tuvo acceso a herramientas y modelos de simulación utilizando tecnología CMOS de 65nm tolerante a la radiación de TSMC, lo que permitió iniciar estudios sobre los efectos transitorios en sistemas de alimentación serie. Además, se dio comienzo a los ensayos de inmunidad al ruido conducido, empleando chips previamente desarrollados (FEI4), los cuales integraban también reguladores SLDO. Estos ensayos resultaron fundamentales para establecer procedimientos de prueba fiables y obtener resultados que sirvieron como referencia para futuras mediciones.

Entre 2019 y 2020, la disponibilidad de prototipos de módulos RD53A, gracias a la colaboración con el CERN y el ETH Zurich, facilitó el inicio de campañas de estudio orientadas a la susceptibilidad al ruido del detector de píxeles. Simultáneamente, se continuaron los estudios de efectos transitorios mediante simulaciones del chip de lectura, implementando mejoras y optimizaciones en las versiones sucesivas desarrolladas (RD53A y RD53B). El conocimiento acumulado durante estos primeros años permitió proceder con el diseño de los primeros HDIs para los chips RD53A y RD53B.

A partir de 2021 y hasta la actualidad, se completaron los estudios de los chips finales (RD53C) a través de la plataforma Europractice, de la cual ITA es miembro. Las campañas de inmunidad al ruido han continuado hasta 2024, utilizando prototipos progresivamente más avanzados y próximos a la versión final del detector. Asimismo, se ha colaborado en el desarrollo de los HDIs finales, logrando un diseño óptimo tanto en la distribución de potencia como en la integridad de las líneas de señal, incluyendo la integración de la fuente de alimentación de corriente GaN en el marco del proyecto GANCAP4CMS, gracias a la participación en la ECPE del ITA como *competence centre*.

Los estudios realizados en el transcurso de esta tesis han sido desarrollados en el contexto de diversos proyectos de investigación nacionales e internacionales, que se enumeran a continuación:

- **Actividades de ITAINNOVA para los “Upgrades” de alta luminosidad del LHC: Inner Tracker y Endcap Timing Layer (CMSUPG) – PID2020-113705B-C33 (2021-2024).**

- **Participación en el experimento CMS del LHC: Pixel Upgrade para alta luminosidad (CMSRUN2B)** – FPA2017-85155-C4-2-R (2018-2020).
- **CMS RUN 2 y Upgrade de alta luminosidad (CMSRUN2)** – FPA2014-55295-C3-3-R (2015-2018).
- **Diseño y desarrollo de un sistema de protección contra transitorios basado en fuentes de corrientes con transistores GaN y supercondensadores integrados para el nuevo detector de píxeles de CMS – Fase II (GANCAP4CMS)** – REF: LMP239\_21 (2021-2023).
- **Desarrollo y diseño del HDI basado en el RD53A readout chip para el nuevo detector de píxeles de CMS – Fase II (HDI4CMSPIX)** – REF: LMP170 (2018-2020).
- **Advancement and Innovation for Detectors at Accelerators (AIDAINNOVA)** – REF: H2020-101004761 (2021-2025).
- **Advanced European Infrastructures for Detectors at Accelerators (AIDA2020)** – REF: H2020-INFRAIA-654168.
- **EUROpean Laboratories for Accelerator-Based Science (EUROLABS)** – HORIZONTE EUROPA – REF: 101057511 (2022-2026).

### *1.3. Estructura de la tesis*

La estructura de esta tesis se presenta de manera organizada y sistemática a lo largo de varios capítulos, cada uno de los cuales aborda aspectos específicos relacionados con el desarrollo y optimización del sistema de alimentación para el detector de píxeles del experimento CMS. Los capítulos se distribuyen de la siguiente manera:

1. Introducción
2. Futura Generación de Detectores de Física
3. Sistema de Alimentación Híbrido (Serie-Paralelo): Diseño Estático y Funcional
4. Inmunidad y Control de Transitorios en un Sistema de Alimentación Híbrido para Detectores de Píxeles Resistentes a la Radiación
5. Inmunidad y Control de Interferencias de Radiofrecuencia Conducida en un Sistema de Alimentación Híbrido
6. Diseño de PCB Flexibles de Alta Densidad (HDI) Eficientes e Inmunes a Transitorios
7. Conclusiones y Líneas Futuras

El **Capítulo 1** introduce el contexto general de la investigación y establece los objetivos principales de la tesis.

El **Capítulo 2** ofrece una introducción detallada a los detectores de física de partículas, explicando brevemente las características y funcionamiento tanto del Gran Colisionador de Hadrones (LHC) como del detector CMS. Este capítulo se centra en los aspectos clave de la actualización del detector de píxeles para el LHC de alta luminosidad, destacando los desafíos críticos asociados con el desarrollo del chip de lectura RD53 y la implementación del novedoso sistema de distribución de potencia serie-paralelo.

El **Capítulo 3** se dedica al diseño del sistema de alimentación híbrido desde una perspectiva estática y funcional. En este capítulo se explican y analizan en detalle la topología de alimentación adoptada, así como la electrónica necesaria, particularmente el regulador Shunt-LDO (SLDO). Este regulador lineal, integrado en el chip de lectura, permite operar el sistema con módulos conectados en serie y alimentados mediante una fuente de corriente. Se exploran exhaustivamente las distintas opciones de diseño y configuración, evaluando su eficiencia y fiabilidad, así como los modos de fallo, para alcanzar un diseño óptimo. Además, se investigan los efectos de la dosis total de radiación sobre la electrónica del regulador SLDO, proponiendo estrategias de mitigación a lo largo de la vida útil del detector.

El **Capítulo 4** se centra en el diseño de la etapa de alimentación del chip de lectura RD53, así como en el análisis y mitigación de los efectos transitorios que pueden generarse, tanto a nivel local (ASIC) como a nivel de sistema (módulos y grupos). Este estudio es de particular importancia, dado que es la primera vez que se implementa una topología de este tipo en un detector de partículas, lo que genera incertidumbres respecto a posibles problemas imprevistos que podrían afectar el rendimiento del detector. Se analiza cómo los distintos elementos de configuración del SLDO y los componentes de integración a nivel de sistema pueden influir en la estabilidad y fiabilidad del detector, para finalizar con un diseño robusto e inmune a transitorios.

En el **Capítulo 5** se lleva a cabo un estudio detallado sobre la susceptibilidad al ruido electromagnético del detector de píxeles, con el objetivo de establecer un nivel de inmunidad compatible con la electrónica de *front-end* (FEE) y definir una estrategia de integración de los módulos y grupos de potencia del detector. Este es el primer estudio de este tipo realizado desde las fases más iniciales de diseño del detector, incluso antes de que se dispusiera de un prototipo del chip de lectura RD53. La información obtenida ha permitido influir en la selección final del FEE y realizar modificaciones significativas en el diseño del detector durante su desarrollo, mejorando su inmunidad al ruido conducido.

El **Capítulo 6** aborda el diseño de las PCB flexibles de alta densidad (HDI), las cuales soportan los chips y sensores del detector de píxeles y actúan como interfaz con los sistemas externos, permitiendo la transmisión de energía y comunicación. Este capítulo se fundamenta en los resultados obtenidos en los capítulos anteriores para desarrollar, mejorar y optimizar el diseño desde el punto de vista de la disipación de potencia, la minimización de material, la mitigación de elementos parásitos y la integridad de la señal. El diseño de estos HDI enfrenta desafíos técnicos sin precedentes derivados del entorno hostil y exigente del HL-LHC, como mayores dosis de radiación, circuitos más complejos debido a la miniaturización de los chips, más líneas de comunicación de alta frecuencia debido a las mayores tasas de datos, y una mayor disipación de potencia, tanto del HDI como de los chips. Además, se presta especial atención al ruido electromagnético, dado que los módulos flotantes carecen de referencias de tierra comunes.

El **Capítulo 7** presenta las conclusiones derivadas del trabajo realizado en esta tesis y sugiere posibles líneas de investigación futura, que podrían surgir a partir de los resultados obtenidos.

Finalmente quiero destacar que este trabajo no solo aspira a representar un avance técnico en el campo de la física de partículas, sino que también busca contribuir de manera significativa a la mejora de las infraestructuras tecnológicas empleadas en experimentos de alta energía, con el propósito de apoyar y fortalecer futuras investigaciones científicas de gran relevancia.

## 1.4. Referencias

- [1-1] CMS Collaboration, “The CMS experiment at the CERN LHC. The Compact Muon Solenoid experiment”, JINST 3 S08004 (2008), <https://doi.org/10.1088/1748-0221/3/08/S08004>
- [1-2] ATLAS Collaboration, “The ATLAS Experiment at the CERN Large Hadron Collider”, JINST 3 S08003 (2008), <https://doi.org/10.1088/1748-0221/3/08/S08003>
- [1-3] Lyndon Evans and Philip Bryant, “LHC Machine”, JINST 3 (2008), <https://doi.org/10.1088/1748-0221/3/08/S08001>
- [1-4] CMS Collaboration, “Observation of a New Boson at a Mass of 125 GeV with the CMS Experiment at the LHC”, Physics Letters B716 (2012), pp. 30–61. <https://doi.org/10.1016/j.physletb.2012.08.021>
- [1-5] ATLAS Collaboration, “Observation of a new particle in the search for the Standard Model Higgs boson with the ATLAS detector at the LHC”,

Physics Letters B 716 (2012), pp. 1–29.  
<https://doi.org/10.1016/j.physletb.2012.08.020>

[1-6] G. Apollinari et al, “High-Luminosity Large Hadron Collider (HL-LHC)”, CERN Yellow Rep. Monogr. 4 (2017), CERN-2017-007-M  
<https://doi.org/10.23731/CYRM-2017-004>

[1-7] A. Cassese on behalf of the CMS Collaboration, “The CMS pixel detector for the High Luminosity LHC”, JINST 18 C01031 (2023), <https://doi.org/10.1088/1748-0221/18/01/C01031>



# *Capítulo 2:*

## *Futura generación de detectores de física*

---

El Gran Colisionador de Hadrones (LHC) es el acelerador de partículas más grande y poderoso del mundo, ubicado en el CERN, cerca de Ginebra, Suiza. Este anillo subterráneo de 27 kilómetros de circunferencia acelera partículas, principalmente protones, a velocidades cercanas a la de la luz, haciéndolas colisionar en puntos específicos para recrear las condiciones que existieron justo después del Big Bang. Como muestra la Fig.2.1, el LHC alberga cuatro experimentos principales, cada uno con objetivos y tecnologías específicas. El ATLAS y el CMS son los dos detectores multipropósito más grandes y compiten en la búsqueda de nuevas partículas y fenómenos, habiendo sido fundamentales en el descubrimiento del Bosón de Higgs en 2012. ALICE [2-1]. se centra en estudiar el plasma de quarks y gluones, una forma de materia que existió en el universo primitivo, mientras que LHCb [2-2]. está diseñado para investigar la asimetría entre materia y antimateria a través de la observación de la desintegración de partículas que contienen quarks b. Cada uno de estos experimentos contribuye de manera única a expandir nuestro conocimiento sobre las leyes fundamentales de la física y la composición del universo.

## The Large Hadron Collider (LHC)

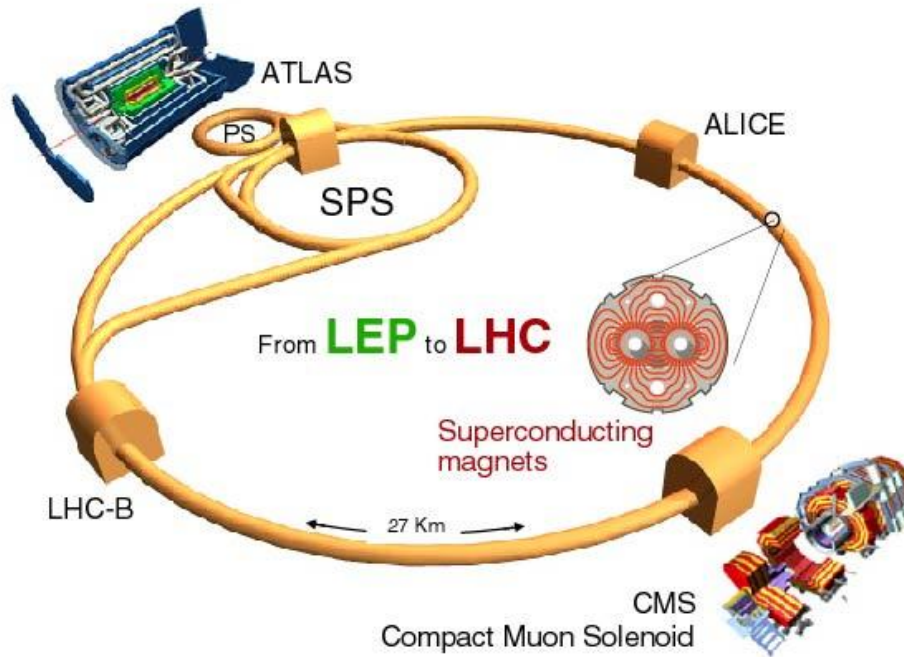


Fig.2.1. Gran Colisionador de Hadrones (LHC)

### 2.1. Detector CMS

El *Compact Muon Solenoid* (CMS) es uno de los 4 experimentos instalados en el Gran Colisionador de Hadrones (LHC) del CERN. Este detector de gran tamaño y alta precisión está diseñado para explorar una amplia gama de fenómenos en la física de partículas.

En su núcleo, el CMS cuenta con un imán solenoidal superconductor que genera un campo magnético potente, permitiendo la detección precisa de partículas cargadas. Con una longitud de 21.6 metros y un diámetro de 14.6 metros, el CMS pesa aproximadamente 12,500 toneladas y está construido por varios sub-detectores, cada uno de los cuales está diseñado para cumplir funciones específicas en la detección y análisis de partículas subatómicas. El experimento CMS está dividido en varias partes, tal como se observa en la Fig.2.2.

El detector está organizado en diferentes sub-detectores de la siguiente manera, siguiendo la trayectoria desde el punto de interacción hasta la periferia:

- **Detector de Trazas (Tracker) - Detector de  $\mu$ -tiras y Píxeles:** El *tracker* está diseñado para medir con precisión el momento de las partículas cargadas. Está conformado por un detector de partículas cargadas altamente segmentado y en capas, que involucra millones de canales. Se

utilizan sensores de píxeles y tiras de silicio. La presencia o ausencia de una partícula cargada se registra en cada canal, lo que permite reconstruir las trayectorias. El radio de curvatura de las trayectorias en el campo magnético revela el momento de la partícula.

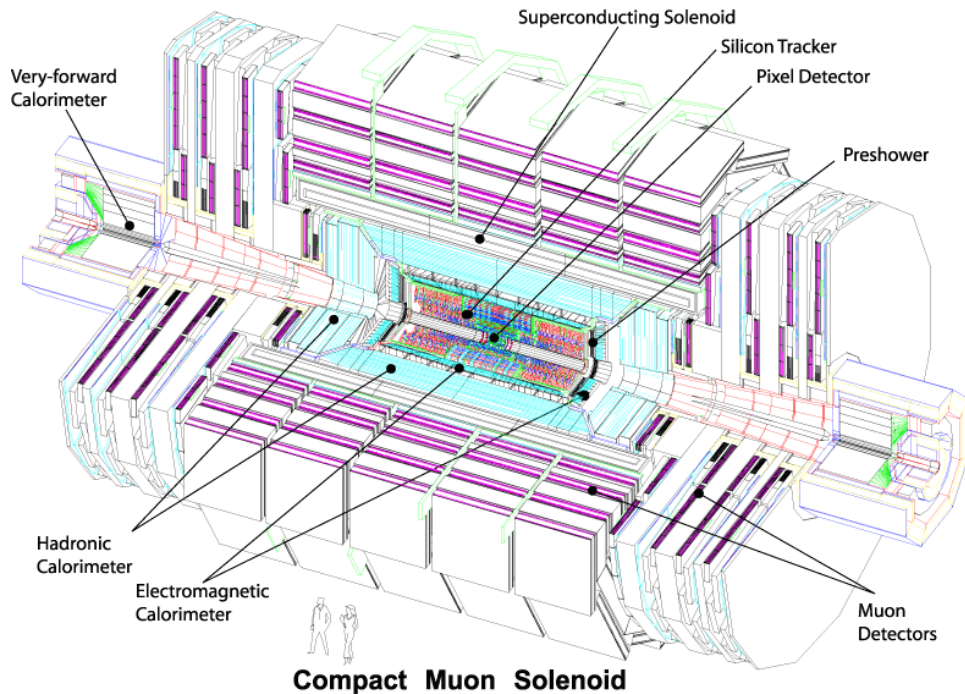
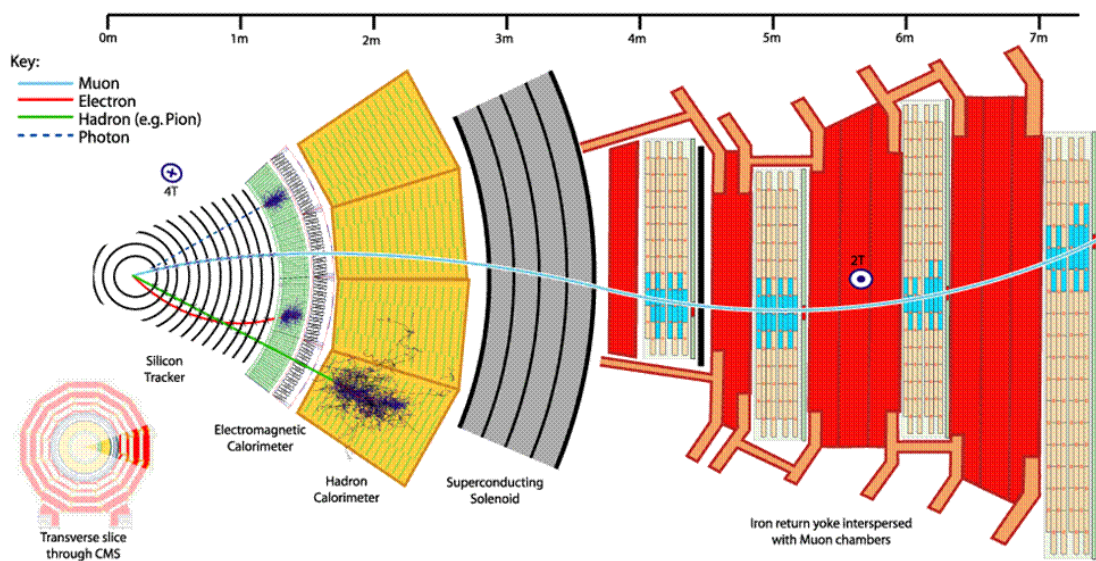


Fig.2.2. Experimento CMS (Compact Muon Solenoid)

- **Calorímetros:** Los electrones, protones y hadrones son detenidos por los calorímetros, lo que permite medir su energía. La primera capa del calorímetro, conocida como calorímetro electromagnético (ECAL), está diseñada para medir con alta precisión las energías de los electrones y fotones, ya que estas partículas interactúan a través de la fuerza electromagnética. Las partículas que interactúan mediante la fuerza fuerte, como los hadrones, depositan la mayor parte de su energía en la siguiente capa, el calorímetro hadrónico (HCAL). Aunque los neutrinos escapan a la detección directa, su presencia puede inferirse a partir de un aparente desequilibrio energético tras la colisión.
  - **Calorímetro Electromagnético (ECAL):** El calorímetro electromagnético mide la energía de fotones y electrones. Casi ningún fotón ni electrón que se origina en el punto de interacción protón-protón pasa más allá del ECAL.
  - **Calorímetro Hadrónico (HCAL):** El calorímetro hadrónico mide la energía de partículas como protones, piones, neutrones y kaones. Casi ningún hadrón generado en interacciones protón-protón pasa más allá del HCAL.

- **Solenoid Superconductor**: Se ha elegido un largo solenoide superconductor de 13m de longitud y un diámetro interno de 6m para crear un campo magnético uniforme de 4 Teslas en la dirección del eje del haz.
- **Detector de Muones**: Las únicas partículas generadas en las interacciones protón-protón que alcanzan el detector de muones son los muones y los neutrinos. Los muones se detectan directamente, pero los neutrinos escapan sin ser detectados. La presencia de un neutrino se infiere por la energía transversal faltante.

En la Fig.2.4 se muestra un corte transversal del experimento CMS con todos los sub-detectores, donde se representan varias trayectorias de distintos tipos de partículas a modo de ejemplo.



*Fig.2.3. Vista transversal del experimento CMS mostrando ejemplos de trayectorias de algunas partículas*

CMS está diseñado para estudiar colisiones protón-protón y plomo-plomo a energías extremadamente altas, alcanzando hasta 14 TeV para colisiones protón-protón y 5.5 TeV por nucleón para colisiones de plomo. Entre los principales objetivos científicos del CMS se encuentra la investigación del Bosón de Higgs, cuya existencia y propiedades fueron confirmadas en 2012, proporcionando una comprensión más profunda del mecanismo que otorga masa a las partículas elementales. Además, CMS se dedica a explorar nuevas físicas más allá del modelo estándar, como la supersimetría, que podría explicar la materia oscura, y la búsqueda de partículas exóticas que podrían revelar dimensiones adicionales del espacio. Otro objetivo fundamental es la medición precisa de las propiedades de partículas conocidas, como quarks, leptones y bosones gauge, para verificar y extender las predicciones del modelo estándar. CMS también investiga el plasma de quarks y gluones, un estado de la materia que existió microsegundos después del Big Bang, mediante colisiones de iones

pesados. Finalmente, el experimento estudia las interacciones fuertes y electrodébiles en condiciones de alta energía, proporcionando datos vitales para entender mejor las fuerzas fundamentales de la naturaleza. Estos objetivos posicionan a CMS como una herramienta esencial para avanzar en nuestro conocimiento del universo a nivel subatómico.

## 2.2. *HL-LHC Colisionador de Hadrones de Alta luminosidad*

El *High Luminosity Large Hadron Collider* (HL-LHC) es una actualización significativa del Gran Colisionador de Hadrones (LHC), diseñada para incrementar la luminosidad instantánea hasta  $5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ , con la posibilidad de alcanzar  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  en el escenario de máximo rendimiento. Esta actualización permitirá a los experimentos ATLAS y CMS recolectar luminosidades integradas de aproximadamente  $3000 \text{ fb}^{-1}$  durante la vida útil proyectada de diez años, y potencialmente hasta  $4000 \text{ fb}^{-1}$ . La actualización del HL-LHC incluye reemplazos y mejoras tecnológicas necesarias, como la sustitución de los cuadrupolos por versiones más resistentes a la radiación, basadas en la tecnología  $\text{Nb}_3\text{Sn}$ , que proporcionarán un campo magnético más fuerte y una mayor apertura.

Además, se instalarán cavidades superconductoras en las regiones de interacción para alinear los haces antes de las colisiones, permitiendo que los paquetes de partículas colisionen frontalmente. La actualización también implica la instalación de nuevos imanes correctores y dipolos de separación, así como la sustitución de los absorbentes secundarios (TAS) para manejar el incremento de la luminosidad. Con estas mejoras, se espera que el número de eventos de superposición (*pile-up*) alcance un promedio de 140 por cruce de haz en una luminosidad de  $5.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ , incrementándose a 200 en el escenario de máxima luminosidad.

Las condiciones de alta radiación resultantes de esta actualización son muy elevadas, con una fluencia de neutrones equivalente a 1 MeV estimada en  $2.3 \times 10^{16} \text{ neq/cm}^2$  y una dosis total de ionización (*TID*) de 12 MGy (1.2 Grad) en el centro del experimento de CMS, donde se instalará el sub-detector de píxeles. Para hacer frente a estos desafíos, CMS y otros experimentos del LHC también están implementando programas de actualización para mantener la capacidad de operación de ellos y aprovechar al máximo las capacidades del HL-LHC.

Desde una perspectiva científica, la actualización del HL-LHC ampliará enormemente el potencial de física del LHC, permitiendo estudios más detallados de procesos raros y limitados estadísticamente tanto del modelo

estándar (*SM*) como de modelos más allá del estándar (*BSM*). La mayor luminosidad también abrirá nuevas oportunidades para estudiar la dispersión débil de bosones vectoriales, procesos estrechamente ligados a la ruptura de la simetría electrodébil y al rol del bosón de Higgs. Además, aumentará la capacidad de descubrimiento para muchas búsquedas de física *BSM*, como la supersimetría, dimensiones adicionales, y bosones gauge extra, permitiendo explorar canales con secciones transversales de producción bajas o pequeñas fuerzas de acoplamiento. La actualización ha sufrido diversos retrasos desde su planificación inicial, pero se espera que su instalación comience a partir de 2026 durante la próxima parada larga del LHC que durará hasta 2029.

## 2.3. Actualización de CMS – Fase 2

La actualización de Fase 2 del experimento CMS en el Gran Colisionador de Hadrones (LHC) se ha diseñado para mantener y mejorar la capacidad de CMS frente a las nuevas demandas del *High Luminosity LHC* (HL-LHC). Esta actualización es esencial para manejar el aumento significativo en la luminosidad y la radiación, asegurando que CMS pueda continuar realizando descubrimientos científicos de vanguardia en física de partículas. La actualización se centra en varias áreas clave del detector:

- El detector de trazas de CMS, que incluye el *Inner Tracker* y el *Outer Tracker*, será completamente reemplazado. El nuevo *Inner Tracker* estará compuesto por módulos de píxeles de silicio que ofrecen mayor granularidad y resistencia a la radiación, utilizando sensores más delgados y chips de tecnología avanzada, como el RD53. El *Outer Tracker* implementará módulos pT, que mejoran la resolución del momento transversal y permiten la reducción local de datos en la electrónica de *front-end*, esencial para el nuevo sistema de disparo a nivel 1 (L1).
- El sistema de disparo L1 (*L1 Trigger*) se actualizará para manejar mayores tasas de eventos y mejorar la discriminación de eventos interesantes en condiciones de alta luminosidad. El CMS aumentará la frecuencia del “L1 Trigger” hasta 750 kHz, con una latencia de 12.5  $\mu$ s. La incorporación de información en el disparo L1 permitirá una mejor resolución del momento transversal de diversos objetos y ayudará a mitigar el efecto de superposición, comúnmente conocido como *pileup* en inglés. Este efecto se produce cuando se registran múltiples interacciones que se superponen, y que pueden ocultar las colisiones que vale la pena estudiar.
- El calorímetro electromagnético (ECAL) y el calorímetro hadrónico (HCAL) recibirán mejoras para cubrir los requisitos de operación del HL-LHC. ECAL se actualizará con nuevos módulos electrónicos para manejar la mayor latencia y tasa de datos, mientras que el HCAL integrará nuevos

fotomultiplicadores de silicio (SiPMs) para mejorar la precisión y eficiencia de detección. Además, los calorímetros de extremos (*Endcup calorimeters*) se reemplazarán por un nuevo calorímetro híbrido, electromagnético y hadrónico, basado en sensores de silicio y plástico centellador.

- El sistema de muones del CMS, esencial para la identificación precisa de estas partículas, también se actualizará. Se introducirán nuevas cámaras de gas de electrones multiplicadores (GEM) y cámaras de placa resistiva mejoradas (RPC) en la región delantera, aumentando la redundancia y mejorando el rendimiento del disparo y la reconstrucción. Además, se actualizará la electrónica de lectura de las cámaras actuales, para adaptarse a los requerimientos del HL-LHC de mayores dosis de radiación y tasas de colisiones mucho más elevadas.

Dos de los principales retos a los que se va a enfrentar los futuros diseño de los detectores son el alto nivel de radiación del HL-LHC y la gran cantidad de calor generado por los nuevos componentes electrónicos de estos detectores. En el primer caso, será necesario implementar mejoras significativas en la resistencia a la radiación de todos los componentes del detector. Mientras que en el segundo será necesario desarrollar complejos sistemas de refrigeración basados en CO<sub>2</sub>. Este sistema proporcionará una refrigeración eficiente y uniforme a todas las partes del detector.

## 2.4. Detector de píxeles de CMS – Fase 2

La actualización del *Inner Tracker* en la Fase 2 del experimento CMS es una respuesta necesaria a los desafíos impuestos por el aumento de la luminosidad y los niveles de radiación del HL-LHC. Esta actualización es fundamental para garantizar que CMS continúe operando con la misma o mayor eficiencia en el entorno intensificado del HL-LHC. La necesidad de esta actualización surge principalmente debido a la degradación de los componentes del detector actual bajo la exposición prolongada a altos niveles de radiación, así como la capacidad limitada para manejar la mayor densidad de eventos. A medida que el LHC aumenta su luminosidad, se espera que la cantidad de datos y la complejidad de los eventos colisionados también aumenten, lo que hace imperativo que el *Inner Tracker* se actualice para mantener el rendimiento y la precisión del CMS.

Durante la operación del HL-LHC, el *Inner Tracker* debe lidiar con una dosis de radiación ionizante de hasta 1.2 Grad y una fluencia de hadrones de hasta  $2.3 \times 10^{16}$  neq/cm<sup>2</sup> para 3000 fb<sup>-1</sup>, un *pileup* de 140 (o incluso 200) colisiones por cruce de haz, y tasas de impacto que se acercan a los 3 GHz/cm<sup>2</sup> en las capas internas (para un *pileup* de 200). El diseño del *Inner Tracker* ha tenido en cuenta los

siguientes requisitos, junto con las consideraciones generales ya expuestas en las secciones anteriores.

- **Paso más estrecho que el detector de píxeles actual:** El detector de píxeles de la Fase 2 contará con un tamaño de píxel de  $25 \times 100 \mu\text{m}^2$  (con el lado largo apuntando a lo largo de  $z$  en el barril (TBPX) y a lo largo de  $r$  en los discos (TEPX y TFPX) o  $50 \times 50 \mu\text{m}^2$ , para una mejor resolución de parámetros de impacto transversal y longitudinal.
- **Mayor granularidad:** Esto limitará la ocupación bajo condiciones de alto *pileup* y mejorará la separación de trayectorias de grupos de partículas (*jets*).
- **Capacidad para soportar altas tasas de impacto (*hitrate*) y ambientes de radiación:** Esto se deberá hacer con ineficiencias despreciables.
- **Mayor cobertura geométrica:** El índice de pseudo-rapidez  $\eta$ , que mide la cobertura del ángulo de medición referido al plano transversal al haz (ver Fig.2.5), aumenta de 2.5 a 4. Esto proporcionará una gran aceptación hacia adelante y mitigará el *pileup*.
- **Instalación y desmontaje sencillas:** Esto permitirá un posible reemplazo de partes ineficientes.
- Capacidad para contribuir a la **medición de luminosidad instantánea** en tiempo real.

El diseño del *Inner Tracker* Fase 2 incluye sensores de silicio delgados y planos de tipo n-in-p, con un grosor de 100 a 150  $\mu\text{m}$ , segmentados en tamaños de píxel de  $25 \times 100 \mu\text{m}^2$  (con el lado largo apuntando a lo largo del eje  $z$  en el barril y a lo largo del eje  $r$  en los discos) o  $50 \times 50 \mu\text{m}^2$ . Estos sensores están destinados a proporcionar una excelente resolución del detector, que es relativamente estable frente al daño por radiación. La reducción del área del píxel en un factor de seis en comparación con los detectores de píxeles de Fase 0 y Fase 1 permitirá lograr una baja ocupación y mejorar la separación y discriminación de trayectorias en entornos densos como agrupaciones de partículas de alta energía (*high  $p_T$  jets*). Además, se está considerando el uso de sensores de silicio 3D, que ofrecen una mayor resistencia a la radiación debido a la menor distancia de recolección de carga. Sin embargo, dado que el proceso de producción de estos sensores es más costoso y no adecuado para grandes volúmenes, su uso se limitará a las regiones de mayor fluencia de partículas.

Para el chip de lectura, el pequeño tamaño de celda previsto se puede lograr con el uso de tecnología CMOS de 65 nm y una arquitectura donde un grupo de canales (denominado región de píxeles) comparte la electrónica digital para el almacenamiento intermedio, control y formateo de datos. Este chip de lectura de píxeles (Conocido como PROC, *Pixel Readout Chip*, o de forma simplificada, ROC) está siendo desarrollado dentro de RD53 [2-3], una colaboración conjunta de ATLAS-CMS y se explicará con detalle en secciones posteriores.

### 2.4.1. Diseño y Disposición del Inner Tracker - Fase II

El futuro detector de píxeles consta de varios cilindros o barriles concéntricos (TBPX – *Tracker Barrel Pixel detector*) y discos (TFPX – *Tracker Forward Pixel detector* y TEPX – *Tracker End-cap Pixel detector*) distribuidos a lo largo del punto de interacción de las partículas en CMS sobre los que se disponen sensores con píxeles ( $>70.000$  píxeles por sensor) de dimensiones de  $50\mu\text{m}\times 50\mu\text{m}$  y  $50\mu\text{m}\times 100\mu\text{m}$ . La Fig.2.4 muestra un cuarto del sub-detector de píxeles y el esquema de dos de sus módulos. El detector comprende de cuatro capas en la zona central (TBPX), ocho discos dobles pequeños por lado (TFPX) y cuatro discos dobles grandes por lado (TEPX).

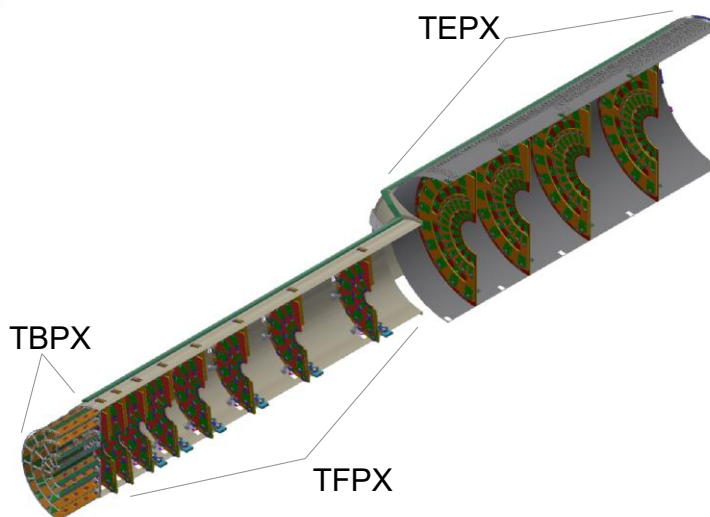


Fig.2.4. Vista en perspectiva de un cuarto del Inner Tracker, mostrando grupos TBPX, TFPX y TEPX dentro de las estructuras de soporte. Los módulos de píxeles se muestran como elementos naranjas en TBPX y como elementos verdes en TFPX y TEPX.

En cada uno de los cilindros y discos se instalan las unidades básicas denominadas módulos o *Front End Electronics (FEE)*.

En el TBPX, los módulos se organizan en “grupos”. En cada capa, los grupos vecinos se montan escalonados en radio, de modo que se logra una superposición  $r-\phi$  entre ellos, tal como se muestra en la Fig.2.5. Los módulos en un grupo no se superponen en  $z$ . Se evita una posible fisura en  $\eta = 0$  montando un número impar de módulos a lo largo de  $z$  y dividiendo la mecánica del barril en  $z$  en mitades ligeramente asimétricas.

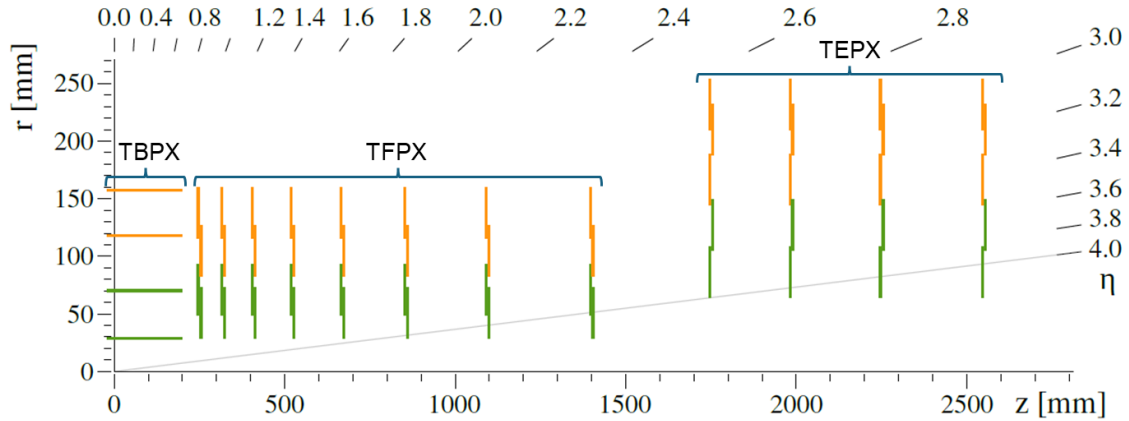


Fig.2.5. Esquema de un cuarto del diseño del detector de píxeles en la vista r-z. Las líneas verdes corresponden a módulos hechos con dos chips de lectura y las líneas naranjas representan módulos más grandes con cuatro chips.

En el TFPX y el TEPX, los módulos se organizan en anillos concéntricos situados sobre estructuras en forma de discos dobles. Cada disco doble está físicamente compuesto por dos discos, lo que facilita montar módulos en cuatro planos, con superposiciones en r así como en r- $\phi$ . Cada disco está dividido en dos mitades, y estas estructuras en forma de D se denominan *dees*. El TEPX proporcionará la capacidad requerida de medición de luminosidad, mediante una implementación adecuada de la arquitectura de lectura. En total, el detector de píxeles tendrá una superficie activa de aproximadamente 4.9 m<sup>2</sup>.

Un detector tan compacto y complejo, aunque grande en términos de superficie activa, plantea desafíos para la implementación de los servicios. Se necesita alimentar un total de aproximadamente 50 kW en el volumen activo y se ha identificado una topología de alimentación en serie para minimizar el material de los cables que transportan la corriente [2-4]. Los aproximadamente 1 W/cm<sup>2</sup> de potencia disipada por los ROCs serán refrigerados por una red de tuberías de baja masa alimentadas por el sistema de enfriamiento de CO<sub>2</sub>. La transferencia de datos bidireccional se implementa utilizando enlaces eléctricos de baja masa para conectar el *front-end* con los Transceptores de Gigabit de Baja Potencia (*LpGBTs – Low Power GigaBit Transciever*). Estos son los mismos que se usarán en el *Outer Tracker*, y van ubicados en el cilindro de servicio del *Inner Tracker*. Desde los *LpGBTs* se realiza la conexión mediante fibras ópticas con la electrónica de back-end en la caverna de servicio. Los servicios de potencia, refrigeración y transmisión de datos se incorporan en un cilindro envolvente que rodea al detector de píxeles. El detector está diseñado para ser instalable después de que el *Outer Tracker* y el tubo del haz ya estén colocados en su lugar, permitiendo así la posibilidad de reemplazar partes degradadas durante una parada técnica de larga duración.

## 2.4.2. Módulos

El módulo del detector de píxeles, que comprende un sensor de silicio, varios chips de lectura (ROCs), un circuito flexible de alta densidad y un soporte mecánico, constituye la unidad básica del Inner Tracker.

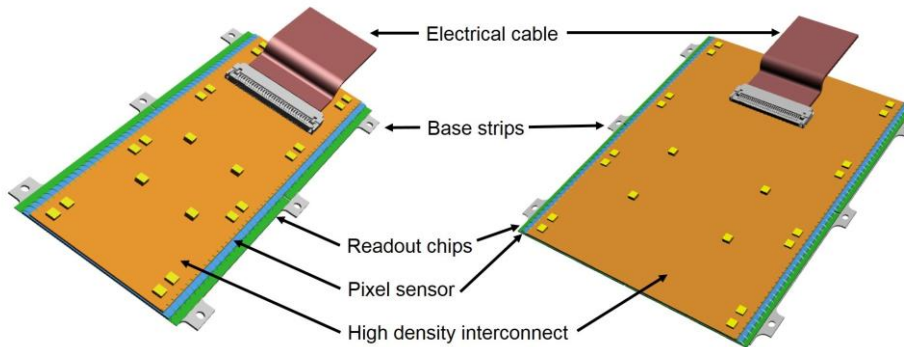


Fig.2.6. Esquema de los módulos (2x1) izquierda y (2x2) derecha. Dimensiones aproximadas  $1.8 \times 4.4 \text{ cm}^2$  y  $3.7 \times 4.4 \text{ cm}^2$  para los módulos 1x2 y 2x2.

Los sensores están unidos mediante *bump-bonding* a los chips de lectura. Un circuito flexible delgado y de alta densidad, también conocido como HDI (*High Density Interconnect*), está pegado al sensor y unido por micro cables (*wirebonds*) a los chips. Este circuito envía los datos, proporciona señales de reloj, disparo y control, realiza la distribución de energía para los ROCs, y alberga todos los demás componentes pasivos y activos. El concepto general del módulo es similar al de los detectores de píxeles de Fase 0 y Fase 1. En la Fig.2.7 se muestra un prototipo totalmente funcional de un módulo con sensores de píxeles 3D y chip de lectura RD53A diseñado durante esta tesis doctoral.

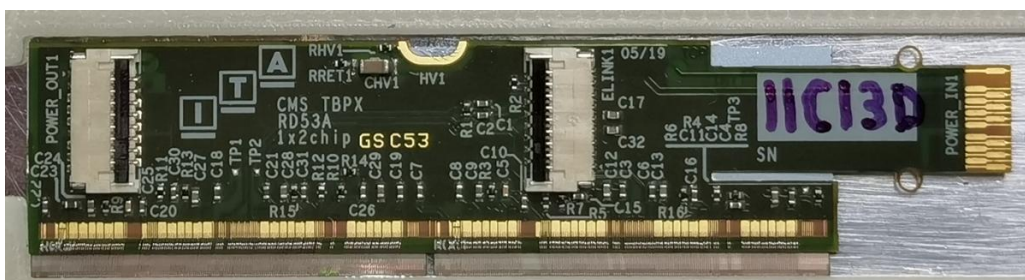


Fig.2.7. Prototipo HDI TBPX 1x2 con dos chips RD53A y un sensor 3D doble

Cables eléctricos de baja masa conectan los módulos de píxeles a los sistemas globales de lectura, control y alimentación. El calor generado en el módulo se elimina a través de una capa de espuma de carbono térmicamente conductora hacia las tuberías de enfriamiento de  $\text{CO}_2$ , manteniendo los chips de píxeles y los sensores a una temperatura de operación de aproximadamente  $-20^\circ\text{C}$ .

Los módulos tienen tiras de soporte, denominadas tiras base (*base strips*), pegadas al lado posterior de los PROCs. Las tiras base facilitan el montaje de los módulos en las estructuras de soporte mecánico y aseguran una eficiente eliminación del calor. El material para las tiras base debe ser aislante eléctrico y tener una alta conductividad térmica. Se está valorando utilizar nitruro de aluminio en lugar del nitruro de silicio que se utilizó en fases anteriores [2-5], para mejorar la disipación de calor gracias a su elevada conductividad térmica. Los módulos se representan como elementos naranjas y verdes en la Fig.2.4.

Tabla 2.1. Número total de módulos, chips y píxeles de lectura.

	TBPX	TFPX	TEPX	TOTAL
Modules (type)	360 (1 x 2)	832 (1 x 2)	768 (1 x 2)	1960 (1 x 2)
	504 (2 x 2)	896 (2 x 2)	992 (2 x 2)	2392 (2 x 2)
Sensors	864	1728	1760	4352
Chips	2736	5248	5504	13488
Pixels (x10 <sup>6</sup> )	395	757	794	1947
Silicon area (m <sup>2</sup> )	0.99	1.89	1.99	4.87

Todo el diseño del detector de píxeles de Fase 2 se basa en un PROC cuyas dimensiones activas son 16.4 x 22.0 mm<sup>2</sup>. Solo se prevén dos tipos de módulos, que difieren exclusivamente en la superficie del sensor y el número de chips de lectura. Se prevén módulos con dos chips y cuatro chips, dispuestos como dos por dos, denominados módulos 1x2 y 2x2, respectivamente. El número total de módulos, píxeles y chips se detallan en la tabla anterior.

### 2.4.3. Sensores

El área del píxel se ha reducido por un factor de seis en comparación con el detector de píxeles de Fase 1 de CMS. Actualmente, se consideran dos tamaños de píxeles: 25 x 100 μm<sup>2</sup> y 50 x 50 μm<sup>2</sup>, siendo la variante rectangular la opción preferida.

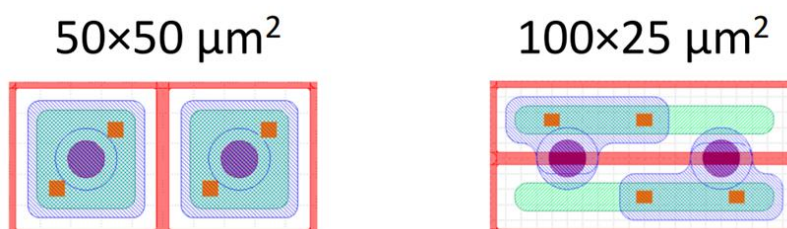


Fig.2.8. Par de píxeles de un sensor para tamaño 50x50 μm<sup>2</sup> y 100x25 μm<sup>2</sup>

El diseño de celdas de píxeles pequeños es desafiante y necesita ser optimizado teniendo en cuenta las reglas de diseño y limitaciones de los fabricantes de sensores de silicio. CMS está evaluando varias opciones de diseño de sensores, optimizando puntos como los esquemas de polarización de píxeles para verificar sensores antes del *bump-bonding*, la disposición de los píxeles, y las medidas para mitigar la concentración de campos eléctricos en los bordes de los implantes de los píxeles. Se plantea usar dos tipos de sensores de silicio, los planares y los de tipo 3D.

Debido al entorno extremo del HL-LHC, se requieren sensores de píxeles optimizados para estas condiciones. La opción preferente es usar sensores de silicio planares en las capas externas (capas 2-4) y anillos (anillos 2-4 en TFPX y todos los anillos en TEPX) del *Inner Tracker*. Además, se está evaluando la posibilidad de usarlos también en la primera capa de TBPX y el primer anillo de TFPX. Estos sensores estarán expuestos a una fluencia de  $2.3 \times 10^{16}$  neq/cm<sup>2</sup> en la capa más interna para 3000 fb<sup>-1</sup>, con una dosis total de ionización (TID) de aproximadamente 12 MGy (1.2 Grad). En tales condiciones, se prefieren sensores delgados sobre los gruesos, ya que la ventaja inicial de una señal de más amplitud en sensores más gruesos desaparece cuando hay un atrapamiento severo a altas fluencias. Además, los sensores más delgados requieren voltajes operativos más bajos y producen menos corrientes de fuga. El grosor activo de los sensores de píxeles planar será de 100-150  $\mu\text{m}$  (para comparación, el grosor activo de los sensores de píxeles de Fase 0 y Fase 1 es entre 270 y 285  $\mu\text{m}$ ). Las pruebas con chips de lectura resistentes a la radiación indicarán si los sensores de píxeles planar pueden soportar los niveles de radiación más altos o si será necesario un intercambio de la capa interna.

Por otra parte, gracias a los recientes avances, los sensores 3D han surgido como una opción viable para la región más interna del *Inner Tracker*, donde la resistencia a la radiación es de particular importancia [2-6]. En los sensores 3D, los electrodos penetran en el material, formando columnas estrechas, tal como se muestra en la Fig.2.9.

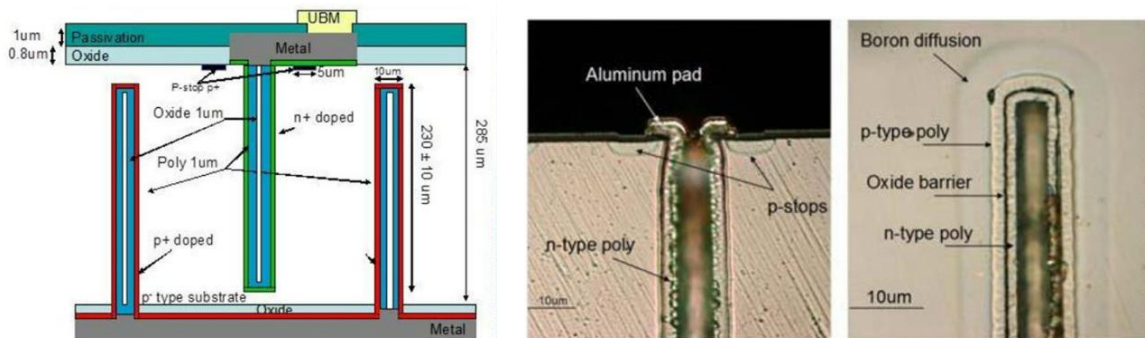


Fig.2.9. Esquema de un sensor 3D de dos caras fabricado en el IMB-CNM (izquierda) y micro sección de una columna 3D (derecha), a la izquierda una columna de tipo n y a la derecha una columna de tipo p. [2-6][2-7]

La distancia entre los electrodos se desacopla del grosor del sensor, lo que permite que los sensores más gruesos generen una señal más grande manteniendo voltajes de depleción bajos y una recolección de carga eficiente. Específicamente, el impacto del atrapamiento de portadores de carga, un factor limitante para los sensores planares a altas frecuencias, se reduce. Por lo tanto, los sensores 3D pueden facilitar una mayor resistencia a la radiación que los sensores de píxeles planar convencionales en términos de eficiencia de recolección de carga. Además, el menor voltaje operativo reduce el riesgo de chispas en los bordes y disminuye el consumo de energía, haciéndolos menos propensos a problemas de fuga térmica. Sin embargo, la fabricación es más compleja, por lo que los sensores 3D se consideran una opción solo para la primera capa de TBPX y el anillo más interno de TFPX. CMS está evaluando la resistencia a la radiación, el rendimiento y el coste de los sensores con tamaños de píxel pequeños ( $25 \times 100 \mu\text{m}^2$  o  $50 \times 50 \mu\text{m}^2$ ), utilizando presentaciones conjuntas de I+D de ATLAS y CMS en FBK (Fundación Bruno Kessler) y IMB-CNM (Instituto de Microelectrónica de Barcelona, CSIC).

#### 2.4.4. Front end electronics

El chip de lectura de píxeles resistente a la radiación, diseñado a medida, es el componente crítico del sistema de lectura del *Inner Tracker*. El diagrama de bloques del chip se muestra en la Fig.2.10.

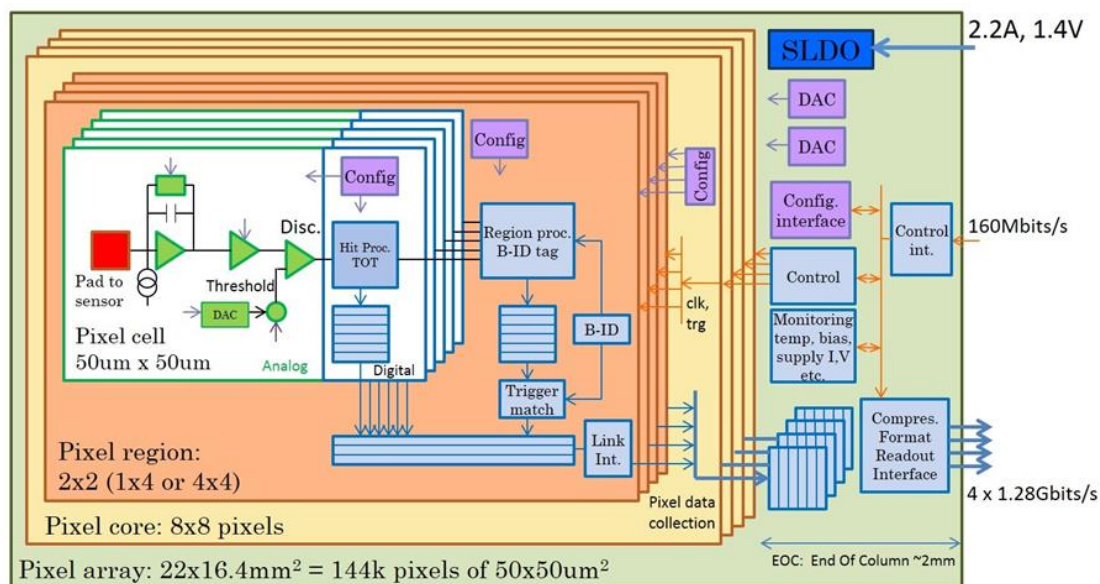


Fig.2.10. Arquitectura de chip de píxeles con front-end analógicos de bajo ruido por píxel con una digitalización de tiempo sobre umbral (ToT) de 4 bits y una organización de  $2 \times 2$  píxeles de la lógica y el almacenamiento intermedio de píxeles.

La carga recogida del sensor de píxeles se amplifica, acondiciona y digitaliza con una resolución de 4 bits a 40 MHz, utilizando el método de medida del Tiempo sobre Umbral (*ToT – Time Over Threshold*). Con esta técnica, se digitaliza el tiempo durante el cual el pulso analógico supera un cierto umbral definido y se registra su valor, que dependerá de la carga depositada. Los impactos se almacenan durante la latencia del disparo de 12.5  $\mu$ s agrupados dentro de grupos o regiones de píxeles (por ejemplo, 2x2 o 1x4, ver Fig.2.16).

Los datos de eventos disparados se recogen de la matriz de píxeles, se les aplica la compresión y el formateo de adecuados, y se envían a través de un número configurable (de 1 a 4) de enlaces eléctricos diferenciales (*E-links*) a 1.28 Gbits/s. Cada módulo de conversión óptica del detector de píxeles puede combinar los datos de hasta siete *E-links* en enlaces ópticos de 10 Gbits/s para su transmisión al sistema de adquisición de datos (DAQ) fuera del detector. Para las capas externas de píxeles con tasas de impacto reducidas, los datos de eventos de todos los chips de un módulo se combinan en un solo *E-link* para reducir la cantidad de cableado. La estructura de la conexión de módulos chip-sensor a través de *E-links* con módulos LpGBT se muestra en la Fig.2.11.

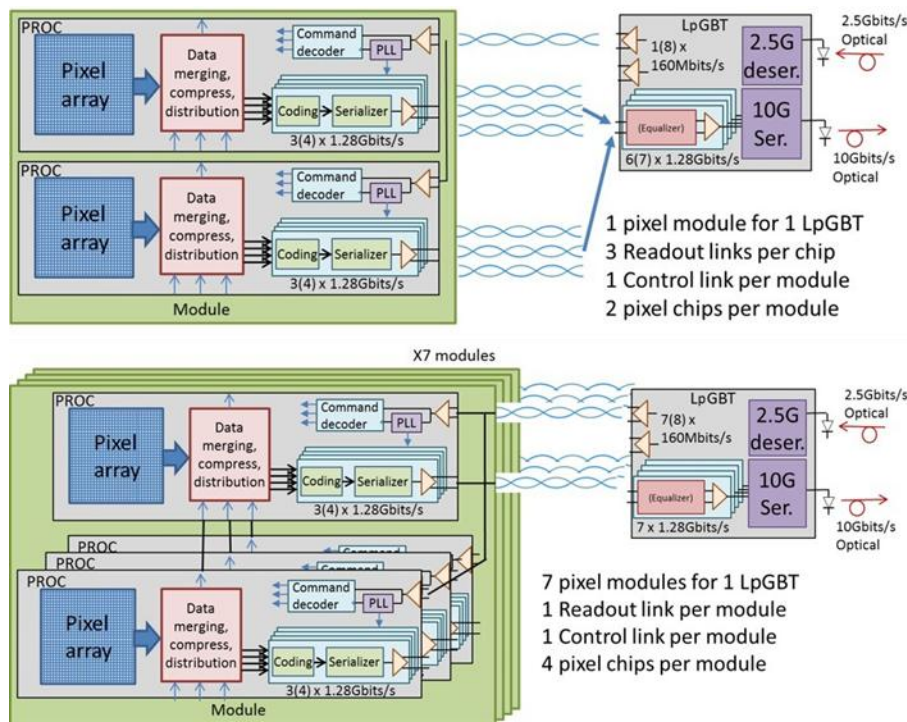


Fig.2.11. Lectura de módulos de píxeles a través de enlaces eléctricos y módulos de conversión óptica

Los relojes, disparos, comandos en tiempo real y datos de configuración son recibidos por los LpGBTs en los módulos de conversión óptica a través de enlaces ópticos descendentes de 2.5 Gbits/s y enviados a los chips a través de un *E-link* de 160Mbits/s por módulo. Los enlaces ópticos de 2.5 Gbits/s y 10 Gbits/s hacia/desde el *Inner Tracker* estarán conectados al sistema DAQ de

CMS, utilizando un módulo de interfaz de DAQ. El número de *e-links* y fibras ópticas (optical links) categorizadas por subdetector, se resume en la Tabla 2.2.

La inyección de pulsos de calibración está disponible para todos los píxeles (individuales y multipíxel) con un esquema de inyección de doble pulso extendido que puede inyectar una secuencia de dos pulsos de calibración diferentes con niveles y tiempos programables.

Tabla 2.2. Resumen del número de enlaces E, enlaces ópticos y cadenas de alimentación en serie, junto con la potencia frontal consumida en dichas cadenas, por subdetector Inner Tracker y en total.

	TBPX	TFPX	TEPX	TOTAL
E-links (readout)	1656	3264	1760	6680
E-links (control)	864	1728	1760	4352
Optical links	332	640	288	1260
Power chains	96	256	224	576
FE Power (kW)	8	16	16	40

Se han incorporado extensas funciones de monitorización en el chip a través de la incorporación de un ADC de 12 bits, ya que no se montará ninguna otra electrónica activa en los módulos de píxeles. La temperatura del chip se monitorizará en varios puntos del circuito integrado, cubriendo tanto la matriz de píxeles como el extremo de la columna. En particular, se integran sensores de temperatura en el regulador de potencia SLDO, ya que este tiene la mayor densidad de disipación de potencia, que además puede variar significativamente dependiendo del modo de operación del chip. Se pueden medir todos los voltajes de suministro de energía (antes y después del regulador de potencia) y las corrientes. Además, también se pueden monitorizar un gran número de parámetros de operación analógicos: corrientes de polarización para los *front-end* analógicos, referencias de tensión (*band-gaps* [2-8]), voltajes de pulsos de calibración, voltaje de control del PLL, etc. También se incluyen características dedicadas para monitorizar la degradación por radiación tanto a nivel de transistor único como a nivel digital (osciladores de anillo).

La elevada tasa de colisiones (3 GHz/cm<sup>2</sup>) y los altos niveles de radiación (100 Mrad/año) para la capa interna del barril imponen severas restricciones en el chip de lectura y el sistema de lectura asociado. El uso de una tecnología CMOS de 65 nm de alta densidad está dictado por el tamaño pequeño de los píxeles, las altas tasas de impactos y el almacenamiento de datos requerido durante la latencia del disparo. Se ha establecido como objetivo mínimo realista hacer que tal chip de píxeles sea tolerante a la radiación hasta una dosis total de 500 Mrad, lo que implica que la capa interna del barril (1.6% de la superficie del *Inner Tracker*) podría tener que ser reemplazada después de cinco años a plena

luminosidad. Los efectos de la irradiación se estudiaron con un chip de prueba dedicado, incluyendo estudios detallados de recocido, y esos estudios indican que se puede alcanzar el objetivo.

La conversión de los datos de lectura a enlaces ópticos a 10 Gbits/s, mediante LpGBTs y VCSELs (*Vertical Cavity Surface Emitting Laser*), está limitada a una dosis total máxima de 100 Mrad y a fluencias de  $1 \times 10^{15}$  hadrones neutros y cargados por  $\text{cm}^2$ , respectivamente, lo que obliga a que los módulos de conversión óptica se ubiquen en el radio exterior ( $r = 20 \text{ cm}$ ) del *Inner Tracker*.

Se utilizan *E-links* de corta distancia ( $< 1.5 \text{ m}$ ) y baja masa para transferir datos desde los módulos de píxeles a los módulos de conversión óptica. Estos *E-links* deben tener una codificación de línea adecuada para permitir el acoplamiento AC, requerido cuando se utiliza un sistema de distribución de energía en serie (discutido a continuación). Se necesitará un gran número de cables *E-link* para el barril (1656 para la lectura, 864 para el control) para conectar los módulos de píxeles a los módulos de conversión óptica, ubicados en el cilindro de servicio en la periferia del *Inner Tracker*, como se indica en la Tabla 2.1. Minimizar el material de estos cables es una parte importante de la minimización del presupuesto de material del *Inner Tracker*. Se han realizado estudios detallados de transmisión de señales a 1.28 Gbits/s en cables de baja masa. El uso de un controlador de cable diferencial optimizado en el chip utilizando preénfasis de señal y filtros de ecualización simples en los receptores asegura que dicha transmisión se pueda realizar de manera confiable a lo largo de varios metros, mientras que se requiere menos de 1.5 metros. Se han realizado estudios de simulación y caracterización detallada con mediciones de varios tipos de cables de baja masa. Actualmente se considera como solución base el uso de cables trenzados de cobre delgado ( $125 \mu\text{m}$ ) con blindaje. También se han demostrado alternativas de cables de menor masa, como cables flexibles delgados de Kapton con conductores de aluminio o pares trenzados de aluminio revestido de cobre delgado, que proporcionan una transmisión de datos confiable para la corta distancia necesaria. Los estudios de integración detallados determinarán si tales alternativas de menor masa son viables (flexibilidad de doblado limitada de los cables flexibles, fragilidad de los pares trenzados de aluminio revestido de cobre delgado). Para los discos en TFPX y TEPX, la distancia de transmisión de la señal es muy corta, como se puede ver en la Figura 4.13. Se espera que los módulos LpGBT sean una parte integral de los *dees* que componen estos discos.

Los requisitos extremos de tasa para el chip de lectura requieren el uso de una tecnología CMOS moderna de alta densidad y bajo consumo con bajo voltaje de suministro (1.2 V), lo que resulta en un chip de píxeles que debe ser suministrado con niveles de corriente significativos (alrededor de 2A por chip). El uso de un sistema de alimentación pasivo paralelo clásico está excluido para tales corrientes altas. El uso de conversión de energía DC-DC local también ha sido excluido debido al entorno de radiación extremadamente hostil y a las

restricciones muy estrictas en el espacio y la cantidad de material. Se ha encontrado que un sistema de distribución de energía en serie es el único esquema viable para suministrar al *Inner Tracker* la energía requerida, dentro de una cantidad de material y pérdidas en el cable de alimentación aceptables. Los bucles de alimentación en serie alimentan la corriente de suministro requerida a cadenas de 8-10 módulos de píxeles, con los dos o cuatro chips de píxeles en cada módulo conectados en paralelo, como se ilustra en la Fig.2.12.

El número de cadenas de alimentación en serie se da en la Tabla 2.2, junto con el consumo de energía del *front-end* por subdetector y en total. El chip incluye un circuito altamente especializado y optimizado que combina la funcionalidad de un derivador de corriente (*Shunt*) y un regulador de baja caída de tensión (*LDO – Low Drop Out*), por lo tanto, denominado shunt-LDO (SLDO) [2-9]. En combinación con un diseño altamente optimizado en cuanto a energía, el SLDO asegura que el consumo de energía/corriente se mantenga constante, independientemente de las tasas de impactos y disparos.

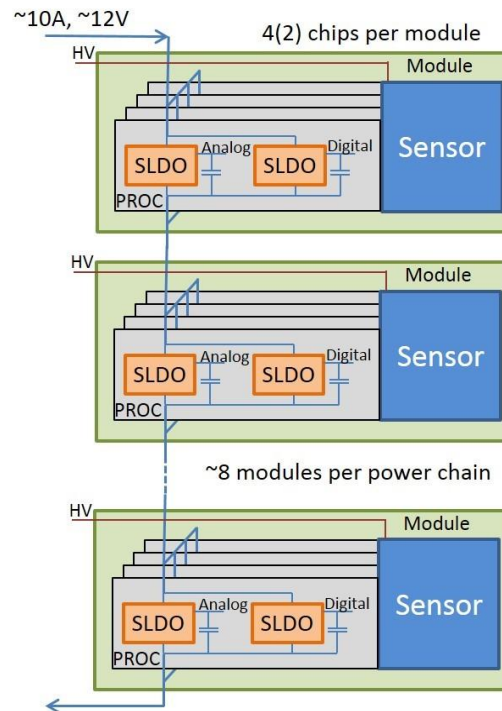


Fig.2.12. Estructura de conexión serie de módulos

El shunt-LDO está diseñado específicamente para asegurar una compartición de corriente apropiada entre múltiples chips, alimentados en paralelo. El propio chip de píxeles está alimentado con dos shunt-LDOs independientes: uno para la electrónica analógica y otro para la lógica digital. Esta separación asegura un acoplamiento mínimo de ruido de la lógica digital a las etapas analógicas sensibles al ruido. Se han utilizado simulaciones extensivas a nivel de sistema (incluyendo inductancias de cable, desacoplamiento local, cableado, etc.), con una implementación detallada de modelos del SLDO a nivel de transistor junto

con un perfil realista de consumo de energía de las partes analógicas y digitales de un chip completo. Con todo ello se ha optimizado el diseño del SLDO y el desacoplo local requerido. Ya se ha demostrado que un esquema de alimentación en serie funciona de manera confiable a través de módulos de píxeles [2-10][2-11] basados en chips FE-I3 y FE-I4 [2-12] de ATLAS, con un SLDO muy similar al que se planea usar para el chip de píxeles de Fase 2.

## 2.5. Chip de lectura RD53

Los detectores de píxeles de ATLAS y CMS en el HL-LHC (Gran Colisionador de Hadrones de Alta Luminosidad) presentan requisitos similares en cuanto a tamaño de píxel, sensor de píxel, tasa de impacto, tasa de disparo, tasas de lectura, enlaces ópticos, niveles de radiación y alimentación en serie. Esto se puede ver en detalle en sus respectivos informes de diseño o TDR (*Technical Design Report*) [2-13][2-14][2-15]. Por ello, se decidió que ambas colaboraciones trabajaran conjuntamente a través de la colaboración RD53 en el desarrollo de los futuros chips de lectura de ambos detectores, aprovechando la experiencia en diseño de los grupos de píxeles de ATLAS y CMS.

Los chips RD53 se desarrollaron para cumplir con los estrictos requisitos de radiación necesarios para operar en el HL-LHC, proyectado para comenzar en 2029. El HL-LHC funcionará con una luminosidad instantánea de hasta  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ , lo que corresponde a un promedio de 200 colisiones protón-protón por cruce de haz. Esto se traduce en tasas de colisiones de hasta  $3 \text{ GHz/cm}^2$  en las capas de píxeles internas a una frecuencia de colisión de 40 MHz. Estas capas deberán trabajar de manera confiable en un entorno de radiación extremadamente hostil con hasta 1 Grad y  $10^{16}$  hadrones/cm<sup>2</sup> durante 10 años. Es posible que necesiten ser reemplazadas después de 5-10 años, dependiendo de la luminosidad integrada efectiva y la degradación del rendimiento del sensor/chip.

El diseño del chip de píxeles se ha enfocado a ser resistente a la radiación y en la protección efectiva contra los SEE (Efectos de Eventos Individuales). Se estima que cada chip puede experimentar hasta 100 Hz de SEU (Upset de Evento Individual) y SET (Transitorio de Evento Individual) en la capa interna, y debe seguir funcionando de manera confiable a pesar de esta tasa de alteraciones. Este requisito de tolerancia a la radiación es aproximadamente 10 veces mayor que lo anterior para aplicaciones de HEP (Física de Altas Energías) y 10,000 veces mayor que lo requerido para aplicaciones espaciales resistentes a la radiación.

El pequeño tamaño de píxel de  $50 \times 50 \text{ }\mu\text{m}^2$ , o  $25 \times 100 \text{ }\mu\text{m}^2$  (4 veces más pequeño que los chips de generación anterior de ATLAS/CMS), combinado con una mayor

tasa de colisión (factor 4) y una latencia de disparo (*trigger*) menor (factor 2), implica que el almacenamiento de las colisiones se ha incrementado por un factor de más de 10 en comparación con los chips anteriores. El aumento de las tasas de disparo, de aproximadamente 100 kHz a 1 MHz, combinado con mayores tasas de impacto y píxeles más pequeños, incrementa el ancho de banda de lectura efectiva por un factor de 100, manteniendo una medición de carga de 4 bits por impacto de píxel.

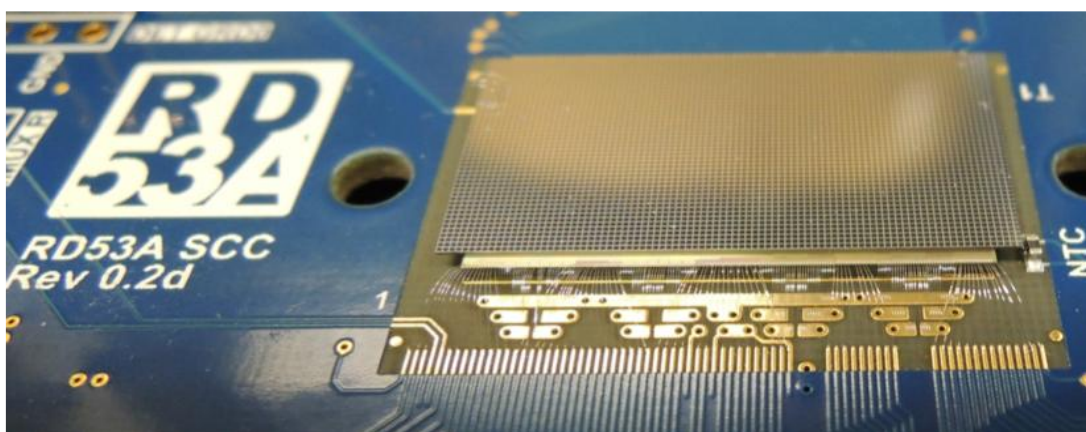
A nivel del detector de píxeles, es crucial mantener la cantidad de material de los módulos y capas del detector lo más baja posible, para no deteriorar significativamente el rendimiento del detector debido a la dispersión de partículas y conversiones en el detector de píxeles. Esto implica que el consumo de energía del chip debe mantenerse al nivel de los chips de generación anterior, a pesar de una mayor densidad y complejidad (un factor 4-16, al pasar de CMOS 250/130 nm a 65 nm) y tasas de colisión y lectura más altas (factor 10-100). El uso de tecnología CMOS escalada es crítico para mantener un consumo de energía aceptable, debido a la reducción de la carga capacitiva y el voltaje de la fuente de alimentación. Un efecto secundario es que la corriente de la fuente de alimentación requerida aumenta, lo que plantea problemas para un sistema de distribución de energía de baja masa. Se descartó el uso de conversión de energía clásica de DC-DC en el chip de píxeles debido a la tolerancia a la radiación requerida y a las necesidades de espacio y material. En su lugar, se adoptó un esquema novedoso de alimentación en serie, con reguladores de potencia SLDO en el chip, basado en demostraciones de viabilidad iniciales con los chips FE-I3 y FE-I4. Este sistema se desarrolló, probó y calificó a nivel de chip, módulo y sistema, mientras los chips RD53 se desarrollaban activamente.

### 2.5.1. Desarrollo histórico del RD53

Los primeros años de desarrollo en RD53 se centraron en estudios de tolerancia a la radiación de la tecnología CMOS de 65 nm elegida e implementación y pruebas de bloques de construcción necesarios resistentes a la radiación: DACs, ADCs, *Front-Ends* analógicos de píxeles (*AFE*), estructuras de polarización, *Band-gap*, PLL, IOs, regulador de potencia SLDO, sensores de temperatura y radiación, etc. Se desarrolló y verificó extensivamente una arquitectura de almacenamiento, procesamiento y lectura de impactos adecuada para las tasas de impacto y disparo extremadamente altas en un marco flexible de simulación y verificación con datos de impactos de Monte Carlo del detector.

Un primer chip de píxeles de tamaño 1/2 (compartiendo retícula con otros chips) llamado **RD53A** (ver Fig.2.13) se presentó en 2017 y se ha utilizado para la verificación de bloques de construcción desarrollados y la arquitectura general. RD53A también ha sido instrumental como un vehículo de prueba para probar y

calificar diferentes sensores de píxeles y para estudios de sistemas, cubriendo la alimentación en serie, diseño y prueba de módulos de píxeles y prueba con el sistema de lectura basado en LPGBT con enlaces ópticos al DAQ fuera del detector. Se han realizado una gran cantidad de campañas de pruebas de irradiación de este chip para obtener una buena comprensión del funcionamiento y la fiabilidad a largo plazo de un chip tan complejo, cubriendo los efectos de la dosis total de ionización (TID) en función de la temperatura, efectos de la tasa de dosis y pruebas iniciales de SEU/SET. En este chip estaban presentes tres *front-ends* analógicos diferentes junto con dos esquemas diferentes de almacenamiento de latencia de disparo para determinar la implementación más adecuada para los chips finales.



*Fig.2.13. Fotografía de chip RD53A montado en PCB prototipo para ensayos de validación*

Los chips de segunda generación RD53, denominados **RD53B-ATLAS** y **RD53B-CMS**, son chips de píxeles de tamaño completo con la arquitectura de almacenamiento de latencia elegida y bloques de construcción mejorados. RD53 desarrolló un entorno de diseño y verificación flexible y parametrizado donde se instancian macros personalizados y código RTL según las implementaciones específicas de ATLAS o CMS. Los dos chips de la generación RD53B fueron diseñados específicamente para cada experimento, denominándose RD53B-ATLAS (conocido como ITkPixV1 en ATLAS) y RD53B-CMS (conocido como CROCv1 en CMS). El tamaño del chip se ajustó para cumplir con las restricciones de integración particulares de cada experimento, y además, cada uno emplea front-ends analógicos personalizados según las necesidades específicas de cada detector. Estos dos chips, presentados en 2020/2021, son funcionalmente equivalentes con las mismas interfaces de control y lectura, con características específicas menores relacionadas con los front-ends analógicos y características y errores específicos. Desafortunadamente, el chip RD53B-ATLAS tenía una medición de carga TOT (Time Over Threshold) no funcional y solo se podía usar con lectura binaria a altas tasas, combinada con el uso de un modo TOT de alta precisión a baja tasa. Los chips de la generación RD53B han sido instrumentales para pruebas extendidas de chips en RD53 (radiación, SEU,

interfaces, funciones, alimentación en serie, fusión de datos, etc.) y desarrollos, pruebas y calificación de módulos/sistemas de píxeles en los grupos de detectores de píxeles de ATLAS y CMS. La evolución de los chips RD53 se muestra en la Fig.2.14.

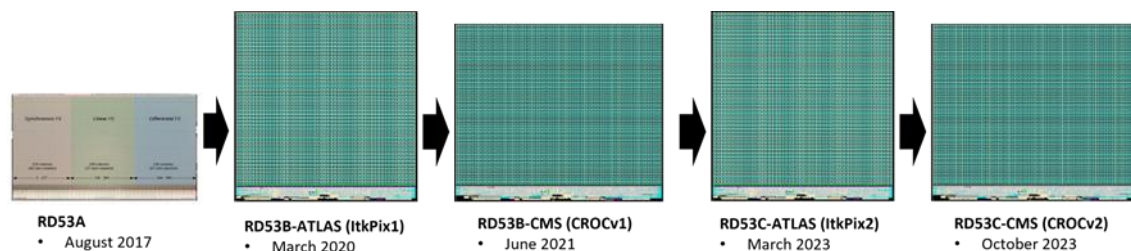


Fig.2.14. Generaciones de chips RD53A a RD53C

Se han realizado correcciones de errores y mejoras en los chips de producción de generación final: RD53C-ATLAS y RD53C-CMS. Las funciones de monitorización se han ajustado y ampliado. La tolerancia a SEU/SET se ha mejorado significativamente basada en pruebas extensivas de iones, protones y haces de láser en RD53B y simulaciones de SEU/SET a nivel de transistor. También se han solucionado u optimizado problemas críticos que se encontraron con las pruebas a nivel de sistema en los grupos de detectores de píxeles con múltiples módulos de 4 chips con alimentación en serie (por ejemplo, fusión de datos entre múltiples chips de píxeles). Se desarrolló un marco extendido para la verificación funcional exhaustiva de los chips de producción final y también se utilizó para la verificación de SEU/SET.

Los chips de producción de versión final se han presentado recientemente y están en producción para su uso en las actualizaciones de los experimentos. Los chips **RD53C** están siendo sometidos a pruebas y caracterización exhaustivas, con los primeros resultados reportados en este documento, y se están utilizando para la preproducción de módulos de píxeles de versión final para pruebas de sistemas a gran escala. Se han desarrollado y calificado configuraciones de prueba a nivel de oblea y programas de test para ambos experimentos, utilizando versiones anteriores de chips de tamaño completo. Estos están ahora listos para iniciar la producción y las pruebas a nivel de oblea antes de proceder al *bump-bonding* con los sensores de píxeles y al montaje en los módulos de los detectores finales.

### 2.5.2. Arquitectura del chip RD53

Los chips RD53 capturan los impactos de partículas a lo largo de la matriz de píxeles de 2x2 cm<sup>2</sup> con el tiempo suficiente para permitir una detección individual en cada cruce de los paquetes de partículas (*bunch crossing*) en el LHC. La

lectura de estos impactos se realiza a través de enlaces eléctricos serie de alta velocidad (*E-links*). La carga depositada en el sensor, que va unido al chip mediante técnica de micro-soldadura de bolas (*bump-bonding*), se amplifica y se acondiciona para que pueda ser muestreada con precisión en el cruce de paquetes correcto, con la información de carga asociada de 4 bits. La información de impacto muestreada se almacena durante la latencia del disparo (máximo 12.8  $\mu$ s) en búferes de latencia distribuidos a lo largo de la matriz de píxeles. La transferencia de los datos de impactos disparados de las regiones de píxeles se organiza en núcleos o bloques de píxeles (*pixel cores*) de 8x8 a través de buses de columnas hasta el Chip Digital Inferior (DCB). Los datos de impactos/eventos disparados se verifican, ensamblan y procesan antes de ser colocados en FIFOs para la lectura a través de enlaces serie en su orden original de disparo.

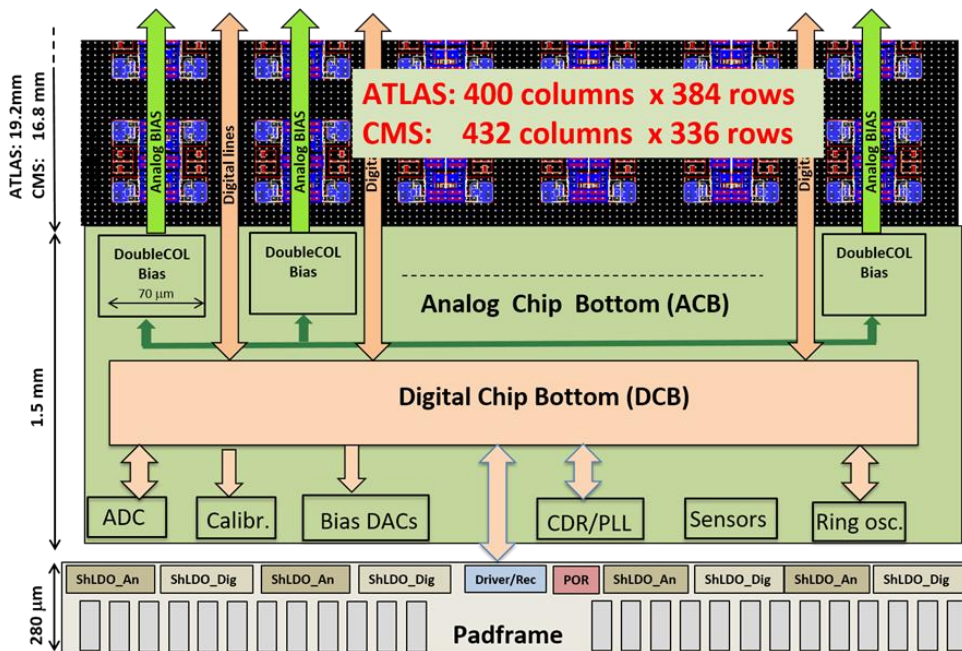


Fig.2.15. Arquitectura de implementación física del chip RD53.

La arquitectura RD53 está organizada de manera jerárquica, en la que algunas partes están relacionadas con el flujo lógico de datos (Fig.2.10, punto 2.4.4) mientras que otras están relacionadas con la implementación física del chip (Fig.2.15):

- Píxel: AFE específico del experimento con ajuste de umbral, inyección de carga y configuración.
- Región de píxeles: región de 4x1 píxeles con TOT y 8 unidades de búfer de latencia.
- Núcleo de píxeles: 8x8 píxeles, 2x8 regiones de píxeles.

- Columnas de núcleo de píxeles: 50 en el chip de ATLAS, 54 en el chip de CMS.
- Filas de núcleos de píxeles: 48 en el chip de ATLAS, 42 en el chip de CMS.
- Matriz de píxeles: ATLAS:  $8 \times 8 \times 50 \times 48 = 153600$  píxeles. CMS:  $8 \times 8 \times 54 \times 42 = 145152$  píxeles.
- Isla de píxeles analógicos:  $2 \times 2 = 4$  AFEs de píxeles.
- Columna de polarización analógica: Columnas de 2 píxeles de ancho para la polarización del AFE.
- Chip Digital Inferior (DCB): Lógica digital fuera de la matriz de píxeles.
- Chip Analógico Inferior (ACB): Circuitería analógica fuera de la matriz de píxeles: Bandgaps, tensiones de polarización, ADCs, DACs, PLL.
- Marco de Pads: E/S con pads de conexionado, protección ESD y reguladores de potencia SLDO distribuidos.

Es importante resaltar que la organización efectiva de los píxeles en regiones de píxeles, con un búfer de latencia compartido, depende de la estructura y el enrutamiento del sensor de píxeles. Para píxeles cuadrados de  $50 \times 50 \mu\text{m}^2$ , la matriz del sensor y el chip tienen la misma estructura, y las regiones de píxeles se ven como  $4 \times 1$  píxeles cubriendo  $50 \times 200 \mu\text{m}^2$ . Esta forma alargada de la región de píxeles es ventajosa para compartir el búfer de latencia al final del barril de píxeles, donde los cúmulos de píxeles están alargados debido al ángulo de las partículas y al grosor activo del sensor. Cuando se tienen píxeles alargados de  $25 \times 100 \mu\text{m}^2$  en el sensor, la región de píxeles se ve efectivamente como una matriz de  $2 \times 2$  píxeles que cubre la misma área de  $50 \times 200 \mu\text{m}^2$ . Esto se puede ver en más detalle en la Fig.2.16.

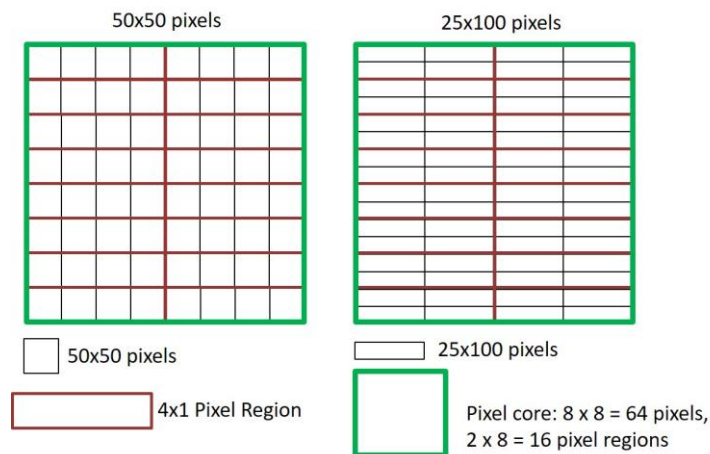


Fig.2.16. Organización de las regiones con píxeles de tamaños  $50 \times 50 \mu\text{m}^2$  y  $25 \times 100 \mu\text{m}^2$ .

### 2.5.3. Front-End Analógico

El *Front-End* analógico (AFE) está diseñado para detectar y medir la carga depositada en el sensor de píxeles, proporcionando información de carga con una resolución, una vez digitalizado, de 4 bits. Los AFEs están agrupados en islas analógicas para minimizar la interferencia con la lógica digital circundante.

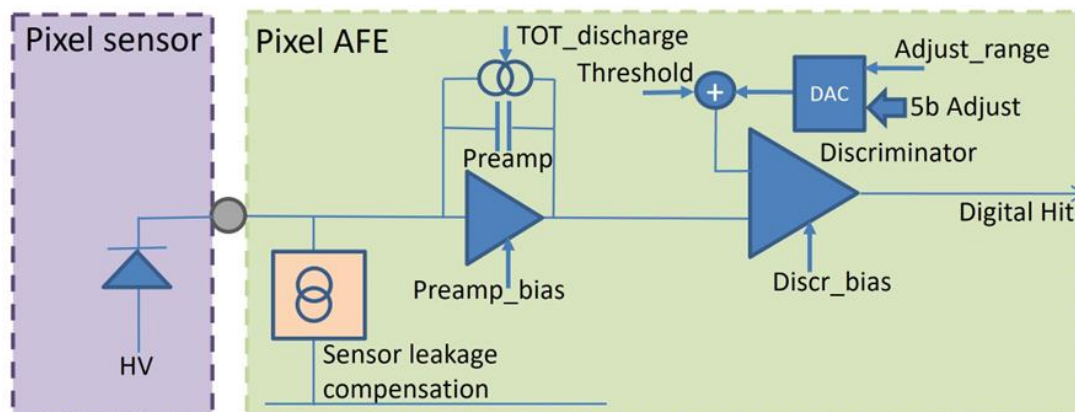


Fig.2.17. Diagrama de bloques simplificado de un AFE genérico

Tal como se muestra en la Fig.2.17, el diseño básico incluye un preamplificador (*Preamp*) y un comparador (*Discriminator*) que genera la señal de colisión detectada (*Digital Hit*). Cada uno de ellos están adaptados a los requisitos específicos de ATLAS y CMS para bajo ruido, baja energía y alta linealidad.

La carga inducida por partículas que atraviesan el sensor se transfiere al chip. El AFE en cada píxel integra la carga depositada y acondiciona la forma de la señal en la etapa de pre-amplificación. La descarga de la señal integrada se realiza con una corriente de descarga configurable, resultando en un pulso analógico cuya anchura es proporcional a la carga. Esta señal amplificada y conformada se transforma en una señal digital de colisión de 1 bit mediante un discriminador con umbral programable.

Los AFEs funcionan de manera independiente y asincrónica al reloj de cruce de paquetes del LHC de 40 MHz, y los impactos se sincronizan al reloj del sistema de 40 MHz en la entrada del procesamiento digital en las regiones de píxeles. El umbral efectivo por píxel se determina mediante un umbral global (*global threshold*) junto con un ajuste de umbral local de 5 bits por píxel para compensar la dispersión entre píxeles.

El diseño simple de detección de colisiones y medición de carga *TOT* tiene algunos efectos secundarios, como la pérdida de colisiones por tiempo muerto analógico/*TOT*. En la Fig.2.18 se puede ver en detalle este efecto sobre la gráfica de respuesta temporal del AFE a una inyección de carga determinada. Esta pérdida se estima en un 0.4-1.5% en los casos mayor tasa de impactos en las

capas más internas, lo que se considera aceptable. Las señales de impacto pequeñas, justo por encima del umbral, pueden experimentar un desfase temporal debido a la forma de la señal analógica y la respuesta más lenta del discriminador. Para un desfase temporal menor que 20ns (25ns de periodo de reloj – 5ns de margen para el muestreo de la señal), el impacto se detectará en el cruce de paquetes adecuado para la lectura.

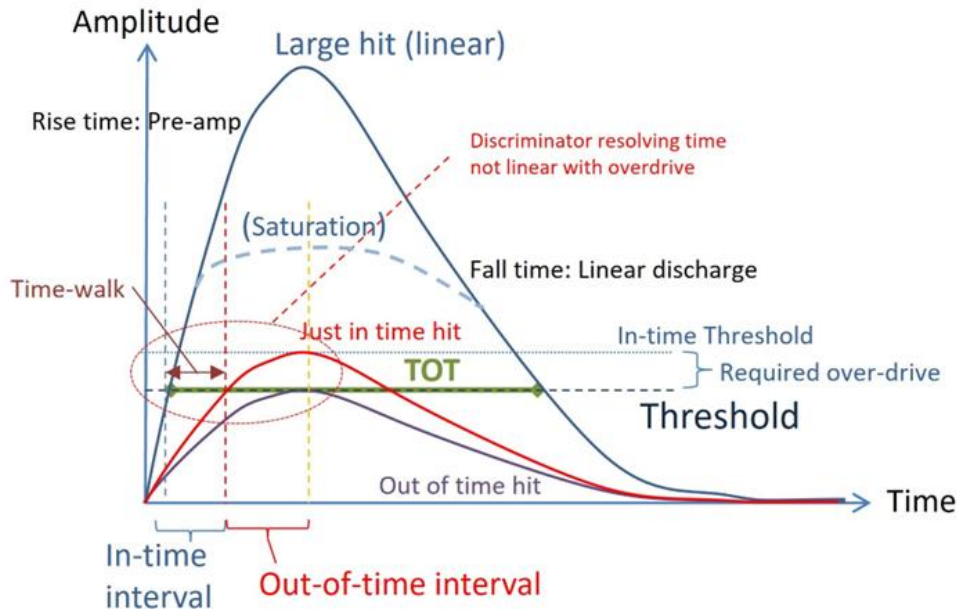


Fig.2.18. Medición de la carga con TOT e indicación de los efectos relacionados de tiempo de recorrido, tiempo muerto y saturación de amplitud

Cada experimento ha elegido su implementación específica de AFE de bajo consumo basada en sus énfasis particulares en características de rendimiento.

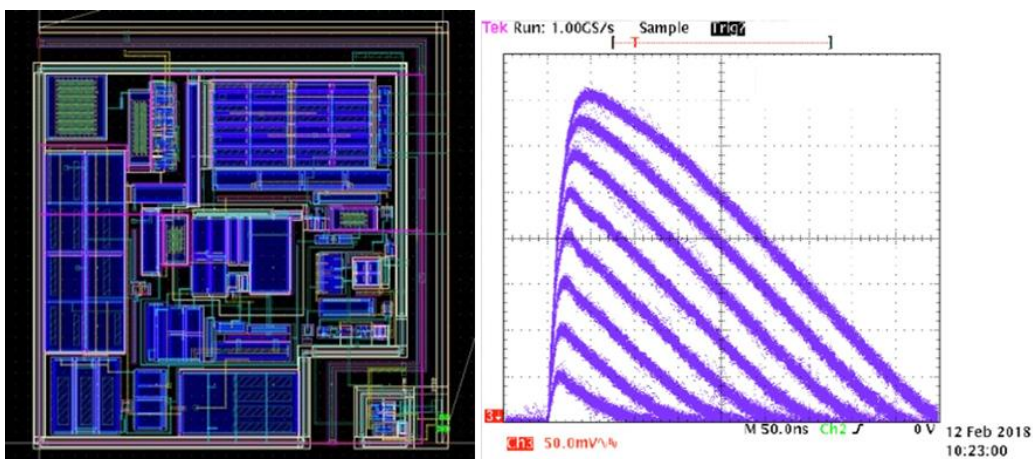


Fig.2.19. Disposición de Lin AFE con forma de onda analógica típica medida antes del comparador, con inyecciones de carga de 1-10ke, medida en la salida analógica de RD53A

El *AFE* diferencial utilizado en el chip de ATLAS se caracteriza por el bajo ruido y el pequeño desfase temporal, mientras que el *AFE* lineal [2-16] utilizado en el chip de CMS tiene como principal característica la linealidad y la capacidad de trabajar con tiempos muertos analógicos/TOT cortos en las capas internas de alta tasa de píxeles. En la Fig.2.19 se muestra la respuesta del *AFE* lineal a distintas inyecciones de carga.

Los *AFEs* se pueden optimizar según el consumo de energía permitido, las tasas de colisión, el ruido y las características del sensor de píxeles, teniendo en cuenta también los efectos acumulados de la radiación. La señal generada por el paso de una partícula discriminada de los píxeles individuales se conecta a una red de columna OR de impactos flexible para medir el Tiempo de Llegada (*TOA*) y *TOT*, siendo valiosa para la caracterización detallada del chip/sensor y la lectura auto disparada en haces de prueba.

Un circuito de inyección analógico está implementado en cada píxel para realizar ajustes precisos del umbral. Utilizando dos voltajes de calibración distribuidos desde dos *DACs* de 12 bits en el chip, este circuito realiza inyecciones de carga precisas a través de un voltaje diferencial. Esto elimina los posibles errores por caídas de tensión en la tierra de referencia a lo largo de la matriz de píxeles. El tiempo de inyección está controlado por un generador de pulsos digital con tiempos de inyección programables con una resolución de 0.78ns. Este circuito resulta de gran utilidad para la calibración y las pruebas de ruido llevadas a cabo con prototipos del sistema.

#### 2.5.4. Almacenamiento de Datos y “Trigger”

Las señales de los píxeles se procesan y almacenan en búferes locales de 4 píxeles. Cuando uno o varios píxeles detectan un impacto, se guarda el *TOT* de 4 bits junto con una marca de tiempo de 9 bits de un contador central de ID de paquete de 40 MHz. Esta captura y almacenamiento son no bloqueantes, permitiendo la captura de nuevos impactos en ubicaciones de búfer libres. Cada región de píxeles tiene 8 ubicaciones de búfer de latencia, minimizando la pérdida de impactos a menos del 1%, incluso en tasas altas (3GHz/cm<sup>2</sup>).

Un ID de paquete almacenado se compara continuamente con un contador de latencia global para determinar la latencia de disparo efectiva. Si coinciden y se genera un disparo, la ubicación del búfer se marca como disparada. La lógica digital utiliza un reloj optimizado para ahorrar energía y solo activa el reloj local durante la captura del impacto. La lectura de los datos de impactos disparados se controla mediante un controlador de lectura de columna en cada bus de columna de núcleo. Las regiones de píxeles con datos disparados envían sus datos en el bus de lectura cuando reciben el token de lectura. Cada bloque de

columnas tiene su controlador de lectura independiente, mejorando la tasa de lectura efectiva al manejar múltiples eventos pendientes.

La velocidad de lectura en el bus de columna de núcleo puede verse afectada por la radiación, extendiendo el tiempo de lectura a tres o cuatro ciclos de reloj si es necesario. Una tabla de disparos central mantiene el control de los eventos en espera de lectura, con copias distribuidas en los controladores de lectura locales. Se pueden configurar límites para evitar congestiones de lectura y limitar el número de impactos por evento.

### 2.5.5. Control y Lectura del Chip RD53

Las interfaces de control y lectura de los chips RD53 están diseñadas para ser altamente eficientes en un entorno de alta radiación y baja cantidad de material con enlaces ópticos basados en LPGBT hacia los sistemas de adquisición de datos (DAQ) y control. El chip RD53 tiene un formato de codificación de datos de alta eficiencia (codificación en árbol binario) para minimizar el ancho de banda de lectura. Cada chip puede usar de 1 a 4 enlaces de lectura al mismo tiempo, y es posible combinar datos de 2 o 4 chips en un solo enlace, optimizando y minimizando el número de cables necesarios según la configuración del sistema.

Un enlace de control diferencial de 160Mbits/s con detección de errores se ha desarrollado específicamente para controlar hasta 15 chips, incluyendo comandos en tiempo real con prioridad sobre comandos de control, configuración y monitoreo. Este enlace también permite realizar una reconfiguración continua de los píxeles en caso de ser necesario debido al entorno hostil de radiación.

El chip lleva implementado un PLL (*Phase Locked Loop*) resistente a la radiación de 1.28 GHz, caracterizado por su baja fluctuación (*jitter*) y alta tolerancia a TID y SEU/SET. Este PLL permite ajustar la fase del reloj de muestreo de 40 MHz en pasos de 0.78 ns para una alineación precisa con las colisiones de partículas del HL-LHC.

Para la lectura y monitorización, cada chip dispone de hasta 4 enlaces de 1.28 Gbits/s, utilizando un formato de codificación Aurora 64B/66B que soporta las características necesarias. Aunque Aurora no incluye corrección de errores (FEC), se optó por no añadir FEC debido al gran sobrecoste en ancho de banda. Los enlaces de lectura son impulsados por controladores de lógica de modo corriente (CML) diferencial, optimizados para cables eléctricos de baja masa.

El esquema de codificación en árbol binario reduce el ancho de banda de lectura para datos de impactos agrupados hasta en un 40-50% en comparación con la supresión básica de ceros. También es posible suprimir la información de carga

TOT, reduciendo los datos en un 30% adicional. El número efectivo de bits por impacto oscila entre 10-15 bits/impacto según datos de Monte Carlo.

La combinación de datos entre chips está disponible para las capas exteriores de píxeles con baja tasa de impactos, permitiendo unir los datos de lectura de 2 o 4 chips en un solo enlace, reduciendo significativamente el número de cables requeridos. Un chip primario maneja un enlace de lectura de 1.28 Gbits/s, mientras que chips secundarios manejan datos seriales a 320 Mbits/s hacia el chip primario.

La latencia de lectura de eventos dependerá de las fluctuaciones estadísticas en impactos, disparos y el ancho de banda disponible, pudiendo ser crítica si el ancho de banda de lectura se utiliza en más del 90%.

### *2.5.6. Tolerancia a la Radiación del RD53*

La tolerancia a la radiación es un desafío muy importante, con los chips diseñados en tecnología de 65nm para resistir hasta 1 Grad [2-17] [2-18] y tasas de SEU de hasta 100 por segundo por chip. Se han implementado técnicas avanzadas de diseño resistente a la radiación y protección contra efectos de eventos individuales (SEE) para asegurar la fiabilidad a largo plazo.

## *2.6. Sistema de distribución de potencia serie (Serial powering)*

La alimentación en serie ha sido identificada como un sistema de distribución de energía viable que puede cumplir con los exigentes requisitos de un detector de píxeles para el HL-LHC. El chip de píxeles, implementado en una tecnología moderna CMOS de 65 nm, requiere niveles de corriente significativos de aproximadamente 2 A por chip para hacer frente al gran número de píxeles y las altas tasas de impactos y disparos. El sistema de distribución de energía debe ser de baja masa para minimizar las interacciones de las partículas con el material. Los altos niveles de radiación y campo magnético, combinados con restricciones de espacio extremadamente ajustadas, impiden el uso de una conversión de energía DC-DC más clásica dentro del volumen del píxel. En un sistema de alimentación en serie, la corriente de alimentación se "reutiliza" entre múltiples cargas conectadas en serie, en contraste con un esquema de alimentación paralelo clásico donde el voltaje suministrado se comparte entre las cargas y la corriente inyectada solo se utiliza una vez. El hecho de que la corriente de alimentación inyectada se reutilice múltiples veces (n veces) en una cadena de alimentación reduce significativamente las pérdidas totales de

energía en los cables de alimentación (factor n menos cables). La alimentación en serie también permite el uso de cables de alimentación más ligeros, ya que, no solo utiliza menos corriente, sino que se pueden tolerar pérdidas de voltaje significativamente más altas sin afectar al funcionamiento del sistema.

En un sistema de alimentación en serie, es vital que todas las cargas conectadas en serie permitan que fluya la corriente constante proporcionada por la fuente de alimentación. Cuando todas las cargas son del mismo tipo, esto evidentemente simplifica las cosas, pero las variaciones de carga dinámica entre las cargas aún requieren consideraciones cuidadosas y optimizaciones delicadas de la alimentación. La fuente de alimentación externa debe inyectar en todo momento suficiente corriente para cumplir con las necesidades máximas de consumo de la electrónica. Dado que las variaciones de corriente dinámica en los circuitos CMOS modernos son extremadamente rápidas, en la práctica no es posible ajustar dinámicamente las corrientes de alimentación inyectadas para igualar los cambios de carga dinámica. Un bucle de alimentación en serie tiene una inductancia significativa y no puede soportar cambios rápidos de corriente. Por lo tanto, es crítico que un sistema de alimentación en serie funcione con niveles de corriente constantes que sean lo suficientemente grandes como para acomodar las variaciones locales de corriente dinámica. Se requiere un regulador local de derivación especializado para convertir la corriente inyectada en un suministro de voltaje local estable para el chip de píxeles. Este regulador local también debe asegurar que las variaciones de carga dinámica no sean visibles desde el exterior del regulador de derivación. Para asegurar esto, es crucial que se inyecte suficiente corriente en el bucle de alimentación para satisfacer la carga máxima de consumo, y que el regulador de derivación mantenga la corriente total constante independientemente del consumo de la carga, como se ilustra esquemáticamente en la Fig.2.20. Mantener corrientes constantes presenta la ventaja de que las variaciones de la corriente de carga no se trasladan a la fuente, asegurando niveles de ruido muy bajos.

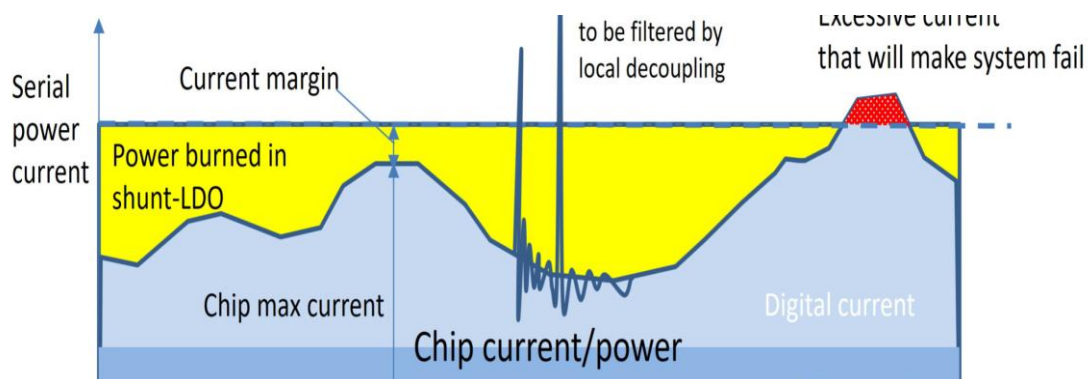


Fig.2.20. Ilustración del principio de regulación shunt por el que la corriente de alimentación se mantiene siempre constante.

Un esquema básico de alimentación en serie puede usar un regulador de derivación implementado como un simple limitador de voltaje. Sin embargo, un

regulador de derivación de limitador de voltaje tan simplista tiene desventajas críticas: solo se puede generar un nivel de voltaje, no se pueden poner múltiples cargas locales en paralelo, la falla de un solo regulador de derivación hará que la cadena de alimentación en serie completa sea inutilizable, y, finalmente, las variaciones de carga dinámica local resultan en perturbaciones significativas en el voltaje de suministro local generado. Por lo tanto, se ha desarrollado un regulador de derivación combinado dedicado y un regulador de voltaje de baja caída de salida (SLDO) para integrarse en el chip de píxeles. El diagrama funcional de este SLDO se muestra en la Fig.2.21.

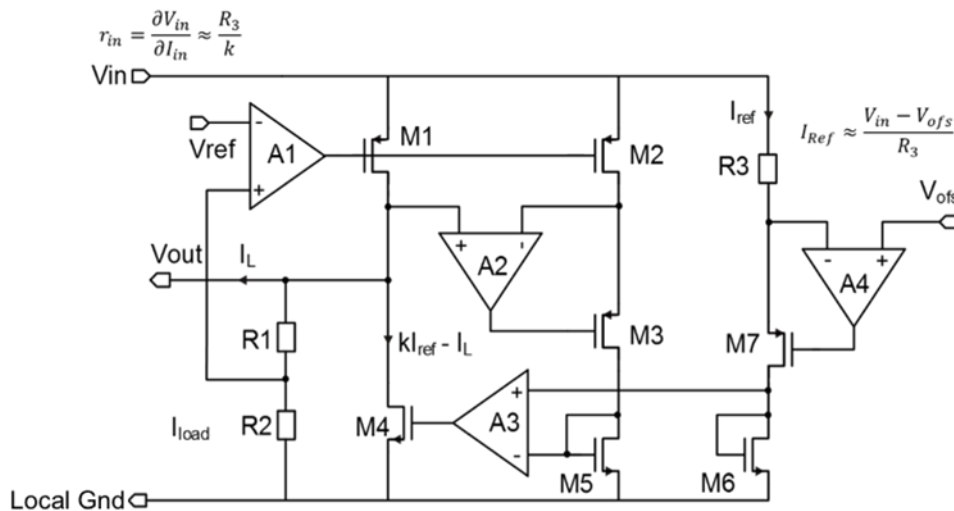


Fig.2.21. Diagrama funcional del regulador de potencia shunt-LDO serie en chip.

Consiste en dos bucles de control acoplados. Un bucle de control de derivación asegura que un gran transistor de derivación ( $M4$ ) desvíe cualquier corriente que no sea consumida por la carga activa. Un regulador de voltaje ( $A1 + M1$ ) asegura que la carga activa sea suministrada con un voltaje constante, independientemente de la corriente consumida y de la corriente inyectada en el bucle de alimentación en serie.

Una característica importante del SLDO es que la corriente de derivación se controla de manera que el SLDO con su carga se comporte como una carga resistiva, independientemente de la corriente consumida en la carga. El comportamiento resistivo del SLDO permite poner múltiples SLDOs en paralelo, con una distribución de corriente bien definida determinada por la resistencia efectiva, tal como se observa en Fig.2.22. La resistencia efectiva del SLDO se puede configurar con una resistencia externa (definida por  $R3$  con un factor de multiplicación  $k$  de 1000) para permitir que la distribución de corriente entre múltiples SLDOs sea configurable. Para la reducción de pérdidas de energía, la resistencia efectiva del SLDO también puede tener un desplazamiento de voltaje configurable.

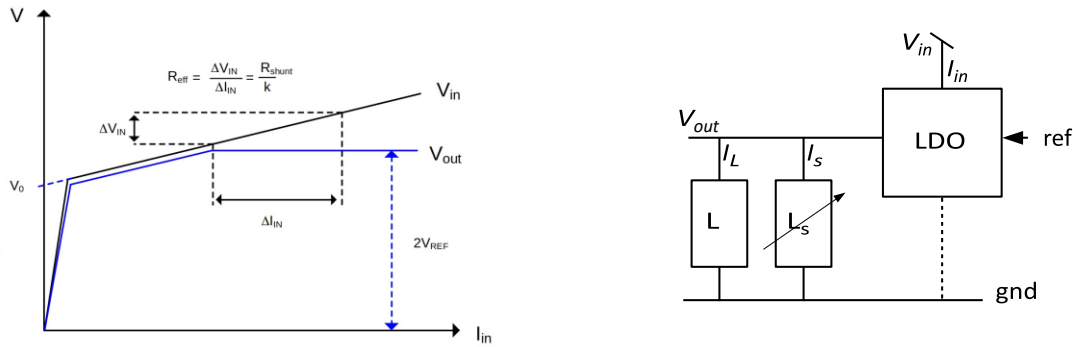


Fig.2.22. Características I-V del SLDO ideal, sin carga. (b) SLDO fabricado a partir de LDO especial con corriente en derivación regulada ( $I_s$ ) en paralelo a la carga ( $L$ ).

El chip del detector de píxeles presenta dominios de energía analógica y digital independientes para minimizar el acoplamiento de ruido de la lógica digital a los *front-end* de píxeles analógicos. Estos dos dominios de energía tienen SLDOs independientes que se alimentan en paralelo desde un único bucle de alimentación común (para asegurar que ambos estén al mismo nivel potencial). La energía analógica tiene un consumo de energía muy constante, mientras que la energía digital tiene grandes fluctuaciones dentro del ciclo de reloj y de variaciones en las tasas de impactos y disparos. Idealmente, la lógica digital estaría diseñada para tener un consumo de energía casi constante, pero las simulaciones detalladas han mostrado que esto habría implicado un aumento del consumo de energía de un factor de aproximadamente 10 en comparación con un diseño optimizado en cuanto a energía utilizando técnicas de apagado de reloj. Por lo tanto, las variaciones en el consumo de energía en la lógica digital requieren desacoplo local a múltiples niveles (capacidad de desacoplo en el chip dentro de la lógica, condensadores de desacoplo fuera del chip en la entrada y salida de los SLDOs) para suavizar estas rápidas variaciones. Esto, en combinación con un margen de regulación de derivación de aproximadamente 25%, asegura que no se vean variaciones de corriente en la entrada de alimentación en serie.

Se han realizado estudios basados en versiones preliminares del chip RD53A, para obtener un perfil detallado del consumo de energía de la lógica digital a diferentes tasas de impactos y disparos [2-19]. Esta información será útil para verificar el diseño del SLDO y la red de alimentación serie a nivel de sistema (incluyendo modelos del cable, el módulo con varios chips en paralelo, y los elementos parásitos de los condensadores y las soldaduras por micro-cables o *wirebonds*). La Fig.2.23 muestra los resultados de las simulaciones de consumo de la lógica digital en una versión preliminar y reducida (4 x 64 píxeles) del chip RD53A, para distintos tiempos de integración. En el lado derecho se indica el valor pico de corriente y la relación del pico respecto a valor medio en porcentaje. Únicamente se pueden ver fluctuaciones de gran amplitud en la gráfica de menor escala temporal (1ns) debido a que son provocadas por transitorios muy rápidos

de las conmutaciones. Una mayor escala temporal actúa como filtro paso bajo emulando el efecto de los condensadores de desacoplo de distintos tamaños.

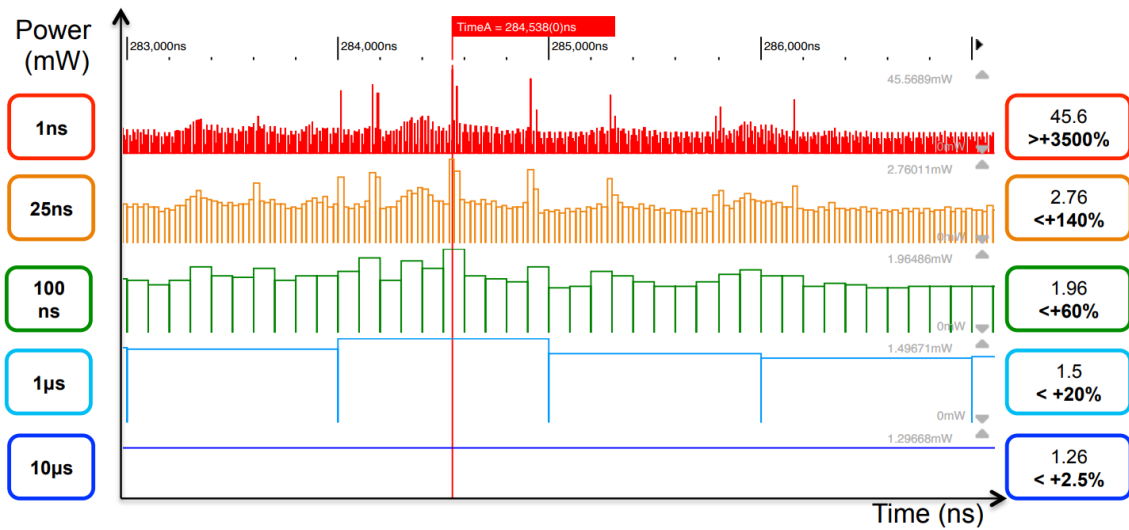


Fig.2.23. Consumo digital de versión preliminar del chip RD53A a escala (4x64 píxeles) para 3GHz de hitrate y 1MHz de trigger. [2-19].

Un modelo de disipación de energía preliminar de un chip de píxeles a gran escala, con un margen de derivación de 25% (es decir, una corriente correspondiente al 25% de la corriente de carga nominal fluye a través de la derivación), se indica en la Fig.2.24, junto con el modelo de carga resistiva de los SLDOs analógicos y digitales, utilizando un desplazamiento de voltaje de 1 V para la resistencia de carga aparente.

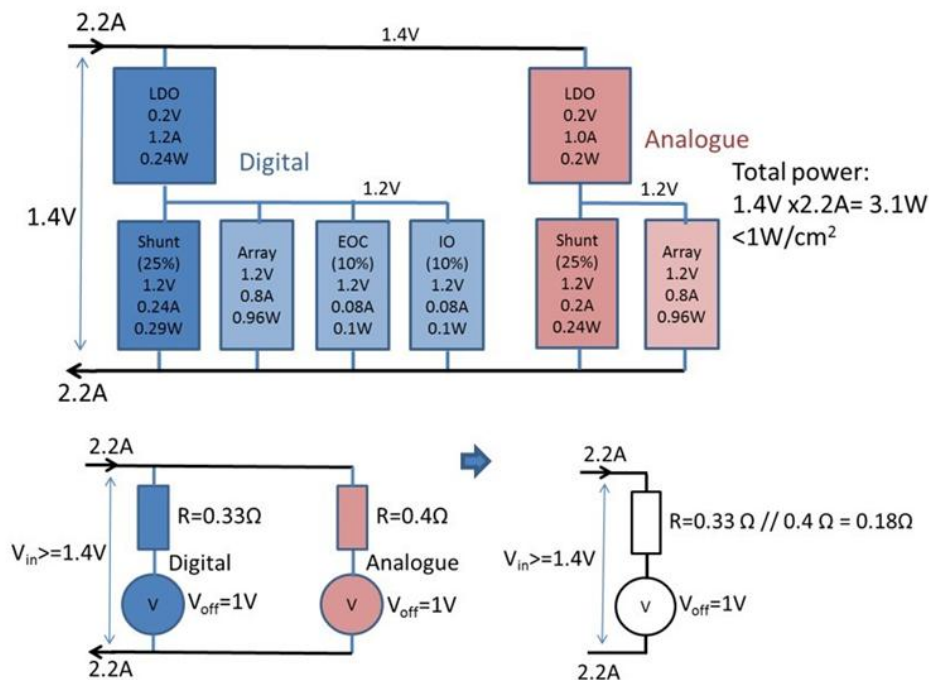


Fig.2.24. Modelo de potencia y carga del chip de píxeles de tamaño completo basado en estimaciones del chip RD53A.

Se han producido y probado prototipos de reguladores SLDO para corrientes de 0.5 A y 2 A (correspondientes al consumo de corriente final). Se han realizado pruebas estáticas y dinámicas con estos prototipos y se ha demostrado que funcionan como se requiere cuando se conectan en paralelo y/o en serie [2-20][2-21]. Se ha demostrado una variación máxima de voltaje de salida de 10 mV hasta la carga nominal. Las pruebas de radiación han confirmado que el SLDO funciona satisfactoriamente hasta 500 Mrad (utiliza transistores grandes que tienen una degradación por radiación muy pequeña). La referencia de voltaje (*band-gap*), siendo la parte más sensible a la radiación del circuito, ha mostrado un cambio de voltaje de salida de 20 mV después de 500 Mrad TID, lo cual es perfectamente tolerable, y puede ser compensado por el chip de lectura.

A nivel de sistema, se debe considerar cuidadosamente cuál puede ser el impacto de un componente defectuoso en un sistema de alimentación en serie. Los cortocircuitos locales no deberían ser un problema en un sistema de alimentación en serie, ya que solo se verá afectado el módulo con el cortocircuito. Las aperturas locales en una cadena de alimentación en serie pueden impactar la cadena completa y un número significativo (aproximadamente 8) de módulos de píxeles se verán afectados. En un módulo de píxeles con cuatro chips de píxeles en paralelo, se puede acomodar la falla de un solo chip cuando las derivaciones en los tres chips restantes pueden llevar una corriente adicional del 33%. El SLDO está diseñado con un margen de corriente de aproximadamente 100%, es decir, puede llevar una corriente adicional correspondiente al 100% de la corriente nominal. El diseño térmico del módulo de píxeles debe acomodar que los tres chips restantes tendrán una mayor disipación de energía, ya que el voltaje de entrada del SLDO aumentará. Para los módulos dobles, la falla completa de un chip implica que el chip restante tendrá que llevar el doble de la corriente, lo que plantea un desafío para la gestión térmica.

Se están estudiando dos opciones para este caso: dos módulos de píxeles vecinos puestos en paralelo, es decir, efectivamente teniendo cuatro chips en paralelo, o un simple circuito de limitación de voltaje que esté adecuadamente refrigerado, para llevar la corriente adicional.

El LpGBT y los componentes asociados en los módulos de conversión óptica también necesitan una alimentación adecuada. Dado que las restricciones de radiación y espacio en la periferia del detector de píxeles son significativamente menos exigentes, se utilizará una conversión de energía clásica DC-DC [2-22] local de dos etapas, del mismo modo que para los módulos del *Outer Tracker*. El número de LpGBTs alimentados por cada convertidor DC-DC se mantendrá deliberadamente bajo, para no implicar la pérdida de una parte significativa del detector de píxeles en caso de falla de un convertidor DC-DC local. Al utilizar la conversión de energía DC-DC local con cargas de corriente más bajas, se puede reducir la masa y el volumen de las bobinas de núcleo de aire asociadas en comparación con las bobinas utilizadas para los módulos del OT.

## 2.7. Resumen

El Gran Colisionador de Hadrones (LHC), ubicado en el CERN cerca de Ginebra, Suiza, es el acelerador de partículas más grande y poderoso del mundo. Este colisionador subterráneo de 27 kilómetros de circunferencia acelera partículas, principalmente protones, a velocidades cercanas a la de la luz para recrear las condiciones del universo justo después del Big Bang. Los cuatro experimentos principales en el LHC – ATLAS, CMS, ALICE y LHCb – tienen objetivos específicos, desde la búsqueda de nuevas partículas hasta el estudio del plasma de quarks y gluones. CMS (“Compact Muon Solenoid”) es uno de los detectores más grandes del LHC, diseñado para explorar una amplia gama de fenómenos en la física de partículas. Con un imán solenoidal superconductor en su núcleo, el CMS mide las trayectorias y energías de las partículas con alta precisión. Este detector, compuesto por varios sub-detectores especializados, permite reconstruir y analizar eventos de colisión de las partículas en detalle.

El High *Luminosity Large Hadron Collider* (HL-LHC) es una actualización del LHC que busca incrementar su luminosidad instantánea hasta  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ . Esta actualización permitirá a los experimentos como ATLAS y CMS recolectar grandes volúmenes de datos, posibilitando estudios más detallados de procesos raros y la búsqueda de nuevas físicas más allá del modelo estándar. Las mejoras tecnológicas incluyen nuevos imanes, cavidades superconductoras y sistemas de alineación de haces, que aumentarán la capacidad de descubrimiento de los experimentos.

La actualización de Fase 2 del CMS es esencial para adaptarse a las demandas del HL-LHC. Esto incluye un reemplazo completo del detector de trazas con módulos de píxeles de silicio más resistentes a la radiación y de mayor granularidad. Además, el sistema de disparo L1 se mejorará para manejar mayores tasas de eventos y mejorar la selección de eventos relevantes en condiciones de alta luminosidad.

El *Inner Tracker* actualizado contará con sensores de píxeles reducidos ( $25 \times 100 \mu\text{m}^2$  o  $50 \times 50 \mu\text{m}^2$ ) para mejorar la resolución y soportar altas tasas de impacto y ambientes de radiación. Los sensores 3D, que ofrecen mayor resistencia a la radiación, se utilizarán en las regiones internas del *Inner Tracker*, donde la resistencia a la radiación es crítica.

El chip RD53 es una pieza fundamental en la actualización del CMS, diseñado para ser resistente a la radiación y manejar altas tasas de colisión. Este chip, desarrollado conjuntamente por las colaboraciones de ATLAS y CMS, utiliza tecnología CMOS de 65 nm y es capaz de procesar impactos de partículas con una latencia mínima y alta precisión, soportando hasta 1 Grad y  $10^{16}$  hadrones/cm<sup>2</sup> durante su vida útil. Su diseño permite una lectura eficiente y un

almacenamiento robusto de datos de colisiones, crucial para el análisis detallado de eventos en el HL-LHC.

El sistema de distribución de energía en serie es esencial para la operación del *Inner Tracker* en el entorno de alta luminosidad del HL-LHC. Este sistema permite una entrega eficiente de energía a los módulos de píxeles, minimizando la masa de los cables y las pérdidas de energía. Utiliza reguladores shunt-LDO (*Low Dropout*) integrados en los chips de píxeles, asegurando un suministro de voltaje estable a pesar de las fluctuaciones de carga. Este enfoque reduce significativamente las pérdidas totales de energía y permite una gestión térmica eficaz, fundamental para mantener el rendimiento del detector bajo condiciones extremas.

Estas actualizaciones y mejoras en el CMS y el HL-LHC permitirán una exploración más profunda en la física de partículas, posibilitando descubrimientos de nuevas partículas y proporcionando datos esenciales para entender mejor las fuerzas fundamentales de la naturaleza.

## 2.8. Referencias

- [2-1] The ALICE Collaboration, “The ALICE experiment at the CERN LHC”, *JINST* 3 S08002 (2008), <https://doi.org/10.1088/1748-0221/3/08/S08002>
- [2-2] The LHCb Collaboration, “The LHCb experiment at the CERN LHC”, *JINST* 3 S08005 (2008), <https://doi.org/10.1088/1748-0221/3/08/S08005>
- [2-3] RD53 collaboration web pages: <http://cern.ch/RD53>
- [2-4] T. Stockmanns et al, “Serial powering of pixel modules”, *NIMA*, Volume 511, Issues 1–2, 21 September 2003, Pages 174-179, [https://doi.org/10.1016/S0168-9002\(03\)01787-X](https://doi.org/10.1016/S0168-9002(03)01787-X)
- [2-5] S. König et al, “Assembly of the CMS pixel barrel modules”, *NIMA*, Volume 565, Issue 1, 1 September 2006, Pages 62-66, <https://doi.org/10.1016/j.nima.2006.04.081>
- [2-6] M. Manna, C. Grieco, S. Grinstein, S. Hidalgo, G. Pellegrini, D. Quirion, S. Terzo, “First characterisation of 3D pixel detectors irradiated at extreme fluences”, *NIMA*, Volume 979, 1 November 2020, 164458, ISSN 0168-9002, <https://doi.org/10.1016/j.nima.2020.164458>
- [2-7] G. Pellegrini et al, “First double-sided 3-D detectors fabricated at CNM-IMB”, *NIMA*, Volume 592, Issues 1–2, 2008, Pages 38-43, ISSN 0168-9002, <https://doi.org/10.1016/j.nima.2008.03.119>

- [2-8] G. Traversi et al, “A Rad-Hard Bandgap Voltage Reference for High Energy Physics Experiments”, Lecture Notes in Electrical Engineering, Vol. 627, Sept. 2019, [https://doi.org/10.1007/978-3-030-37277-4\\_3](https://doi.org/10.1007/978-3-030-37277-4_3)
- [2-9] M. Karagounis et al, “An integrated Shunt-LDO regulator for serial powered systems”, ESSCIRC 2009 proceedings, <https://doi.org/10.1109/ESSCIRC.2009.5325974>
- [2-10] T. Stockmanns et al, “Serial powering: Proof of principle demonstration of a scheme for the operation of a large pixel detector at the LHC”, NIMA, Volume 557, Issue 2, 15 February 2006, Pages 445-459, <https://doi.org/10.1016/j.nima.2005.11.115>
- [2-11] L. Gonella et al, “A serial powering scheme for the ATLAS pixel detector at sLHC”, JINST 5 C12002 (2010), <https://doi.org/10.1088/1748-0221/5/12/C12002>
- [2-12] M. Garcia-Sciveres et al, “The FE-I4 pixel readout integrated circuit”, NIMA, Volume 636, issue 1, p155-159, <https://doi.org/10.1016/j.nima.2010.04.101>
- [2-13] ATLAS-TDR-030, Technical Design Report for the ATLAS Inner Tracker Pixel Detector: <https://cds.cern.ch/record/2285585>
- [2-14] CMS-TDR-11, CMS Technical Design Report for the Pixel Detector Upgrade: <https://cds.cern.ch/record/1481838>
- [2-15] CMS-TDR-014, The Phase-2 Upgrade of the CMS Tracker: <https://cds.cern.ch/record/2272264>
- [2-16] L. Gaioni et al, “Optimization of the 65-nm CMOS Linear Front-End Circuit for the CMS Pixel Readout at the HL-LHC”, IEEE Transactions on Nuclear Science Volume 68, Issue 11, Pages 2682-2692, November 2021. <https://doi.org/10.1109/TNS.2021.3117666>
- [2-17] L.M. Jara Casas et al, “Characterization of radiation effects in 65 nm digital circuits with the DRAD digital radiation test chip”, 2017 JINST 12 C02039, <https://doi.org/10.1088/1748-0221/12/02/C02039>
- [2-18] M. Menouni et al, “1-Grad total dose evaluation of 65 nm CMOS technology for the HL-LHC upgrades”, 2015 JINST 10 C05009. <https://doi.org/10.1088/1748-0221/10/05/C05009>
- [2-19] S. Marconi et al, “Advanced power analysis methodology targeted to the optimization of a digital pixel readout chip design and its critical serial powering system”, 2017 JINST 12 C02017, <https://doi.org/10.1088/1748-0221/12/02/C02017>
- [2-20] J. Kampkotter, M. Karagounis, A. Stiller, G. Traversi, A. Pradas et al, “Stabilization and Protection of the Shunt-LDO regulator for the HL-LHC

pixel detector upgrades“, Proceedings of Science, Vol. 370, Sept. 2019, <https://doi.org/10.22323/1.370.0067>

- [2-21] J. Kampkotter, M. Karagounis, D. Koukola, F. Loddo, A. Pradas et al, “Characterization and verification of the Shunt-LDO regulator and its protection circuits for serial powering of the ATLAS and CMS pixel detectors”, Journal of Physics: Conference Series, Vol. 2374 (12022), May 2021, <https://doi.org/10.1088/1742-6596/2374/1/012071>
- [2-22] F. Faccio et al, “The bPOL12V DCDC converter for HL-LHC trackers: towards production readiness”, PoS (TWEPP2019) 370 070 (2020), <https://doi.org/10.22323/1.370.0070>

# Capítulo 3:

## *Sistema de alimentación híbrido (serie - paralelo): diseño estático y funcional*

---

En este capítulo se presenta el diseño estático y funcional de la red de distribución de potencia híbrida destinada a alimentar los chips de lectura, conocidos como *read-out chips* (ROC), de los futuros detectores empleados en los principales experimentos del CERN. Aunque este estudio se enfoca en el detector de píxeles del experimento CMS, también resulta aplicable al experimento ATLAS, dado que ambos comparten una base común de diseño del chip, electrónica de potencia integrada y topología de alimentación.

Primero, se abordarán los elementos fundamentales del diseño de un sistema de distribución de potencia en serie. Posteriormente, se ofrecerá una descripción detallada de la topología híbrida propuesta para estos detectores de física de altas energías, ampliando la información presentada en el capítulo 2. Se presentará y analizará el innovador regulador lineal (*Shunt-LDO* o SLDO), el cual posibilita este tipo de alimentación, caracterizándose por permitir la alimentación de módulos con corriente constante, facilitando así su conexión en serie.

Finalmente, se examinarán los desafíos asociados con esta configuración de distribución de potencia, detallando cómo se ha planificado el diseño de los distintos componentes para garantizar su funcionamiento óptimo en todas las condiciones operativas y modos de fallo posibles durante su vida útil. Este análisis servirá como base para la comprensión de los capítulos siguientes de la tesis.

### 3.1. Topología de alimentación híbrida

La principal innovación en la red de alimentación para la nueva generación de detectores de píxeles radica en la implementación de un sistema de alimentación en serie. Este sistema se caracteriza por la conexión en serie de los distintos módulos, los cuales son alimentados por una fuente de corriente constante. El objetivo principal de esta topología es transformar un sistema de baja tensión y alta corriente en uno de mayor tensión y menor corriente, reduciendo así la sección y el volumen del cableado de alimentación.

Actualmente, esta topología es la única solución viable para satisfacer los requisitos de potencia de los nuevos detectores de píxeles. Estudios previos [3-1] han mostrado las limitaciones de la alimentación en paralelo para estos nuevos detectores y las mejoras significativas que se pueden lograr con una correcta implementación de la topología en serie [3-2]. En la práctica, la topología utilizada en el detector final es híbrida, combinando alimentación en serie y en paralelo dentro del mismo sistema.

En detalle, se utilizan tres niveles de alimentación:

- **Alimentación en serie para los módulos de chips (HDI):** Los módulos del detector de píxeles de CMS están conectados en serie en cadenas de hasta 10 unidades, compartiendo la misma corriente de alimentación para la electrónica de los chips de lectura.
- **Alimentación en paralelo dentro de cada módulo:** Dentro de cada módulo, 2 o 4 chips están conectados en paralelo, compartiendo localmente la misma tensión de alimentación a la entrada.
- **Alimentación en paralelo de los sensores:** Los sensores reciben una tensión de alimentación independiente de la de los chips de lectura. El positivo o "vivo" de esta alimentación es común para todos los sensores, conectados en paralelo, mientras que el negativo o GND está conectado directamente a la GND del sistema.

Este enfoque híbrido permite una distribución de potencia eficiente, satisfaciendo los estrictos requisitos operativos de los nuevos detectores de píxeles.

La Fig.3.1 muestra de forma esquemática un grupo de módulos del futuro detector de píxeles conectados en serie. Un grupo puede albergar hasta un total de 10 módulos conectados en serie en el caso de CMS, que presentarán una tensión de referencia (GND) distinta, siendo el último de todos (#n) el único que tendrá conexión directa con la referencia global del sistema. La corriente fluye a través de la cadena serie, es utilizada por cada módulo y pasa al siguiente. Cada uno de los módulos posee 2 o 4 chips (CROC - CMS ReadOut Chip) conectados

en paralelo, y cada chip contiene dos reguladores SLDO, uno para cada uno de los dominios de la electrónica del chip, analógico y digital. De esta forma, la alimentación de cada dominio está aislada del otro en la medida de lo posible, con el objetivo de evitar acoplamiento del ruido generado por la electrónica digital en el *front-end* analógico que por lo general será mucho más sensible.

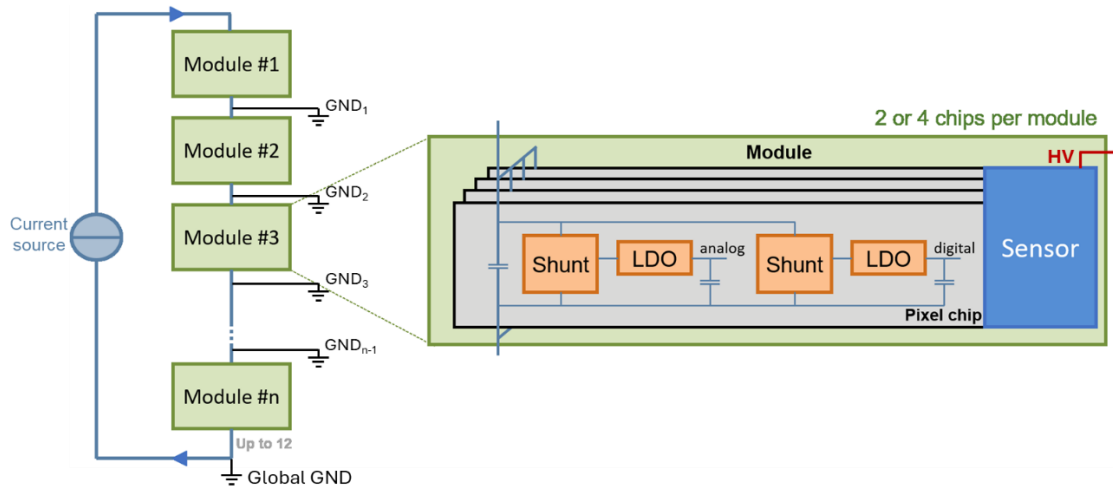


Fig.3.1. Ejemplo de esquema de un sistema híbrido genérico de  $n$  módulos de 2 o 4 chips para el detector de píxeles de CMS

Por otro lado, la alimentación de los sensores (HV) va conectada en paralelo a todos los sensores del sistema serie. Los sensores utilizan la misma referencia GND que los chips, por lo tanto, cada sensor presentará una tensión GND distinta. Esto hace que la tensión de polarización del sensor de cada módulo sea diferente de la de los demás. Esta es una característica intrínseca de los sistemas de alimentación serie, por tanto, el sistema deberá ser caracterizado y validado en las condiciones de operación del detector final, para asegurar que no existan diferencias de rendimiento o eficiencia entre distintos módulos de una misma cadena serie.

### 3.2. Regulador lineal tolerante a radiación para detectores de píxeles (Shunt-LDO)

Típicamente, un regulador de tensión lineal se refiere a una etapa electrónica que permite regular la tensión a su salida de forma muy estable y precisa, independiente de la tensión a su entrada. El regulador Shunt-LDO (SLDO) es un regulador lineal diseñado específicamente para sistemas de alimentación serie en detectores de física. Diseñado inicialmente con tecnología CMOS de  $0.25\mu\text{m}$ , debe su nombre a ser una combinación de un regulador de tensión lineal de caída de tensión reducida (*Low Drop-Out voltage regulator*, LDO) y un regulador

Shunt. El objetivo de esta topología es el de mantener una corriente de funcionamiento constante, permitiendo al mismo tiempo la conexión de varios dispositivos en serie y en paralelo, lo cual no es posible con un regulador shunt o un LDO convencionales. Esta topología fue desarrollada inicialmente en tecnología de  $0.25\mu\text{m}$  y  $0,13\mu\text{m}$  como parte de los chips FE-I3 y FE-I4 [3-3][3-4] (chips de lectura usados en el detector de píxeles del experimento ATLAS). De hecho, dado que se trata de un regulador que utiliza una microelectrónica novedosa y sin una validación completa, se decidió realizar un diseño configurable que permita funcionar también en modo LDO clásico, de forma que puede ser utilizado para una alimentación en paralelo. Posteriormente el diseño ha evolucionado significativamente durante su implementación en las distintas versiones de los chips desarrollados en la colaboración RD53, además de actualizarse y adaptarse a tecnología de  $65\text{nm}$ .

Como se ha comentado en los capítulos anteriores, el desarrollo del regulador SLDO está motivado por la necesidad de mejorar la eficiencia energética en la distribución de potencia de los detectores de píxeles y la limitación de espacio disponible para el cableado, tanto del experimento de ATLAS como de CMS. Debido estas limitaciones de espacio en los detectores, los cables que se utilizan para alimentarlos deben ser de una sección reducida y deben recorrer grandes distancias, desde las fuentes de alimentación primarias hasta el propio detector, que pueden alcanzar los 100m.

En la Fig.3.2 se muestra el esquema simplificado de la implementación del regulador en el chip, que servirá para entender el funcionamiento de esta topología.

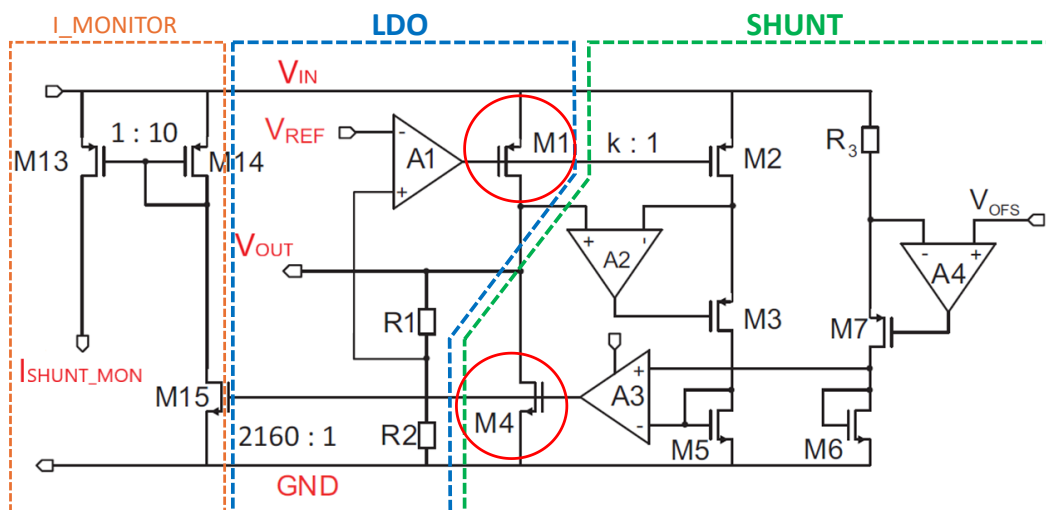


Fig.3.2. Esquema simplificado del regulador Shunt-LDO

El regulador LDO es un regulador lineal de baja caída de tensión con alta velocidad de respuesta. Tal como indica la Fig.3.2, el LDO está formado esencialmente por el transistor de potencia M1, y los elementos de

realimentación que ajustan la tensión de puerta de M1 para obtener la tensión requerida a la salida  $V_{OUT}$  a partir de la tensión de entrada  $V_{IN}$ . La realimentación comprende el amplificador A1 y el divisor de voltaje R1 y R2. Este regulador genera una tensión constante a la salida ( $V_{OUT}$ ), siendo  $V_{OUT}=2 \cdot V_{REF}$ . Esta tensión de salida del LDO es la que se utilizará para alimentar la carga, que será la propia electrónica del chip de lectura. La versión final del amplificador posee un circuito de realimentación algo más complejo que asegura la estabilidad del regulador para cualquier carga presente en la salida, pero no es un factor necesario para comprender el funcionamiento del circuito.

El regulador “shunt” es el punto clave y diferencial de esta topología. El transistor de potencia M4 (transistor de bypass o *shunt*) proporciona un camino alternativo a la corriente de  $V_{out}$  a GND, y se controla de forma que por él recircula la corriente que no esté consumiendo la carga. De esta manera se puede mantener un consumo de corriente constante a la entrada independientemente de las variaciones que se puedan dar en la carga, lo cual habilita su uso en sistemas de alimentación serie donde la corriente consumida debe ser la misma a través de toda la cadena de elementos de los que esté compuesta. Por tanto, la corriente de entrada estará definida por la fórmula  $I_{IN} = I_{Load} + I_{Shunt}$ , como muestra el esquema básico del regulador de Fig.3.3.

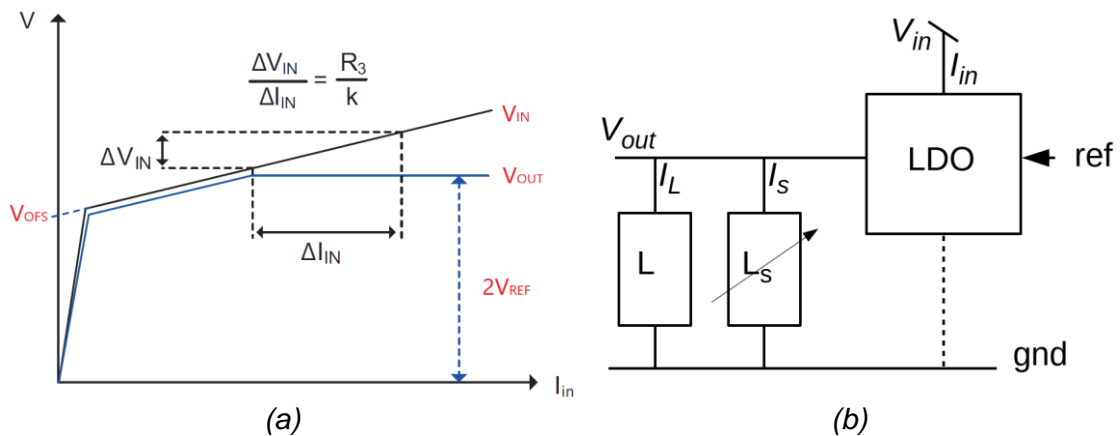


Fig.3.3. (a) Curva I-V ideal del regulador Shunt-LDO. (b) Esquema básico del regulador

En un *shunt* convencional, la tensión de entrada ( $V_{IN}$ ) queda fijada en un determinado valor de tensión bajo cualquier condición de  $I_{IN}$ . Si se requiere conectar reguladores de este tipo en paralelo, debido a las variaciones en los procesos de fabricación, siempre existirán pequeñas diferencias de tensión entre unos y otros, lo que producirá que la mayor parte de la corriente tienda a circular por el de menor voltaje. Sin embargo, en el Shunt-LDO [3-5], la tensión de entrada aumenta linealmente con la corriente, tal como muestra su curva I-V en la figura anterior. Esta característica permite la conexión en paralelo de este tipo de reguladores, ya que, en lugar de comportarse como una fuente de tensión ideal, presentan también un comportamiento resistivo añadido que permite un

reparto de corriente equilibrado entre ellos. Esta impedancia de entrada equivalente es configurable y vendrá determinada por la resistencia R3 y el factor de conversión  $k$  del espejo de corriente (*current mirror*) formado por M2 y M1.

Además del comportamiento resistivo, el regulador presenta una tensión de compensación,  $V_{offset}$ , que por simplificación se denomina generalmente  $V_{ofs}$ . Este parámetro, en el caso ideal, asegura una tensión mínima de entrada incluso con corriente prácticamente nula, como se observa en la curva I-V de Fig.3.3. El parámetro  $V_{ofs}$  es configurable por medio de una tensión externa, y proporciona una gran flexibilidad a la hora de establecer el punto de operación del sistema, de forma que se puede optimizar tanto la eficiencia como la fiabilidad del mismo. Es por esto que generalmente, visto desde la entrada y de forma simplificada, se representa a este regulador como una fuente de tensión con una resistencia en serie (ver Fig.3.5).

### 3.2.1. Configuración y punto de operación del regulador Shunt-LDO

Como se ha mencionado previamente, el regulador Shunt-LDO presenta un comportamiento estático caracterizado por su curva I-V. El par  $V_{ofs}$ - $R_{eq}$  define el comportamiento del SLDO y es completamente configurable, lo que permite un número casi infinito de posibilidades para un mismo punto de operación. La elección del punto de funcionamiento y la configuración del SLDO son aspectos críticos para optimizar el rendimiento del sistema, asegurar un reparto equilibrado de corriente entre los chips, mantener la estabilidad del sistema y garantizar un funcionamiento robusto ante posibles modos de fallo.

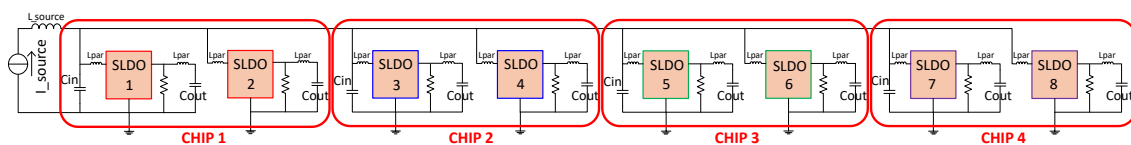


Fig.3.4. Esquema simplificado de módulo con 4 chips en paralelo

Como se desprende de los aspectos anteriores, el punto de operación tiene mayores implicaciones respecto al funcionamiento de chips en paralelo, o a nivel de módulo. La Fig.3.4 muestra un esquema simplificado de un módulo con 4 chips (8 SLDOs) conectados en paralelo, utilizado para analizar por simulación el comportamiento del sistema en función del punto de operación. Cada SLDO comprende un modelo de PSpice definido principalmente por sus dos parámetros principales,  $V_{ofs}$  y  $R_{eq}$ , que establecen su curva I-V. Además, incluye los elementos mínimos, que son los condensadores de desacoplo ( $C_{in}$  y  $C_{out}$ ) y sus inductancias parásitas asociadas ( $L_{par}$ ), y una resistencia que emula la carga del chip.

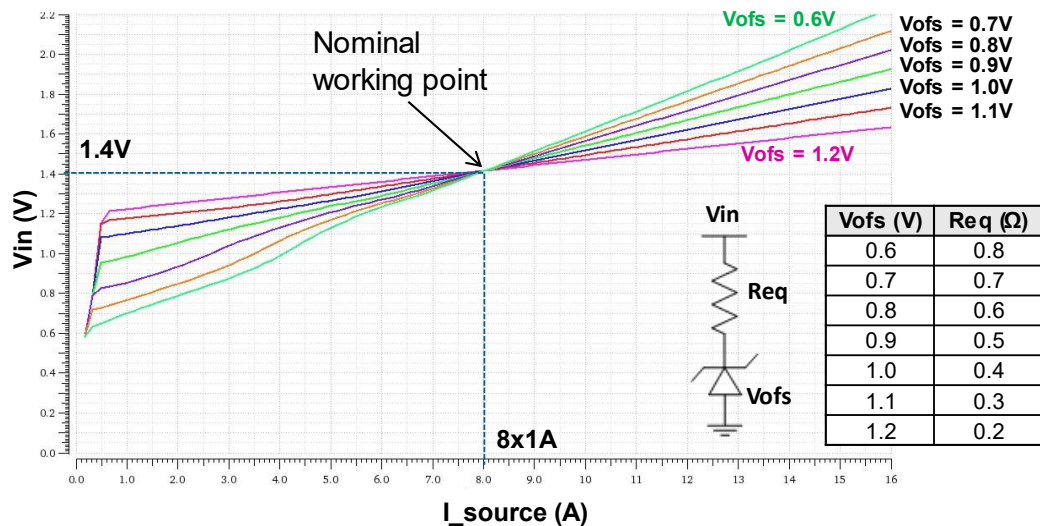


Fig.3.5. Curvas I-V de un módulo de 4 chips para distintas configuraciones del par  $V_{ofs}$ - $R_{eq}$

Un punto de operación típico I-V definido en las primeras etapas de diseño fue de 1.4V-1A por regulador Shunt-LDO. La elección de 1.4V se basó en ser la tensión mínima recomendada para el correcto funcionamiento del SLDO, buscando maximizar la eficiencia. El valor de 1A corresponde a un consumo típico estimado de 0.80A de la electrónica del FE, más un 25% adicional de corriente de reserva o *headroom*. La Fig. 3.5 muestra las curvas para distintas configuraciones de  $V_{ofs}$ - $R_{eq}$  en un módulo de 4 chips para este punto de operación. Desde un punto de vista estático, cualquier configuración es válida bajo condiciones nominales. Sin embargo, al considerar aspectos como modos de operación no nominales, tolerancias de parámetros o la respuesta dinámica del sistema, se estableció posteriormente un punto de operación nominal de 1.5V-1A, proporcionando un margen de seguridad mayor respecto a la tensión de entrada.

### 3.3. Características y funcionamiento de un sistema de alimentación serie

La distribución de potencia serie introduce un enfoque completamente distinto en comparación con la distribución en paralelo tradicional, lo que implica la necesidad de reajustar las ideas preconcebidas que tradicionalmente se basan en sistemas de alimentación por tensión, no por corriente. El núcleo del diseño de un sistema de alimentación en serie radica en definir con precisión el punto de operación y la configuración del SLDO, adaptándolos a las necesidades específicas de la aplicación. Esto requiere un análisis exhaustivo del consumo

de los chips, las posibles fluctuaciones, las tolerancias, la variabilidad de los parámetros del SLDO, así como su comportamiento en modos de fallo y la estabilidad general del sistema.

### 3.3.1. Alimentación en corriente

En el contexto del detector de píxeles del experimento CMS, la alimentación en serie es un enfoque fundamental para asegurar el rendimiento óptimo de la próxima generación de detectores. A diferencia de la alimentación convencional basada en un voltaje constante, la alimentación en serie proporciona una corriente constante, que también establece el límite máximo de demanda por parte de las cargas. Por tanto, es crucial garantizar que se suministre una corriente suficiente para cubrir la máxima carga prevista, asegurando así la estabilidad y eficacia del sistema.

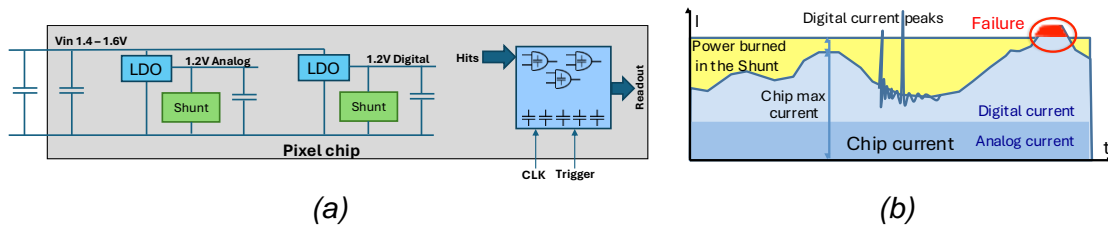


Fig.3.6. (a) Diagrama de bloques de la parte de alimentación del chip y las cargas asociadas (b) Distribución de corriente a lo largo del tiempo [3-6]

La Fig.3.6 muestra cómo puede distribuir el consumo de un chip a lo largo del tiempo, y cómo el sistema serie tiene que ser capaz de absorber estas variaciones de forma transparente. Para que esta topología funcione correctamente, es esencial tener un margen de corriente suficiente que se disipa en el *shunt* (en amarillo) y una capacidad de desacoplo mínima para permitir que las variaciones de carga puedan ser absorbidas de forma local.

No obstante, este enfoque tiene sus desafíos. Si un chip de píxeles intenta extraer más corriente de la proporcionada por la fuente de alimentación, el regulador Shunt-LDO correspondiente perderá la regulación y dejará de comportarse como indica su curva I-V. Además de la corriente máxima esperada, debemos considerar un margen adicional para cubrir picos de carga imprevistos, como muestra la Fig.3.6, y discrepancias en la distribución de corriente entre los chips en un módulo. Algunas mediciones realizadas sobre una muestra elevada de chips indican que puede haber una discrepancia de hasta un  $\pm 5\%$  en la impedancia de entrada y el voltaje de offset entre distintos chips, únicamente debido a los procesos de fabricación. Afortunadamente, se ha introducido un nuevo esquema de ajuste para el chip final (CROC), que permite ajustar la tensión de offset de forma precisa para compensar estas variaciones.

El suministro constante de la corriente máxima esperada junto con el rendimiento subóptimo de los reguladores Shunt-LDO resulta en una ineficiencia intrínseca de alrededor del 30%. Aunque esto garantiza la confiabilidad del detector, también genera puntos calientes locales, ya que la potencia excesiva se disipa en áreas pequeñas a lo largo del perímetro del chip. Por lo tanto, es crucial abordar adecuadamente la refrigeración.

Basado en simulaciones del chip y estimaciones de consumo, se ha establecido que un margen de corriente del 20-25% entre la corriente proporcionada por la fuente de alimentación y la corriente nominal consumida por el chip (digital + analógico) es generalmente suficiente para absorber posibles fluctuaciones [3-7]. Este margen es crucial, ya que debe equilibrarse entre la disipación de potencia y la estabilidad del sistema. Si el consumo del chip excede la corriente disponible durante un periodo prolongado, los condensadores de desacoplo podrían no compensar la demanda, lo que provocaría una pérdida en la regulación del SLDO y una caída en las tensiones de alimentación, comprometiendo el funcionamiento de los chips y generando transitorios que pueden afectar a otros elementos del sistema.

La regulación local de la potencia directamente en el circuito integrado minimiza significativamente la propagación de transitorios al resto del sistema, convirtiendo, de manera ideal, la distribución de alimentación en un suministro de tensión y corriente constantes.

### *3.3.2. Módulos flotantes con distinta GND*

Cada módulo conectado en serie utiliza una referencia de 0V (GND) local diferente, lo que, dependiendo del número de módulos y la configuración del sistema, puede generar diferencias de tensión superiores a 20V entre los módulos más distantes. Este aspecto es crucial, ya que cualquier señal o conexión compartida entre distintos módulos debe contar con aislamiento de GND y/o algún tipo de acoplamiento AC para gestionar las diferencias de tensión DC. Por lo general, se emplean condensadores en serie con las líneas de señal para evitar conexiones directas entre diferentes niveles de tensión. Estos condensadores deben dimensionarse cuidadosamente para no comprometer la integridad de la señal, soportar las tensiones máximas y evitar la generación de transitorios indeseados durante las fases de arranque y apagado del detector.

El diseño novedoso del regulador Shunt-LDO permite conectar hasta 4 chips en un mismo módulo en paralelo, compartiendo en este caso la misma GND. Esta función es muy importante, porque facilita la conexión de estos chips a un mismo sensor. Esto da gran flexibilidad respecto a la integración del sistema, ya que se habilita la posibilidad de tener módulos de distintos tamaños dependiendo de la

parte del detector donde se vayan a utilizar. Si solo se utilizaran módulos de 1 único chip aumentaría en gran medida la complejidad de distribución de las líneas de señal y reduciría enormemente la fiabilidad global del detector, ya que el fallo de un único chip supondría el fallo de un grupo completo.

Desde la perspectiva de la alimentación de los sensores, el sistema adquiere una mayor complejidad en comparación con una configuración paralela tradicional. Aunque los sensores consumen muy poca corriente, a menudo en el rango de unos pocos microamperios, su tensión de polarización puede superar los 700V, dependiendo del tipo de sensor y las condiciones de operación. Por esta razón, es crucial asegurar un aislamiento adecuado para soportar hasta 1000V, lo que incrementa las dimensiones y el volumen del sistema de alimentación. Para minimizar el impacto de estas líneas de alimentación, se procura reducir su número al mínimo indispensable, generalmente utilizando una única fuente de alimentación para todos los sensores de un mismo grupo dentro del detector. Sin embargo, en un sistema de alimentación en serie, cada sensor quedará polarizado a una tensión diferente según su posición en la cadena, debido al hecho de que cada módulo posee un nivel de referencia distinto.

### *3.3.3. Distribución de corriente entre chips en paralelo*

En el diseño propuesto, cada módulo que forma parte de una cadena en serie está compuesto por 2 o 4 chips conectados en paralelo. Esta configuración permite que la corriente de alimentación se distribuya entre los chips en función de la impedancia equivalente y la tensión de polarización de cada uno. La distribución de la corriente no es totalmente uniforme, ya que depende directamente de la impedancia que presenta cada chip, la cual está determinada por los parámetros de configuración del regulador SLDO. La Fig.3.7 ilustra de manera clara cómo los cambios en la resistencia equivalente ( $R_{eq}$ ) y en el voltaje de compensación ( $V_{offset}$ ) impactan la curva corriente-voltaje (I-V) del regulador SLDO, mostrando cómo estas variaciones influyen en el comportamiento del sistema. Dado que estas fluctuaciones pueden tener un efecto significativo sobre la operación del sistema en estado estacionario, se ha utilizado un modelo de simulación simplificado en Pspice para analizar y cuantificar el impacto de las variaciones o tolerancias en los parámetros del regulador.

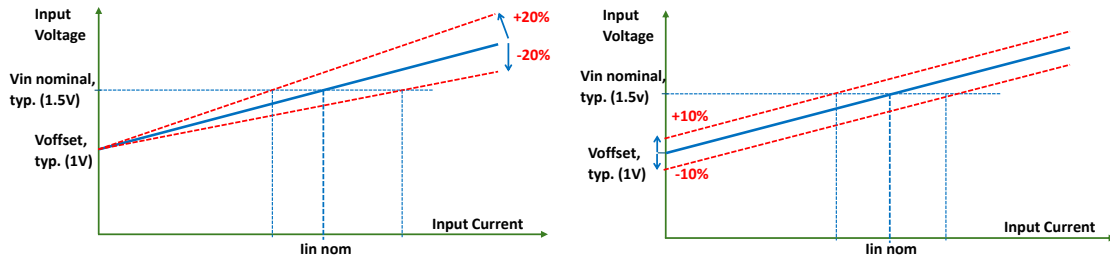


Fig.3.7. Curvas I-V para distintas variaciones de  $R_{eq}$  y  $V_{offset}$ .

La Fig.3.8 muestra el esquema simplificado del modelo de simulación de un módulo 2x2 de 4 chips utilizado para analizar los efectos de las tolerancias del chip durante su funcionamiento.

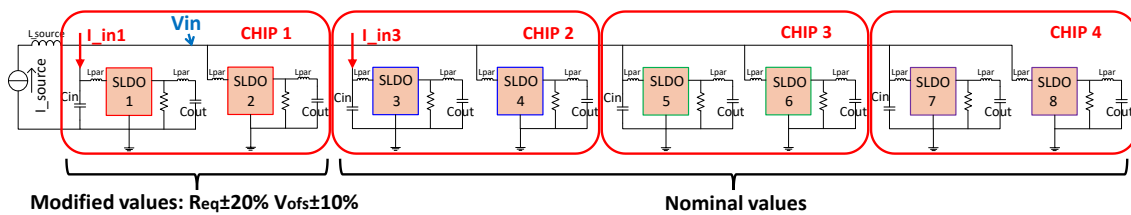


Fig.3.8. Esquema de simulación para determinar efectos de  $V_{ofs}$  y  $R_{eq}$ .

En este modelo, se varían los parámetros del SLDO correspondiente al chip 1, mientras que los otros chips se mantienen en sus valores de configuración ideales. Este enfoque permite analizar de manera clara los efectos y la contribución de las tolerancias, tanto de la resistencia equivalente ( $R_{eq}$ ) como del voltaje de compensación ( $V_{ofs}$ ), a nivel de módulo.

Los primeros resultados obtenidos de la simulación se presentan en la Fig.3.9, donde se muestra la corriente  $I_{in1}$ , correspondiente al chip modificado, y la corriente  $I_{in3}$ , asociada al chip 2, que conserva su configuración original. Adicionalmente, se presentan diversas curvas que reflejan diferentes puntos de operación, con valores de  $V_{ofs}$  que oscilan entre 0.6V y 1.2V.

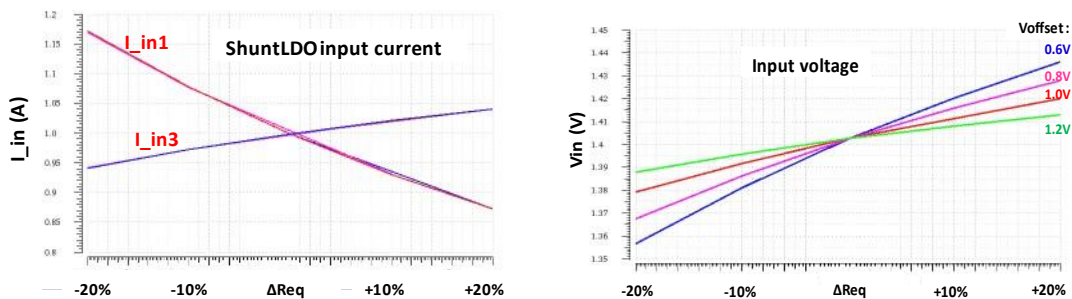


Fig.3.9. Variación de  $I_{in}$  y  $V_{in}$  de un módulo de 4 chips para tolerancias de hasta el  $\pm 20\%$  de  $R_{eq}$  en uno de los chips.

En la Fig.3.10 se muestran los efectos de una tolerancia de la tensión de offset de hasta el  $\pm 10\%$ . En estas figuras se indica la variación de  $I_{in}$  y  $V_{in}$  en el chip modificado, en porcentaje respecto al valor nominal.

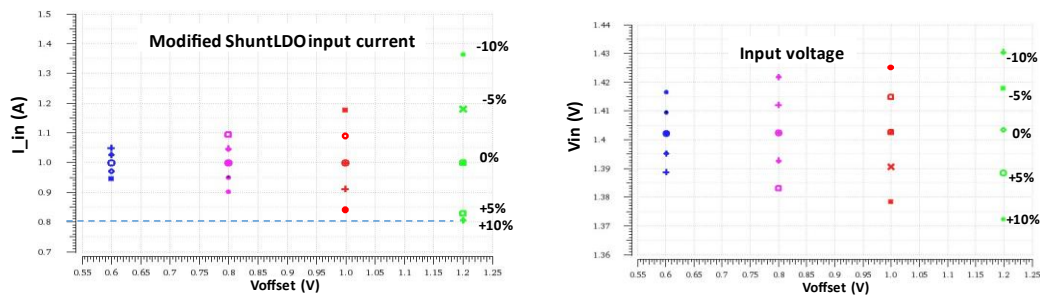


Fig.3.10. Variación de  $I_{in}$  y  $V_{in}$  de un módulo de 4 chips para las tolerancias de -10, -5, 0, 5 y 10% de  $V_{ofs}$  en uno de los chips.  $I_{in}$  en el chip modificado.

Se observa que el parámetro  $V_{ofs}$  tiene una influencia significativa en las variaciones de  $V_{in}$  e  $I_{in}$ , lo que subraya la necesidad de una optimización cuidadosa para garantizar un comportamiento robusto del chip a lo largo de su vida útil. A partir de los resultados de esta simulación, se determinó que fijar el valor de  $V_{ofs}$  es crucial para asegurar que, bajo cualquier condición operativa, las variaciones entre chips se mantengan por debajo del 1%. De esta forma se tiene la opción de trabajar con cualquier valor de  $V_{ofs}$ , dentro del rango disponible de 0.6-1.2V, sin sufrir variaciones importantes en el reparto de corrientes entre chips, lo que supondría una posible inestabilidad del sistema.

Este hecho propició la necesidad de implementar una topología de  $V_{ofs}$  común por cada módulo, para asegurar que la variación de este parámetro entre chips sea mínima. En la Fig.3.11 se presenta un esquema simplificado de la topología en cuestión.

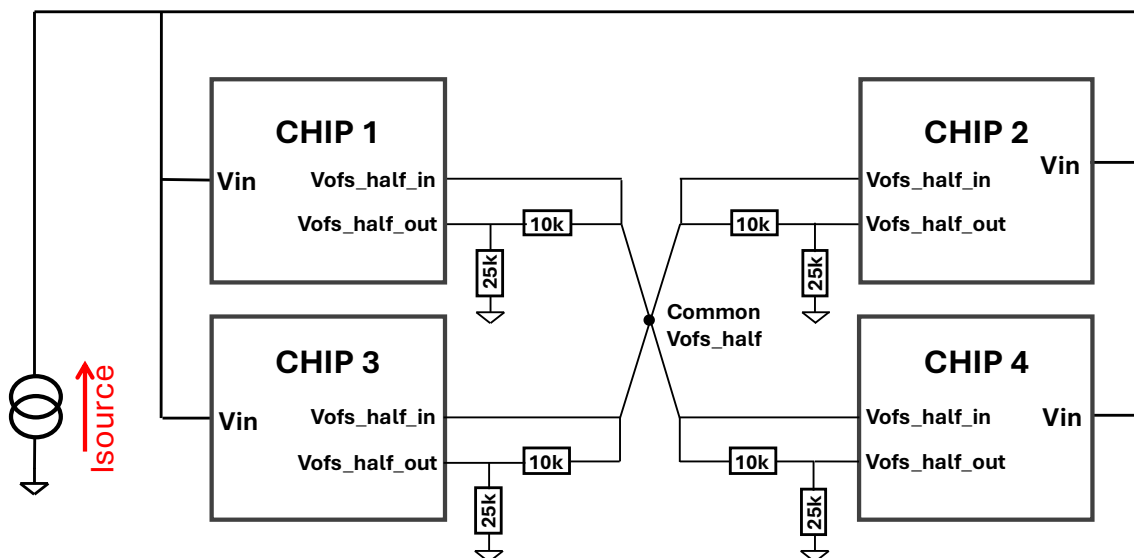


Fig.3.11. Topología de  $V_{offset}$  común en un módulo de 4 chips.

El chip RD53A original tenía una salida de corriente  $V_{ofs\_half\_out}$  donde se conectaba una resistencia externa para ajustar el valor de la tensión de offset. Esta referencia lleva la coletilla “*half*” debido a que, por limitaciones de tensión de la tecnología de 65nm y por simplicidad de diseño, de cara al exterior se utiliza la mitad de la tensión de referencia  $V_{ofs}$ , que posteriormente es multiplicada x2 internamente en el chip. En la nueva topología, cada chip tiene una salida del generador de offset ( $V_{ofs\_half\_out}$ ) y una entrada de offset ( $V_{ofs\_half\_in}$ ). Esta entrada, multiplicada por 2, es la que va a utilizar el regulador SLDO como referencia. Este esquema permite la conexión de todas las salidas de offset de los chips de un módulo en un punto común a través de una cierta impedancia, de forma que se obtiene un valor de offset promedio común (*Common  $V_{ofs\_half}$* ) que es el que va a ser utilizado por todos los chips. De esta forma se elimina cualquier discrepancia o efectos de tolerancias respecto a este parámetro, y su efecto en el reparto de corrientes será mínimo. Aunque es un cambio relativamente pequeño, requiere de un rediseño del chip, por lo que esta topología no pudo ser probada en prototipos hasta la siguiente revisión, el RD53B.

### 3.3.4. Modelo de potencia del chip de lectura

Para poder determinar la configuración óptima del regulador SLDO y sus implicaciones a nivel de sistema, es importante tener definido un modelo de potencia preciso del chip de lectura. Este modelo implica tener caracterizados los consumos energéticos de los distintos circuitos del chip, que se clasificarán o dividirán entre el dominio analógico y el digital.

En la Fig.3.12 se puede ver el plano a escala del chip de lectura final del detector de píxeles de CMS (CROC). Este plano simplificado ha sido creado en base al diseño final del chip CROCv1, y tiene interés desde un punto de vista de análisis térmico, por mostrar el tamaño y posición de los principales elementos que van a disipar energía.

En la figura se muestran los transistores de potencia a escala en la parte inferior del chip (*Chip Bottom*), muy próximos al borde. Cada SLDO está dividido en 4 bloques separados precisamente para mejorar la disipación energética. A pesar de ser los elementos que más potencia van a disipar, ocupan una superficie mínima respecto al total del silicio, lo que implica puntos de concentración de calor. Esta información es muy importante para la distribución de los tubos de enfriamiento de CO<sub>2</sub> y el diseño del sistema de refrigeración completo. Tanto el plano del chip, como los valores de potencia disipada resultado de este estudio, se utilizarán como entrada para los modelos de simulación térmica que realiza el grupo de desarrollo de la parte mecánica del detector de CMS. Esta información es crítica para el diseño, dimensionamiento y ajuste del sistema de refrigeración,

además de todos los elementos mecánicos del sistema (estructura mecánica, elementos de interfaz térmico, aislantes y adhesivos, entre otros).

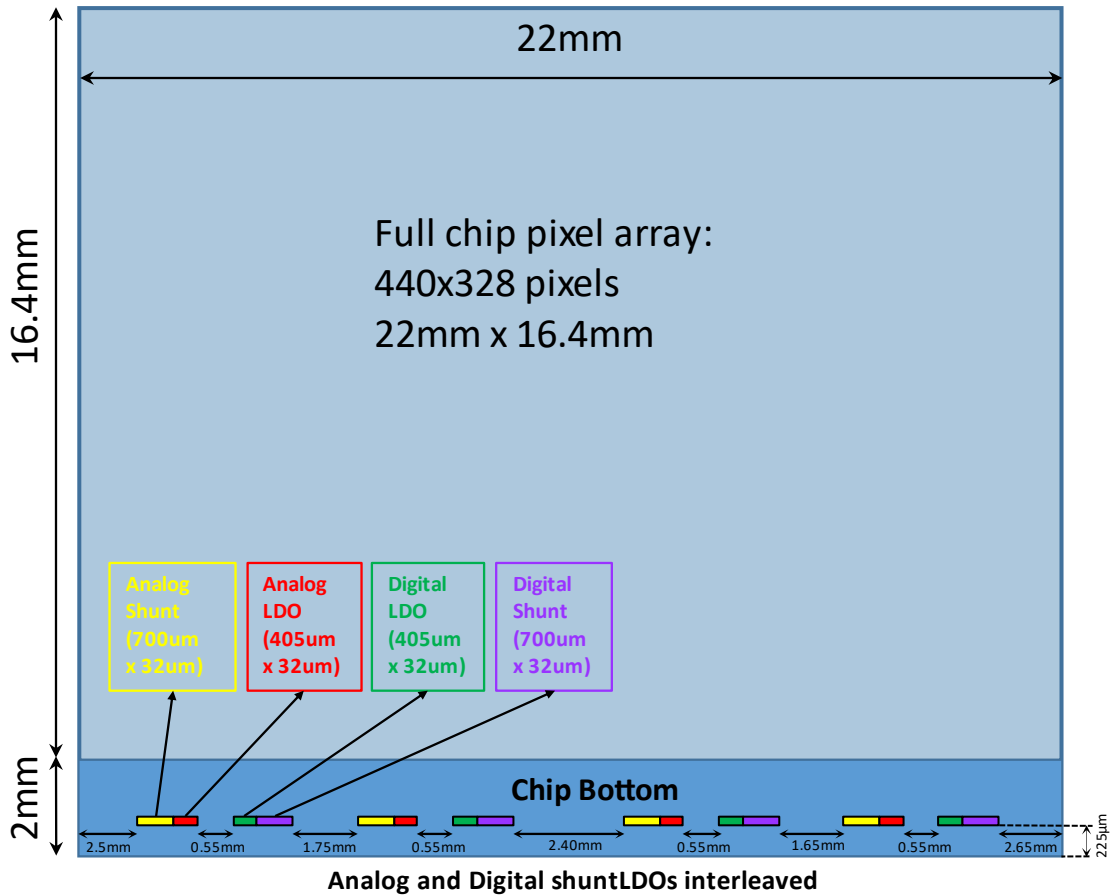


Fig.3.12. Plano de distribución a escala del chip CROC mostrando la posición y superficie ocupada por el SLDO y la matriz de píxeles

El consumo detallado de las partes principales del chip se muestra en la Tabla 3.1. Este consumo se basa en una actividad de detección (*hit rate*) de 3GHz/cm<sup>2</sup> y una frecuencia de *trigger* de 1MHz, que se corresponden con los valores estimados para la capa más próxima al punto de interacción (L1) del subdetector TBPX. Se utiliza este caso para el modelo de potencia por ser el escenario con mayor consumo del *inner tracker*, y por tanto el más restrictivo en cuanto a disipación de potencia.

En la información que presenta la tabla se establecen 3 escenarios de consumo posibles, desde el valor típico o nominal, a los extremos optimista y conservador. Esta variación de consumo depende principalmente de la corriente de polarización necesaria para el funcionamiento de cada píxel, aunque también contempla otras variaciones debidas al proceso de fabricación de la tecnología de 65nm.

Tabla 3.1. Consumo de corriente de la electrónica de un chip en la capa L1 del TBPX. Consumo por píxel, “Chip bottom” y SLDO headroom.

Element	Opt	Nom	Cons
Per pixel analog	3.1 $\mu$ A	3.6 $\mu$ A	4.2 $\mu$ A
Per pixel digital	3.1 $\mu$ A	3.6 $\mu$ A	4.2 $\mu$ A
Analog Chip bottom	130 mA	150 mA	180 mA
Digital Chip bottom	70 mA	100 mA	150 mA
<b>TOTAL 440x328 chip</b>	<b>1.10 A</b>	<b>1.30 A</b>	<b>1.54 A</b>
<b>+25% SHUNT -LDO Headroom</b>	<b>1.38 A</b>	<b>1.61 A</b>	<b>1.93 A</b>

La corriente de polarización de los píxeles es configurable. A mayor corriente mejor rendimiento, es decir, mejor relación señal ruido, por lo que será necesario llegar a un compromiso. Los datos mostrados son estimaciones basadas en simulaciones realizadas con los diseños finales de la microelectrónica del chip CROC en *Cadence Virtuoso*, y deberán ser ajustados tras la caracterización del prototipo final.

En base a estos valores, se obtiene la distribución de la potencia disipada en los distintos componentes de los dos SLDO de un chip y el resto de la electrónica, como se ilustra en la Fig.3.13.

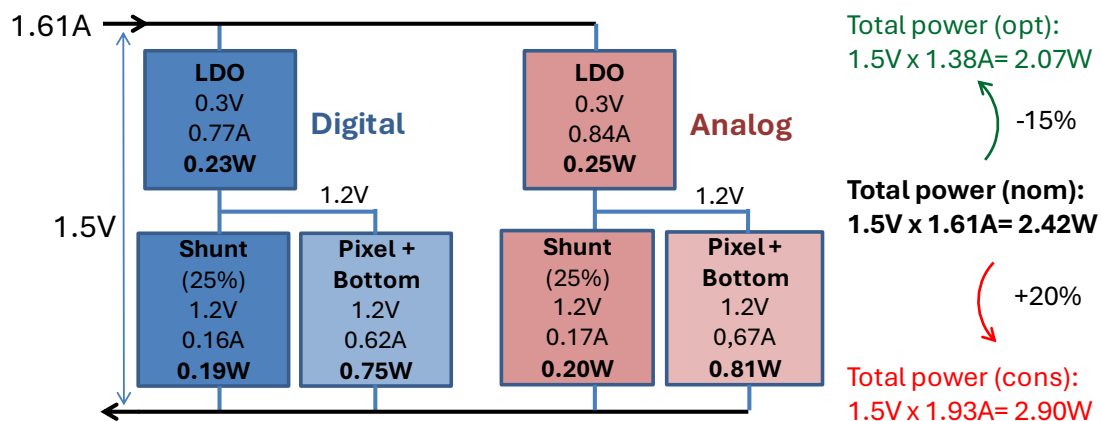


Fig.3.13. Potencia disipada en los elementos del SLDO para el caso de funcionamiento nominal del chip para la capa L1 de TBPX. Se indican además estimaciones de consumo optimista, nominal y conservativa.

En el escenario típico o nominal, con un punto de operación de 1.5V de tensión de entrada, la disipación total estimada es de 2.42W. Este modelo contempla el consumo para el funcionamiento nominal en las capas más próximas al punto de interacción, es decir en la zona con mayor actividad del detector, donde los chips detectarán mayor número de colisiones por unidad de tiempo (*hit-rate*) y por tanto tendrán un mayor consumo. Mientras nos alejamos del punto de interacción, en

las capas más externas, se irá reduciendo el consumo de la matriz de píxeles paulatinamente.

Existen otros casos de funcionamiento, ya sea durante el arranque o puesta en marcha, o por una configuración incorrecta, donde el FEE va a tener un consumo menor que el nominal, y el exceso de corriente va a ser derivado por el transistor shunt. En esta situación la potencia disipada se va a concentrar todavía más en los transistores del SLDO, por lo que es un caso importante que considerar. En el caso extremo donde la matriz de píxeles y la electrónica auxiliar tengan un consumo nulo, toda esa potencia disipada se trasladará al transistor *shunt*.

La siguiente tabla muestra un resumen de la potencia disipada para el consumo nominal de la capa L1, y la potencia en el caso de que la carga tenga un consumo nulo. Se puede ver que el consumo total no varía entre los dos escenarios, ya que el punto de operación I-V se mantiene invariante. Sin embargo, la disipación del transistor *shunt* se multiplica por 5 en el caso de no tener carga.

Tabla 3.2. Disipación de potencia en los chips de TBPX-L1 para los casos nominal y sin carga

POWER (W)	Pshunt_ana	PLDO_ana	Ppixel_ana	Pshunt_dig	PLDO_dig	Ppixel_dig	PCHIP	Pmodule_2	Pmodule_4
Nominal L1	<b>0.20</b>	0.25	0.81	<b>0.19</b>	0.23	0.75	2.43	4.86	9.72
No load	<b>1.01</b>	0.25	0	<b>0.94</b>	0.23	0	2.43	4.86	9.72

Basándonos en estos datos de consumo, se obtiene el modelo simplificado equivalente del chip visto desde la fuente de alimentación, y del mismo modo, la configuración básica de referencia de los reguladores SLDO de los dos dominios del chip. Asumiendo un valor de  $V_{ofs} = 1V$ , un punto nominal de funcionamiento de 1.5V, y basado en el circuito equivalente ya mostrado anteriormente (ver Fig.3.5) de  $V_{ofs} + R_{eq}$  en serie se obtienen los valores de la Tabla 3.3.

Tabla 3.3. Valores ajustados de los parámetros del modelo simplificado de los chips de TBPX-L1

Domain	$I_{IN}$ (A) nom	$V_{ofs}$ (V)	$R_{eq}$ ( $\Omega$ ) opt	$R_{eq}$ ( $\Omega$ ) nom	$R_{eq}$ ( $\Omega$ ) cons
Digital domain	0.77	1.0	0.77	<b>0.64</b>	<b>0.53</b>
Analog domain	0.84	1.0	0.69	<b>0.60</b>	<b>0.51</b>
Full Chip	1.61	1.0	0.36	<b>0.31</b>	<b>0.26</b>

Estos valores van a ser utilizados como referencia para los modelos simplificados utilizados en los análisis posteriores.

### 3.3.5. Modos de funcionamiento degradado

Una red de distribución de potencia debe diseñarse con la robustez necesaria para tolerar fallos en chips o módulos individuales. Esto implica que, en el caso de que un chip o módulo presente un fallo, el conjunto o la cadena en serie a la que pertenece debe continuar operando de manera adecuada. De lo contrario, el mal funcionamiento de un solo chip podría desencadenar un fallo en cascada que afectaría a decenas de chips conectados en la misma serie (hasta 40 chips en el grupo de mayor tamaño).

Ante la eventualidad de un fallo total en un chip, se contemplan dos modos de funcionamiento degradado extremos: cortocircuito o circuito abierto. En cada uno de estos escenarios existen diversas posibilidades de fallo o de comportamiento, las cuales impactan de manera distinta al módulo afectado y, en consecuencia, a la operatividad de la red en su conjunto.

El propósito fundamental de este estudio es optimizar el modelo de disipación térmica en los modos degradados, de forma que el sistema de refrigeración pueda dimensionarse adecuadamente para asegurar el funcionamiento continuo del detector sin que surjan problemas térmicos. A partir de la experiencia acumulada en otros detectores y diseños de chips de lectura, junto con los datos obtenidos de los prototipos RD53A, se definen las siguientes posibles situaciones y escenarios asociados a los modos degradados:

1. Fallo de un chip en circuito abierto. El chip deja de funcionar y de consumir energía, por lo que la corriente se tiene que distribuir en el resto de los chips del módulo.
2. Fallo de las tensiones de referencia de un chip (*bandgaps*). El chip degradado sigue consumiendo corriente, pero falla el circuito que genera las tensiones y corrientes de referencia, por lo que la tensión  $V_{ofs\_half}$  tiende a 0V.
3. Fallo de un chip en cortocircuito. El cortocircuito puede generarse tanto a la entrada como a la salida del SLDO y puede tener causas diversas: fallo en la microelectrónica del chip, fallo de componentes del HDI (condensadores cerámicos) o fallo en las micro soldaduras (*wirebonds*) que conectan chip con HDI.

Se prevé que el fallo de un chip en un módulo sea altamente probable durante su vida útil, por lo que éste será el escenario principal a analizar. La posibilidad de que dos chips fallen simultáneamente es muy baja, a menos que existan serios problemas en el diseño del sistema. El fallo de un solo chip tendrá un impacto diferente dependiendo de si se trata de un módulo con cuatro chips (*quad*) o con dos chips (*double*). Simplificando, estos escenarios se conocen como fallos de  $\frac{1}{4}$  y  $\frac{1}{2}$  de chips, respectivamente.

En ambos casos, es fundamental entender cómo varía la tensión de *offset* ( $V_{ofs}$ ) en el chip afectado. Cuando se utiliza una topología de *offset* común, cualquier alteración en el generador de tensiones o corrientes de referencia de un chip influye en el valor compartido por todo el sistema. Por esta razón, un modelo simplificado de los módulos no es suficiente para obtener resultados precisos, ya que los reguladores SLDO pueden entrar en modos de operación no lineales, alejándose de su comportamiento típico en la curva I-V.

Para abordar estos modos de funcionamiento degradado, se ha creado un modelo de simulación detallado del circuito del regulador SLDO en Cadence Virtuoso. Este enfoque permite una representación más realista de los efectos de los fallos y su impacto en el sistema.

A continuación, se procede a analizar detalladamente cada uno de los casos de forma individual, y el efecto que tiene en cada caso el uso del *offset* común. Al finalizar, se presenta una tabla de resultados que recoge la disipación térmica de cada elemento del chip en los distintos modos de funcionamiento degradado.

Fallo en circuito abierto de  $\frac{1}{4}$  y  $\frac{1}{2}$  de chips **sin**  $V_{ofs}$  común:

El caso sin  $V_{ofs}$  común es más sencillo de analizar, ya que el fallo de un chip no afecta a las referencias de los demás, que seguirán manteniendo su curva I-V, pero con un consumo de corriente más elevado, como muestra la Fig.3.14. En la Tabla 3.4 se resume el comportamiento de las principales tensiones y corrientes de este modo degradado.

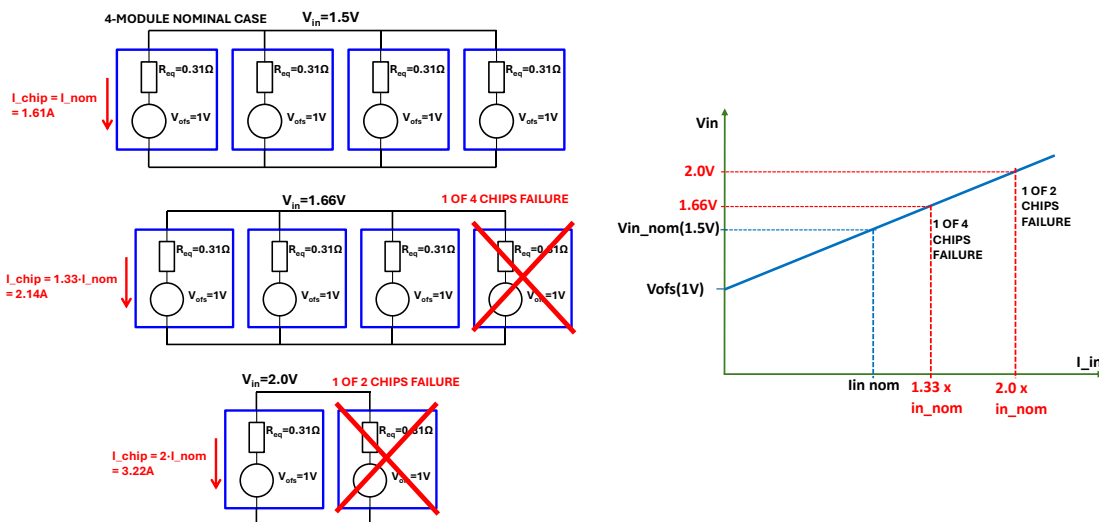


Fig.3.14. Esquemas y curva I-V para fallo en circuito abierto y topología sin  $V_{ofs}$  común.

Fallo en circuito abierto de  $\frac{1}{4}$  y  $\frac{1}{2}$  de chips **con**  $V_{ofs}$  común:

Los resultados de las simulaciones basadas en modelos realistas indican que, cuando un chip dentro de un módulo entra en un estado de circuito abierto, su tensión de referencia,  $V_{ofs\_half}$ , tiende a aproximarse a 0V. Esto genera una reducción en el  $V_{ofs}$  común, que representa el promedio de las tensiones  $V_{ofs}$  generadas por cada uno de los chips. La Tabla 3.4 presenta los resultados precisos obtenidos en dichas simulaciones.

Tabla 3.4. Resultados de simulación en Cadence Virtuoso de fallo en circuito abierto de 1 chip en módulos de 2 y 4 chips

	Open Circuit Chip Failure	Vin (V)	Vofs chips OK (V)	Iin chips OK (A)	Vofs chip fail (V)	Iin chip Fail (A)
	Nominal	1.507	1.011	1.61	-	-
4 CHIPS MODULE	No Common Vofs fail	1.672	1.011	2.146	0.010	0
	Common Vofs fail	1.440	0.775	2.146	0.010	0
2 CHIPS MODULE	No Common Vofs fail	2.012	1.011	3.22	0.010	0
	Common Vofs fail	1.651	0.505	3.22	0.010	0

Estos resultados revelan algunos valores de interés que no se observan en los modelos simplificados, ya que exhiben ciertos comportamientos no lineales. Al analizar el funcionamiento de la electrónica que genera y aplica la tensión  $V_{ofs}$  en el regulador SLDO, se identifican limitaciones en las tensiones mínimas en ciertos puntos del circuito. Estas limitaciones alteran el comportamiento del regulador cuando se opera con valores extremadamente bajos de  $V_{ofs\_half}$ .

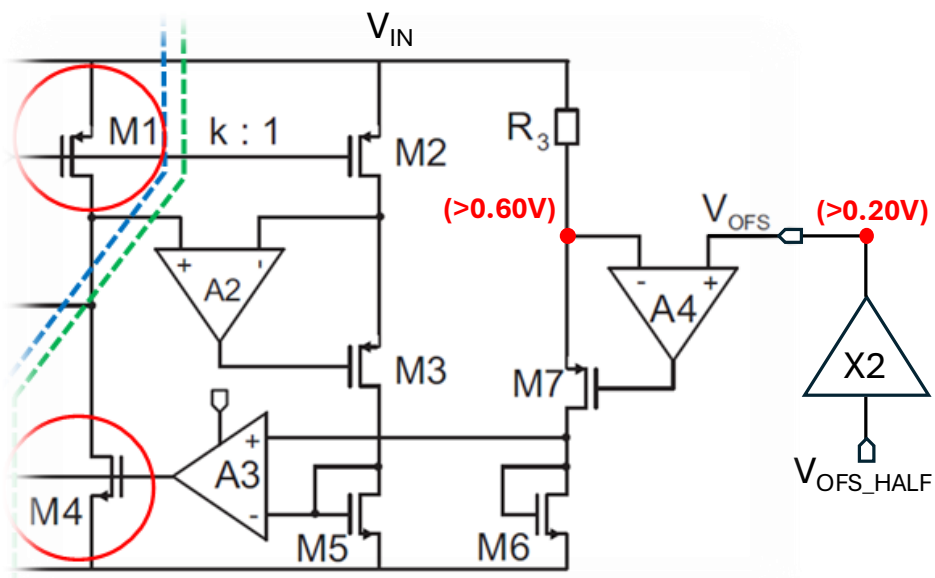


Fig.3.15. Tensiones mínimas en la cadena de aplicación de la tensión  $V_{ofs}$  en el esquema del regulador SLDO.

La Fig.3.15 muestra las principales limitaciones de la electrónica, utilizando parte del circuito del SLDO que presentó en la Fig.3.2, y que son esencialmente dos:

1. La salida del amplificador “X2” que genera la tensión  $V_{ofs}$  presenta una tensión mínima de alrededor de 0.20V, por lo que generar una tensión  $V_{ofs}$  menor que esto no es posible en ningún caso.
2. El amplificador A4 junto a M7, se utilizan para fijar el extremo inferior de R3 a la tensión de  $V_{ofs}$ . Sin embargo, esta tensión presenta un valor mínimo de alrededor de 0.60V debido a la caída de tensión en M6 y M7 necesaria para su funcionamiento.

Estos hallazgos son muy importantes para obtener un modelo de potencia preciso del detector en los modos degradados.

Fallo de tensiones de referencia de  $\frac{1}{4}$  y  $\frac{1}{2}$  de chips con  $V_{ofs}$  común:

Del mismo modo que en el caso anterior, se han estudiado estos modos degradados con el modelo detallado, ya que aparecen valores extremos de  $V_{ofs}$  que presentan comportamientos no lineales.

*Tabla 3.5. Resultados de simulación en Cadence Virtuoso de fallo en la referencia  $V_{ofs}$  de 1 chip en módulos de 2 y 4 chips*

	Vofs reference failure	Vin (V)	Vofs chips OK (V)	lin chips OK (A)	Vofs chip fail (V)	lin chip Fail (A)
	Nominal	1.507	1.011	1.61	-	-
<b>4 CHIPS MODULE</b>	<b>No Common Vofs fail</b>	1.406	1.011	1.28	<b>0.208</b>	2.60
	<b>Common Vofs fail</b>	1.217	<b>0.709</b>	1.61	<b>0.709</b>	1.61
<b>2 CHIPS MODULE</b>	<b>No Common Vofs fail</b>	2.012	1.011	0.95	<b>0.204</b>	2.27
	<b>Common Vofs fail</b>	<b>1.208</b>	0.505	1.61	0.505	1.61

En la tabla anterior se muestran los resultados de esta simulación para módulos de 2 y 4 chips, y para topología de  $V_{ofs}$  común e independiente. Se resaltan además en negrita algunos valores de interés que se salen de la linealidad de la curva I-V del modelo simplificado.

En estos modos degradados, el uso de un  $V_{ofs}$  común provoca una caída drástica en la tensión de entrada ( $V_{in}$ ) hasta aproximadamente 1.2V, lo que resulta en una reducción significativa de la disipación de potencia. Sin embargo, esta baja tensión desactiva los chips del módulo, dejándolos inoperativos. Por otro lado, con un  $V_{ofs}$  individual, el chip afectado muestra una disipación de potencia considerablemente superior a la nominal. A pesar de que este no es un modo de funcionamiento ideal, las tensiones de entrada permiten que todos los chips del módulo sigan operando correctamente.

### Fallo de cortocircuito a la entrada de un chip o del SLDO:

Este escenario degradado es relativamente sencillo de analizar. Este fallo en cortocircuito se caracteriza por presentar una impedancia muy baja en la entrada de los chips, lo que conduce la mayor parte de la corriente y provoca una caída de la tensión hasta valores cercanos a 0V. Como consecuencia, los chips del módulo quedan inhabilitados. No obstante, y asumiendo que el fallo efectivamente presenta una impedancia muy baja, el módulo afectado quedará fuera de operación, pero los demás elementos conectados en serie continuarán funcionando con normalidad.

### Fallo de cortocircuito a la salida del SLDO del chip para $\frac{1}{4}$ y $\frac{1}{2}$ de chips:

El escenario es diferente cuando el cortocircuito se produce en la salida del regulador SLDO. En este caso, la corriente que fluye a través del cortocircuito está limitada por la propia topología del SLDO. El transistor LDO tiene un límite teórico de corriente máxima, diseñado para 2A. No obstante, en la práctica, puede soportar corrientes superiores, aunque bajo estas condiciones deja de comportarse de manera lineal.

Al simular este escenario con un modelo detallado, se observa que la tensión de entrada del módulo no cae a 0V, como sucedía en el caso anterior, sino que se estabiliza en valores de entre 1 y 1.1V. En la Fig.3.16 se muestran los resultados de una simulación de un transitorio de cortocircuito en  $t = 1$  ms en la salida de un SLDO para un módulo con cuatro chips en paralelo. Se presentan tanto las tensiones como las corrientes en el SLDO afectado por el cortocircuito y en otro SLDO perteneciente a un chip "intacto", bajo condiciones de carga nominal y carga baja.

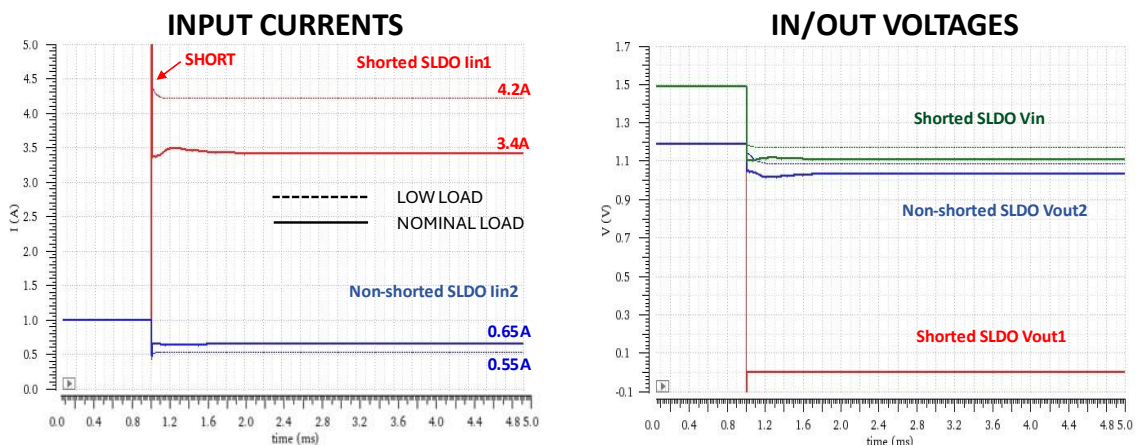


Fig.3.16. Simulación de transitorio de cortocircuito a la salida de un SLDO en un módulo de 4 chips

En todos los casos  $V_{in}$  cae muy por debajo de la tensión mínima para el correcto funcionamiento de los chips ( $>1.40V$ ), por lo que el módulo quedará inhabilitado. El resto de los elementos conectados en serie seguirán funcionando sin problema, ya que la corriente continúa circulando por el módulo degradado.

Cabe destacar que un fallo por cortocircuito puede causar calentamientos locales o puntuales muy elevados debido al propio mecanismo del cortocircuito, y deberá ser analizado en detalle en prototipos avanzados del detector.

Resumen del modelo de potencia para los principales modos de funcionamiento:

En la siguiente tabla se muestra un resumen del consumo de los principales modos de funcionamiento, normales y degradados. En la tabla se diferencia el consumo de cada una de las partes de los chips no degradados, y se da la disipación total incluyendo chips degradados y no degradados. Se presentan únicamente los resultados para la topología de  $V_{ofs}$  común, ya que se decidió su uso de forma definitiva para el detector final, con el fin evitar cualquier variación entre chips por efectos de las tolerancias de fabricación.

*Tabla 3.6. Valores optimizados del punto de operación de los chips CROC en la capa más cercana al punto de interacción*

POWER (W)	CHIPS OK POWER (W)						TOTAL POWER (W)			
	PShunt_ana	PLDO_ana	Ppixel_ana	PShunt_dig	PLDO_dig	Ppixel_dig	PCHIP_OK	PCHIP_FAIL	Pmodule_2	Pmodule_4
Nominal L1	0.20	0.25	0.81	0.19	0.23	0.75	2.43	-	4.86	9.71
No load	1.01	0.25	0	0.94	0.23	0	2.43	-	4.86	9.71
¼ fail open	<b>0.53</b>	0.27	0.81	<b>0.50</b>	0.24	0.75	3.10	0	-	9.28
½ fail open	<b>1.21</b>	0.76	0.81	<b>1.11</b>	0.69	0.75	5.32	0	5.32	-
¼ fail Vofs							1.96	1.96	-	7.86
½ fail Vofs							1.94	1.94	3.88	-
¼ fail output short							0.60	~4.4 (LDO)	-	~6.2

Desde el punto de vista del diseño del sistema de refrigeración, los modos de mayor relevancia son aquellos de funcionamiento normal, nominal y sin carga, así como los modos degradados en circuito abierto. En los demás modos, la disipación total del módulo es inferior a la del caso nominal, por lo que no se presentan desafíos adicionales para la refrigeración.

El caso del cortocircuito, sin embargo, puede mostrar variaciones significativas según su ubicación y características específicas, por lo que debe ser evaluado en prototipos para cada situación particular, ya que podría ocasionar la formación de puntos calientes. Por ejemplo, en la simulación realizada, el 70% de la potencia total del módulo es disipada exclusivamente por el transistor LDO de uno de los dominios de un chip. En situaciones extremas, esto podría causar sobrecalentamiento, lo que a su vez podría llevar a literalmente a quemar el silicio o los materiales de interfaz térmica del sistema de refrigeración.

### 3.3.6. Optimización de punto de operación del regulador Shunt-LDO

Se ha demostrado que la eficiencia energética y la disipación de potencia son aspectos fundamentales en el diseño de la nueva generación de detectores de píxeles. A partir de los estudios presentados en este capítulo y con los ensayos realizados en los chips finales, se han llevado a cabo análisis multifactoriales más exhaustivos con el fin de identificar los valores óptimos de configuración de los reguladores SLDO en cada chip. Estos estudios finales, realizados recientemente en colaboración con el grupo de desarrollo e integración de la electrónica del detector de píxeles del CMS, IT ASIC & Electronics System, se detallan en las referencias [3-8] y [3-9].

En este análisis se obtiene el valor de  $V_{ofs}$ ,  $Req$  y corriente de *headroom* óptimos para cada SLDO, teniendo que cumplir con los siguientes requisitos:

- Funcionamiento nominal:  $1.45V < V_{in} < 1.65V$
- Degradado  $\frac{1}{4}$  de chips:  $1.45V < V_{in} < 1.85V$
- Degradado  $\frac{2}{4}$  o  $\frac{1}{2}$  de chips: este caso no se contempla y se asume que estará cubierto por la protección de sobretensión (OVP)
- Corriente extra de la parte digital y analógica  $> 10\%$ .
- Disipación de potencia mínima

El estudio se ha realizado teniendo en cuenta las tolerancias de  $Req$  que se dan debido a la variabilidad del factor de conversión de corriente  $k$  (ver Fig.3.3) por los procesos de fabricación. Estos datos se obtienen de una estadística tomada por medio de mediciones en más de 1000 chips de distintas obleas de silicio, y es la mayor fuente de incertidumbre respecto al punto de operación de cada chip.

Tabla 3.7. Valores optimizados del punto de operación de los chips CROC en la capa más cercana al punto de interacción

ModuleType	Vofs (V)	Req_ana( $\Omega$ )	Req_dig( $\Omega$ )	Req_chip( $\Omega$ )
1x2, initial config	1	0.53	0.58	0.277
1x2, Lowest Power	1.2	0.29	0.32	0.152
2x2, initial config	1	0.61	0.70	0.326
2x2, Lowest Power	0.8	0.76	0.87	0.406

La Tabla 3.7 muestra los valores óptimos para la mejor eficiencia energética posible, comparado con los valores propuestos iniciales, para los casos más restrictivos de consumo (en las capas más cercanas al punto de interacción). Se puede ver que los módulos 1x2 y 2x2 poseen distinta configuración, por situarse

en distinto lugar en el detector y por tanto tener distinto nivel de actividad y consumo.

### 3.4. Efectos de la radiación ionizante sobre el regulador SLDO (ensayos de radiación)

Antes del desarrollo del primer chip de lectura destinado al futuro detector de píxeles, se llevaron a cabo estudios preliminares sobre los efectos de dosis de radiación en el regulador SLDO con una máquina de rayos X. Estos estudios fueron posibles gracias al desarrollo de varios miniASICs (Fig.3.17) dedicados exclusivamente a la electrónica del regulador SLDO.

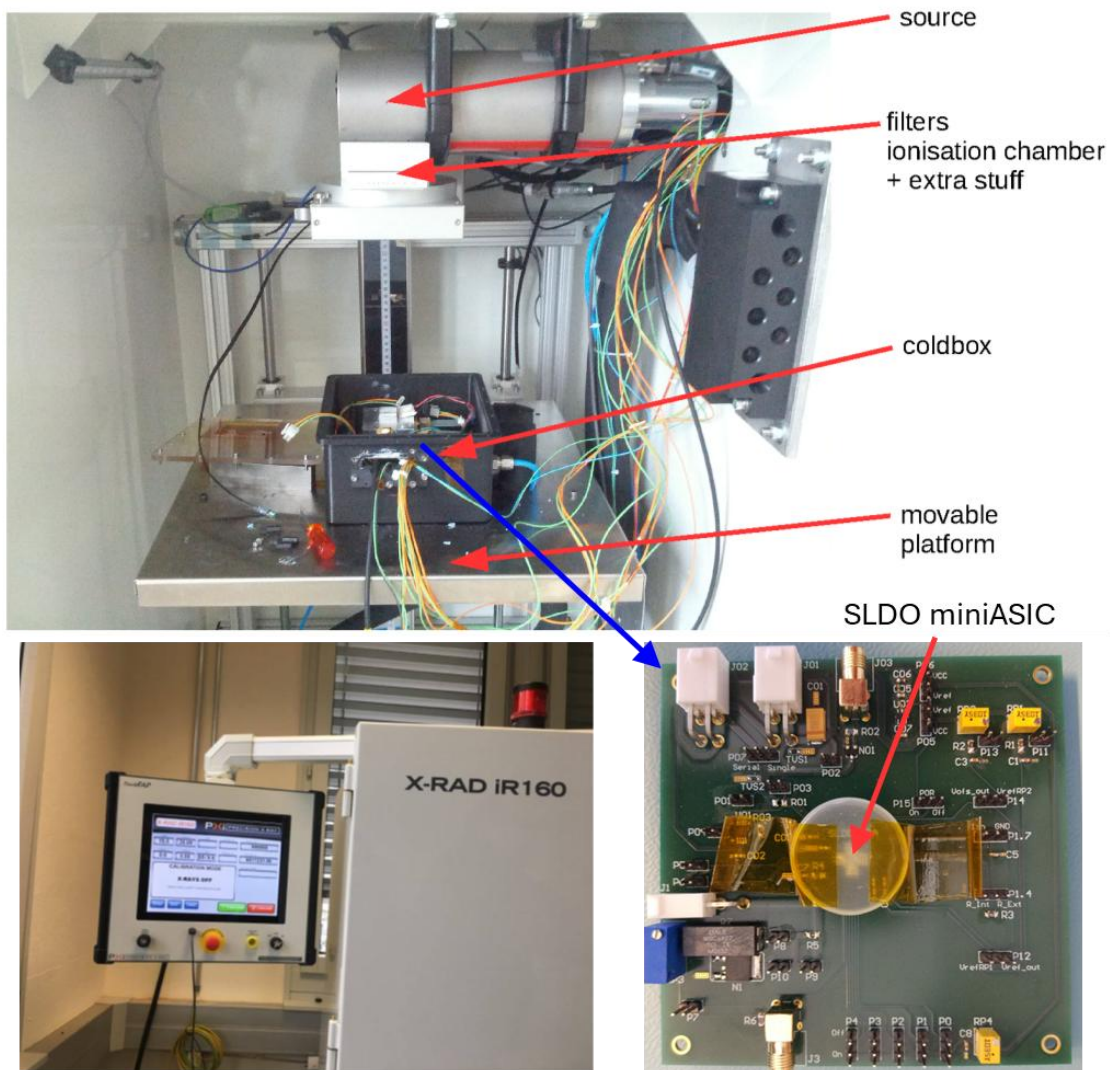


Fig.3.17. Montaje para ensayos a dosis de radiación de miniASIC SLDO en máquina de rayos X

Este ASIC específico corresponde a la misma versión que se integrará posteriormente en el primer chip de lectura para la actualización del detector de píxeles, conocido como RD53A, y que es capaz de manejar cargas de hasta 2.0A.

El montaje de ensayo se muestra en la Fig.3.17. El regulador SLDO está montado sobre una PCB de prueba que permite realizar las conexiones necesarias para su operación y configuración. Esta PCB también integra una carga resistiva, que puede ser conectada o desconectada mediante un transistor, dependiendo de las necesidades del ensayo. La PCB se encuentra montada sobre una placa de aluminio con conductos para refrigeración líquida, lo que permite reducir la temperatura hasta unos  $-15^{\circ}\text{C}$ . Todo el conjunto se coloca dentro de una caja de aislamiento térmico (*coldbox*), lo que facilita mantener una temperatura más baja y estable, aislando el sistema del ambiente exterior.

En estos ensayos se monitorizó y se registró la evolución de las señales principales del SLDO ( $V_{in}$  y  $V_{out}$ ) a lo largo de una campaña de radiación donde se alcanzó una dosis total de 600Mrad. Se realizaron dos pruebas independientes, una a temperatura ambiente de unos  $25^{\circ}\text{C}$ , y otra a baja temperatura ( $-10^{\circ}$ ), ya que la tolerancia a la radiación puede ser muy sensible a la temperatura. Los resultados de la Fig.3.18 presentan la variación de los principales parámetros del ASIC con la dosis total de radiación ionizante o TID (*Total Ionizing Dose*).

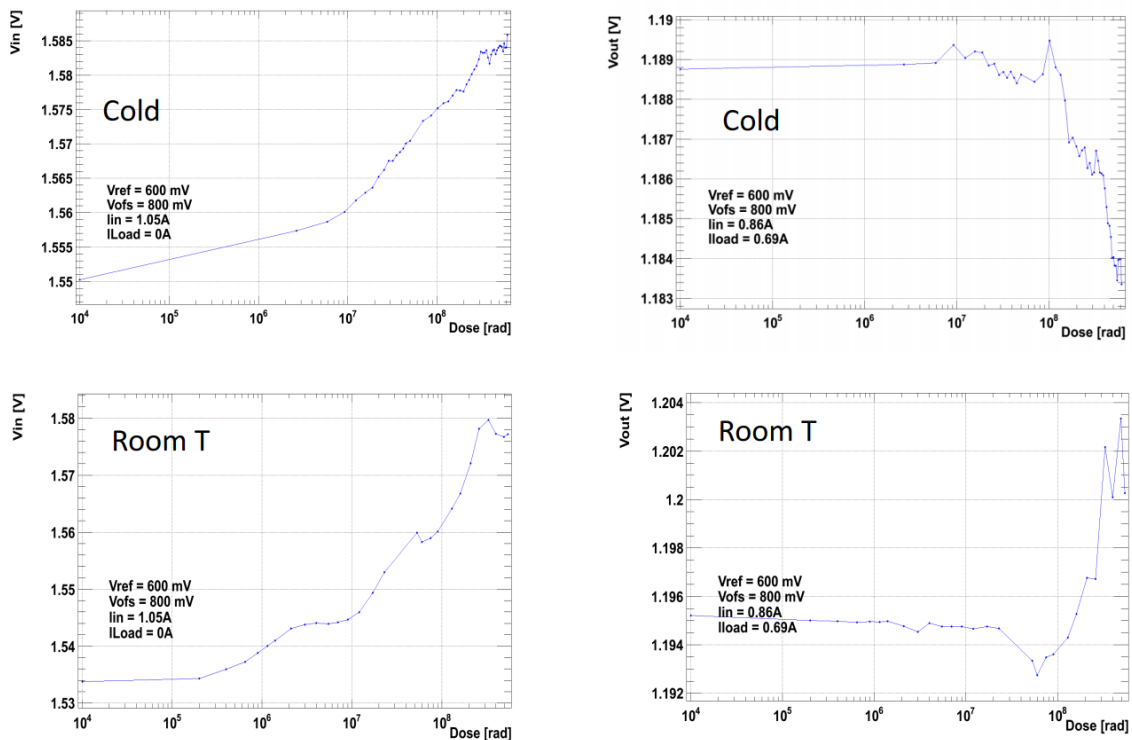


Fig.3.18. Variación de las tensiones  $V_{in}$  y  $V_{out}$  frente a la dosis total de radiación en frío ( $-10^{\circ}\text{C}$ ) y temperatura ambiente ( $25^{\circ}\text{C}$ ).

Como se puede observar, la variación de las tensiones principales del SLDO es mínima. Este efecto es incluso ligeramente menor para baja temperatura de ensayo, la cual está mucho más próxima a la temperatura de funcionamiento del detector final. La tensión de entrada es estable, pero aun así varía bastante más que la tensión de salida, aproximadamente 35mV vs 8mV.

Estos estudios sirvieron para confirmar los escasos efectos de altas dosis de radiación ionizante sobre la electrónica del SLDO, y continuar su integración en el chip RD53A. Posteriormente se han realizado numerosos ensayos de radiación a los diferentes chips RD53, una vez hubo prototipos disponibles para tal efecto.

### *3.5. Conclusiones*

En este capítulo se ha desarrollado y analizado el diseño estático y funcional de un sistema de alimentación híbrido con configuración serie-paralelo, diseñado para los futuros detectores de píxeles en el CERN. Este sistema se caracteriza por su topología híbrida, que combina alimentación en serie y en paralelo, optimizando así la distribución de potencia en detectores destinados a experimentos de física de altas energías. Se ha centrado especialmente en el detector de píxeles del experimento CMS, aunque su aplicación es igualmente válida para el experimento ATLAS.

El componente clave de este sistema es el regulador Shunt-LDO, que permite una alimentación eficiente y estable en sistemas conectados en serie, donde es crucial mantener una corriente constante definida por la fuente de alimentación. Este regulador, desarrollado con tecnología CMOS de 65 nm, es esencial para garantizar la estabilidad del sistema.

Los estudios realizados han mostrado que la tensión de offset ( $V_{ofs}$ ) tiene un impacto significativamente mayor en la estabilidad de la corriente que las variaciones en la resistencia equivalente ( $R_{eq}$ ), lo que resalta la importancia de una configuración precisa del SLDO. Además, el diseño del sistema de alimentación ha demostrado ser suficientemente robusto para gestionar fallos en chips o módulos individuales sin comprometer la funcionalidad del sistema completo. Se han analizado diversos modos de funcionamiento degradado, como cortocircuitos, circuitos abiertos y fallos en la referencia de  $V_{ofs}$ , calculándose la disipación de potencia en cada uno de estos escenarios. Estos resultados han sido fundamentales para el diseño y dimensionamiento adecuado del sistema de refrigeración del detector de píxeles de CMS.

Se ha comprobado que tanto la configuración como el punto de operación del SLDO son cruciales para el rendimiento global del sistema. Se estableció un punto de operación nominal inicial con  $V_{in} = 1.5V$ ,  $I_{in} = 1.61A$  y  $V_{ofs} = 1V$  para la capa L1 que equilibra la eficiencia energética con la estabilidad operativa del sistema, asegurando un margen de corriente suficiente para absorber las fluctuaciones de carga. A partir de estos estudios, se continuó trabajando en la optimización del punto de operación para las versiones finales de los chips, considerando el consumo específico previsto en cada una de las capas.

Los estudios realizados indican que un margen de corriente (*headroom*) del 20-25% es óptimo para gestionar las variaciones en el consumo de los chips, garantizando así el funcionamiento continuo del sistema incluso en condiciones no ideales.

Además, los ensayos realizados bajo condiciones de radiación ionizante han demostrado que el SLDO exhibe una alta resistencia a las dosis de radiación esperadas en los entornos operativos del CERN. Se observó una variación mínima en las tensiones de entrada y salida del regulador incluso bajo dosis elevadas de radiación, lo que confirma la robustez del diseño para su aplicación en detectores de píxeles.

Estos resultados son fundamentales para validar el uso del SLDO en condiciones extremas, asegurando la fiabilidad del sistema a largo plazo. Este enfoque garantiza que la falla de un único componente no provoque una cascada de fallos que comprometa el rendimiento del detector en su totalidad, incrementando así la resiliencia y confiabilidad del sistema.

### 3.6. Referencias

- [3-1] M. Weber, "Power distribution for SLHC trackers: challenges and solutions", NIMA, A592 (2008) 44, <https://doi.org/10.1016/j.nima.2008.03.107>
- [3-2] L. Gonella et al, "A serial powering scheme for the ATLAS pixel detector at sLHC", Journal of Instrumentation, 5(12):C12002, <https://doi.org/10.1088/1748-0221/5/12/C12002>
- [3-3] I. Peric et al, "The FEI3 readout chip for the ATLAS pixel detector", NIMA, Volume 565, Issue 1, September 2006, Pages S78-S187, <https://doi.org/10.1016/j.nima.2006.05.032>

- [3-4] M. Garcia-Sciveres et al, "The FE-I4 pixel readout integrated circuit", NIMA, Volume 636, Issue 1, Supplement, 21 April 2011, Pages S155-S159, <https://doi.org/10.1016/j.nima.2010.04.101>
- [3-5] M. Karagounis et al, "An Integrated Shunt-LDO Regulator for Serial Powered Systems", ESSCIRC 2009 Proceedings, IEEE, <https://doi.org/10.1109/ESSCIRC.2009.5325974>
- [3-6] S. Orfanelli, J. Christiansen, M. Hamer, F. Hinterkeuser, M. Karagounis, A. Pradas, S. Marconi, D. Ruini, "Serial Powering Optimization for CMS and ATLAS Pixel Detectors within RD53 Collaboration For HL-LHC", TWEPP-17, Santa Cruz, EEUU, Septiembre 2017, <https://indico.cern.ch/event/608587/contributions/2614155/>
- [3-7] D. Koukola on behalf of CMS Collaboration, "Serial Powering for the Tracker Phase-2 Upgrade", VERTEX 2019 proceedings, Proceedings of science V373, <https://doi.org/10.22323/1.373.0039>
- [3-8] S. Kindorf, "Serial powering studies for the CMS Inner Tracker Phase 2 Upgrade", Tesis de Máster, University of Applied Sciences of Karlsruhe, 2023.
- [3-9] S. Kindorf, "SLDO parameter simulation for serial powering", IT ASIC & Electronics System during TK Week, CERN, Noviembre 2022, <https://indico.cern.ch/event/1214483/>.

# *Capítulo 4:*

## *Inmunidad y control de transitorios de un sistema de alimentación híbrido para detectores de píxeles resistente a la radiación*

---

Este capítulo explora el diseño del chip de lectura, conocido en inglés como read-out chip (ROC), que se implementará en la próxima generación de detectores de píxeles en el CERN. Nos centraremos específicamente en el diseño de la etapa de alimentación del chip y en cómo éste influye en los transitorios observados a lo largo de la etapa de potencia del detector. Se analizarán aspectos críticos como la granularidad del detector, su impacto en la estabilidad y el tipo de transitorios generados, ya sea a nivel local o del sistema completo. Este estudio es particularmente relevante para el detector de píxeles del experimento CMS, aunque también aplica al detector de ATLAS, dado que ambos utilizan una base común para el diseño de sus chips, incluyendo la misma electrónica de potencia y, por ende, la misma topología de alimentación híbrida o serie-paralelo.

El enfoque principal de este trabajo ha sido el chip de lectura RD53 [4-1], una pieza fundamental en las mejoras implementadas en el Inner Tracker del experimento CMS para la Fase 2 del LHC. El RD53 es el fruto de un esfuerzo internacional establecido bajo la colaboración RD53 en 2013. Este chip está diseñado para manejar las altísimas demandas de los nuevos detectores de píxeles preparados para las mejoras de alta luminosidad del LHC (HL-LHC). El Instituto Tecnológico de Aragón (ITA) ha contribuido significativamente al

desarrollo de este chip como parte de la colaboración, enfocándose en los aspectos de la electrónica relacionados con el sistema de alimentación, su estabilidad y los efectos transitorios

## 4.1. Introducción

La principal preocupación en el desarrollo de esta nueva topología de alimentación radica en asegurar la estabilidad y fiabilidad del sistema. Dado que estos parámetros dependen directamente de un regulador lineal innovador (Shunt-LDO o SLDO), existe una inherente incertidumbre sobre su rendimiento a largo plazo, más allá de los prototipos validados en el laboratorio. Esto podría dar lugar a problemas y fallos no anticipados durante la fase de diseño. Por lo tanto, es prudente que la primera fase del diseño se enfoque en la verificación, validación, mejora y optimización de la electrónica del regulador shunt-LDO a nivel de circuito integrado.

Para llevar a cabo esta tarea, se han implementado diversos modelos de simulación en el entorno del software Cadence Virtuoso. Estos modelos incorporan directamente los esquemas y el diseño del layout de la microelectrónica de los chips, utilizando tecnología de 65nm de TSMC, con el objetivo de reproducir el comportamiento del SLDO de la manera más precisa posible. Estos modelos se desarrollaron inicialmente durante la fase de diseño del primer prototipo del chip RD53A y se han estado perfeccionando mediante medidas y caracterización de prototipos, actualizándose con nuevas versiones mejoradas para las revisiones y prototipos sucesivos.

En la Fig.4.1, se presenta un modelo de ejemplo básico para la simulación de un SLDO en Virtuoso. El bloque central, denominado *shuldoCore*, contiene el modelo que abarca toda la microelectrónica CMOS de un regulador SLDO. Alrededor de este núcleo se distribuyen y conectan primero los componentes incluidos dentro del propio chip: referencias de tensión necesarias para su funcionamiento ( $V_{ref}$  y  $V_{ofs}$ ), la inductancia ( $L_{inchip}$ ) y la capacidad ( $C_{chip}$ ) parásitas de la propia electrónica del chip, y una resistencia junto con fuentes de corriente para emular la carga y sus variaciones. Se ha estimado por simulación, que la capacidad parásita de la electrónica es de varios cientos de nF. Conocer este valor es de vital importancia para evaluar la estabilidad y la respuesta dinámica del sistema.

Fuera del chip se encuentran los condensadores de desacoplo de entrada y salida del regulador, junto con sus elementos parásitos asociados, debidos al encapsulado y al enrutamiento (*layout*) de la PCB ( $C_{in}$  y  $C_{out}$  + parás.). Por

último, la fuente de alimentación se sitúa a la izquierda, modelada en este caso por dos fuentes de corriente ideales en paralelo, una dedicada a generar el nivel DC y otra para generar perfiles transitorios.

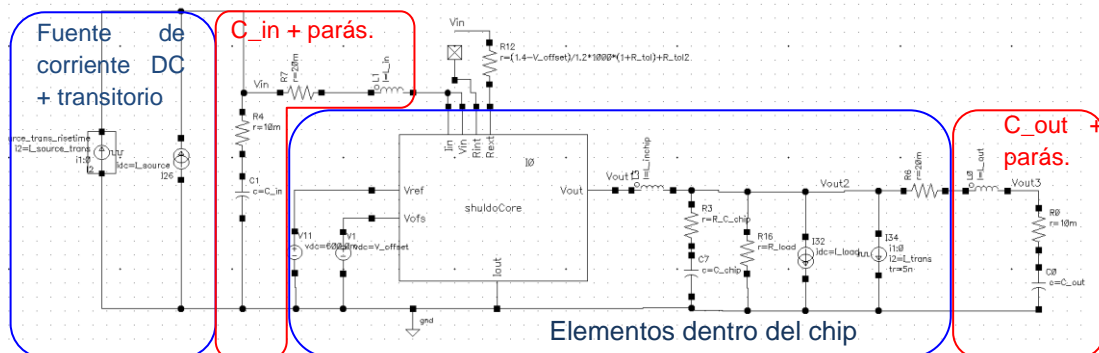


Fig.4.1. Esquema básico del modelo de simulación en Virtuoso de un regulador SLDO

Basándose en estos modelos de simulación, se busca delimitar los problemas que podrían surgir por efectos transitorios en el sistema y analizar qué parámetros de diseño contribuyen a estos efectos, con el fin de optimizarlos y lograr un sistema lo más robusto posible. Todos estos modelos han sido validados con prototipos reales desarrollados a través de la colaboración RD53. El esquema básico se corresponde con el modelo mínimo de un SLDO, pero dependiendo del fenómeno que se quiera analizar, se utilizarán modelos más avanzados y complejos.

En este entorno de simulación se tienen en cuenta también tanto las posibles variaciones por los procesos de fabricación como la temperatura de trabajo, y todas las posibles combinaciones de estos (en inglés *corners*).

Los *corners* de proceso representan las variaciones extremas en el proceso de fabricación (como FF, SS, FS, SF, TT), que reflejan cómo los transistores pueden comportarse más rápido o más lento de lo esperado debido a diferencias en el proceso de fabricación. La primera letra indica la velocidad de los transistores NMOS y la segunda la de los PMOS, siendo F *fast*, S *slow* y T *typical*. Estas variaciones pueden afectar el rendimiento del circuito, a su velocidad de respuesta, consumo de energía y fiabilidad. Es esencial analizar la respuesta para todas las combinaciones de estos parámetros, para detectar posibles problemas de rendimiento y fiabilidad, mejorar la robustez del sistema y reducir el riesgo de problemas imprevistos.

## 4.2. Estabilidad del regulador y efectos de los elementos parásitos

Los elementos parásitos, como capacitancias, inductancias y resistencias alrededor de los reguladores lineales, pueden impactar significativamente en la estabilidad de la electrónica, dependiendo de su ubicación y magnitud. Por un lado, las resistencias parásitas, presentes tanto en componentes como en líneas de conexión, son críticas en términos de la precisión y el error en el circuito de regulación. Estas afectan directamente a la magnitud de las señales utilizadas por el regulador lineal, tales como las referencias para la generación de tensiones y corrientes estables, o las líneas para la medición y monitorización. Aunque este efecto es importante para la precisión y las tolerancias del regulador, tiene un impacto menor en la estabilidad del sistema.

Por otro lado, las inductancias parásitas, al asociarse con capacitancias y conexiones dentro del lazo de regulación, pueden introducir polos y ceros adicionales. Estos elementos afectan tanto al proceso como al lazo de realimentación del regulador, pudiendo causar inestabilidad en el sistema. Es esencial caracterizar estos componentes parásitos para identificar, delimitar y mitigar sus efectos adversos sobre la estabilidad y el rendimiento del sistema.

El análisis del impacto de cada uno de estos elementos parásitos y su interacción con la configuración y el punto de operación del regulador en su estabilidad son aspectos críticos de diseño que aseguran el óptimo funcionamiento del regulador de la etapa de potencia del chip.

### 4.2.1. Condensadores de desacoplo

La estabilidad del lazo de control en un regulador depende en gran medida de los condensadores de desacoplo situados tanto en la entrada como en la salida. Estos componentes son necesarios para la configuración del sistema que se busca regular. Para garantizar esta estabilidad, es fundamental que los valores de capacidad de los condensadores estén dentro de los rangos específicos establecidos por el diseño.

En primer lugar, se analizó la respuesta dinámica del regulador frente a variaciones de carga con distintos valores de inductancias parásitas. Con este fin, se desarrolló un modelo simplificado en Cadence Virtuoso de un regulador Shunt-LDO, el cual incluye sus condensadores de desacoplo y los elementos parásitos relacionados, tal como se ilustra en la Fig.4.2.

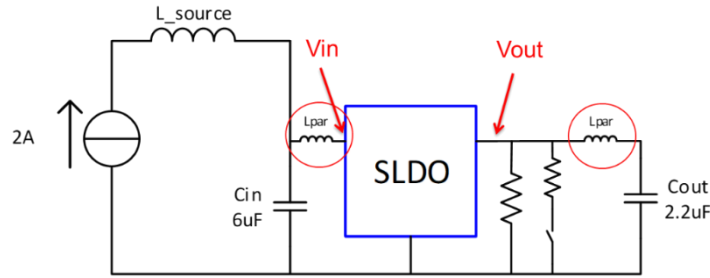


Fig.4.2. Esquema simplificado del modelo de simulación de un regulador SLDO

La inductancia parásita,  $L_{par}$  en el esquema anterior, representa a la suma del conjunto de inductancias que afectan a la conexión de los condensadores de desacoplo al regulador SLDO en el chip, que proviene principalmente del *layout* de la PCB y de las microsoldaduras (wirebonding) que conectan el chip a la PCB. Estas inductancias tienen por tanto gran dependencia respecto del diseño de la PCB y típicamente presentan valores desde 1nH hasta unos pocos nH. Cabe destacar que en los diseños de PCB flexibles (HDI) donde se montan estos chips de lectura para su integración en el detector, se usan componentes pasivos con encapsulados lo más pequeños posible (0402 o 0201) para reducir al máximo la cantidad de material. Por ello, la inductancia que aportan éstos, se puede estimar en unos 0.2nH o menor, y será prácticamente despreciable. Como ejemplo, en la Fig.4.3 se muestra la caracterización de un condensador típico proporcionada por el fabricante Murata. En ella se muestran el circuito equivalente, la inductancia parásita y la impedancia en función de la frecuencia, de un condensador cerámico de 1uF y encapsulado 0402.

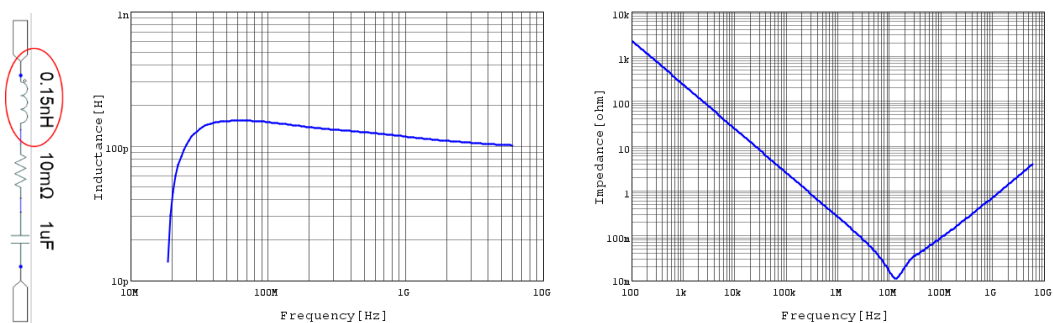


Fig.4.3. Curvas de caracterización de condensador 1uF / 0402.

Generalmente en este tipo de diseños donde la inductancia parásita es crítica, se utilizan varios condensadores en paralelo para montar componentes lo más pequeños posibles. Además, al realizar conexiones en paralelo, se obtendrá una inductancia parásita equivalente mucho menor, y será menor cuanto mayor sea el número de elementos conectados en paralelo.

En la Fig.4.4 se muestra la respuesta de  $V_{out}$  frente una variación de carga de 0.2A→0.8A→0.2A a los 5μs y a los 15μs. Los resultados indican, que una conexión de baja inductancia es esencial para asegurar la estabilidad del

regulador. Ésta deberá mantenerse en valores menores a 5nH, ya que por encima de este valor se observan oscilaciones de alta frecuencia (~5 MHz) en la tensión regulada, y cada vez de mayor amplitud. Para valores próximos a 20nH, el SLDO se vuelve completamente inestable.

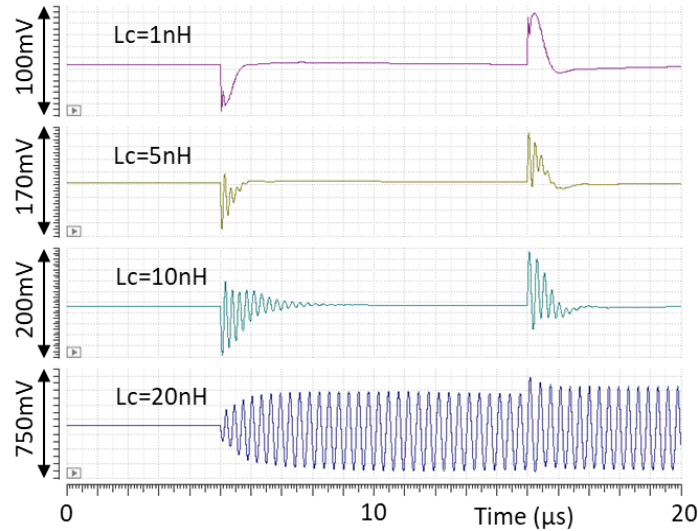


Fig.4.4. Respuesta del SLDO de RD53A frente variaciones de carga para distintos valores de inductancia parásita de los condensadores de desacoplo.

El siguiente aspecto que se va a analizar es el impacto de la capacidad de salida en la respuesta dinámica del SLDO. La Fig.4.5 ilustra cómo el valor de la capacidad de salida,  $C_{out}$ , influye en el margen de fase y la respuesta transitoria del regulador, bajo las mismas condiciones de variación de carga del análisis anterior. Se evidencia que, al aumentar la capacidad de los condensadores de salida, la amplitud del transitorio se reduce, lo que conlleva a menores variaciones de tensión ( $\Delta V$ ). No obstante, una capacidad excesivamente alta puede disminuir el margen de fase del lazo de control, incrementando el riesgo de inestabilidad. Con estos datos, se puede determinar un valor óptimo de capacidad que logre un equilibrio entre el rizado de tensión y el margen de fase.

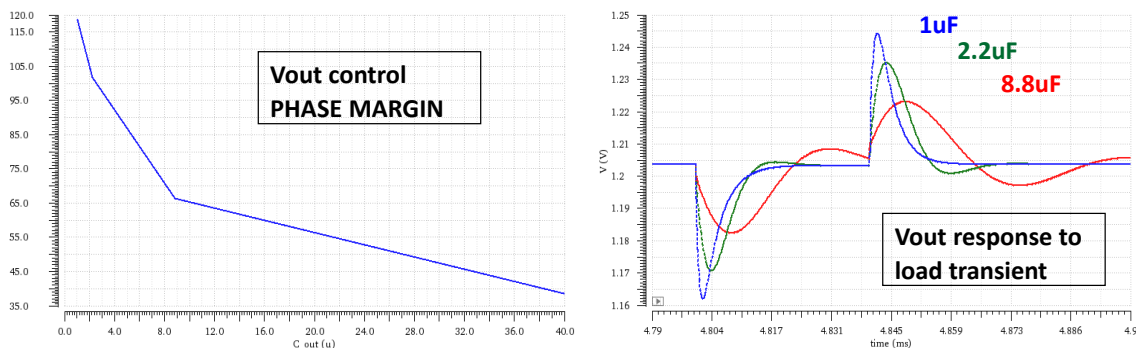


Fig.4.5. Simulación. Margen de fase y respuesta transitoria del SLDO a variaciones de carga para distinta capacidad a la salida ( $V_{out}$ ).

## 4.2.2. Parámetros de configuración y estabilidad del SLDO

A partir de la curva I-V ilustrada en la Fig.4.6, se puede observar que el SLDO visto desde su entrada puede modelarse mediante un circuito equivalente muy simple. Este consiste en una tensión de polarización o de *offset* ( $V_{ofs}$ ), representada como un diodo Zener ideal o fuente de tensión, que está conectada en serie con una resistencia ( $R_{eq}$ ). En el SLDO del chip, estos dos parámetros son configurables, lo que permite optimizar el punto de funcionamiento ante diversas configuraciones de carga.

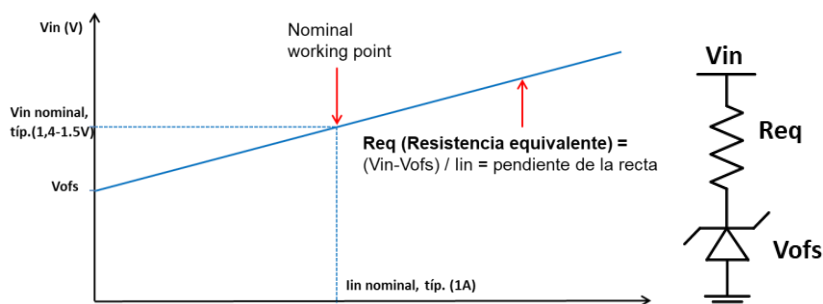


Fig.4.6. Curva I-V y circuito equivalente de un regulador SLDO.

Sin embargo, estas configuraciones también afectan la respuesta a transitorios, influyendo directamente en la estabilidad del sistema. Como ya se vio en detalle en el capítulo 3, y se muestra en la Fig.4.7, es posible alcanzar el mismo punto de operación con diferentes configuraciones de los pares  $V_{ofs}$ - $R_{eq}$ .

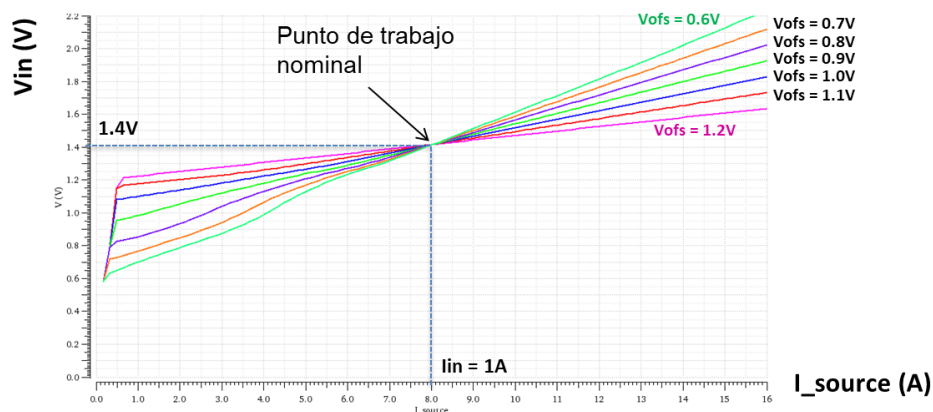


Fig.4.7. Curvas I-V dependiendo de la configuración del punto de operación del SLDO.

Aunque cada par mantiene el mismo punto de trabajo nominal, presentan respuestas dinámicas considerablemente distintas, las cuales requieren un análisis detallado.

En la Fig.4.8 se pueden ver los resultados de la respuesta temporal del SLDO a cambios de carga con diferentes configuraciones de pares Req-Vofs. El punto de operación del SLDO es en todos los casos el mismo,  $V_{IN} = 1.4V$  e  $I_{IN} = 1A$ . La gráfica a) compara la respuesta temporal del regulador a un cambio de carga en función de su configuración. Se observa que con un Vofs más alto, el regulador responde y se estabiliza más rápidamente, pero también tiende a una ligera sobre oscilación (respuesta sub-amortiguada). En la gráfica b), se presenta el rizado de  $V_{IN}$  pico a pico para el mismo evento transitorio de carga, comparando diferentes configuraciones de Vofs y varios valores de inductancia parásita. Se puede ver que un aumento en la velocidad de respuesta (aumento de Vofs) conlleva una reducción del rizado de tensión.

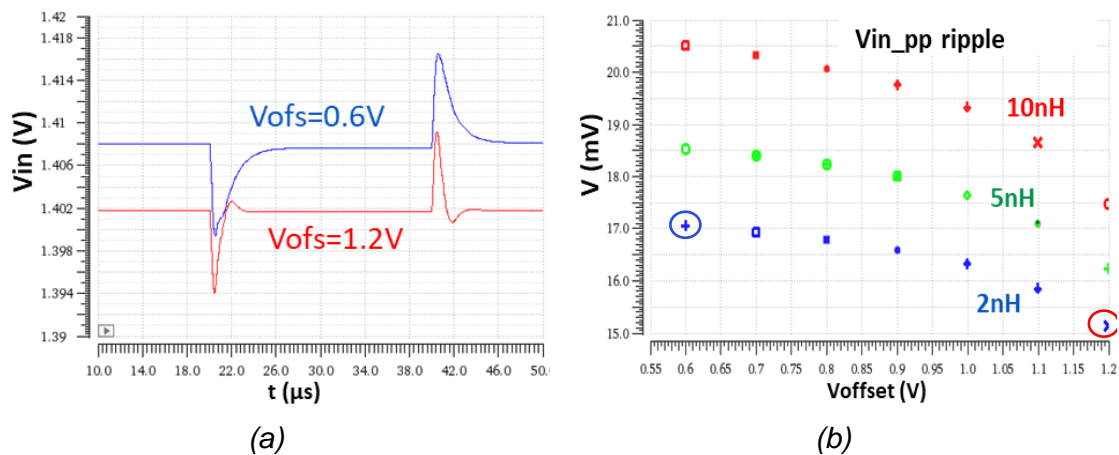


Fig.4.8. (a) Respuesta de  $V_{out}$  a cambio de carga. (b) Rizado de la  $V_{in}$  en función de la inductancia parásita y la configuración  $Req-V_{ofs}$

En la Fig.4.9 se presentan los resultados de la de la respuesta en frecuencia del lazo de regulación del SLDO en su punto de operación nominal para diferentes valores de inductancia parásita. Estas figuras muestran los parámetros que definen la estabilidad del sistema, incluyendo el margen de fase (MF), el margen de ganancia (MG) y ancho de banda (AB o  $BW$ ), y cómo las inductancias parásitas y el valor de  $V_{ofs}$  influyen en estos parámetros. Para garantizar la estabilidad de un sistema, se busca habitualmente un margen de fase superior a  $60^\circ$  y un margen de ganancia mayor que 6dB. Estos valores son generalmente aceptados y suficientes para mantener la estabilidad del sistema ante posibles tolerancias de componentes y procesos de fabricación [4-2][4-3].

Los resultados obtenidos mediante simulaciones a temperatura ambiente ( $25^\circ C$ ) indican que el SLDO mantiene una excelente estabilidad en todas las configuraciones probadas ( $MF > 80^\circ$  y  $MG > 10dB$ ), incluyendo cualquier valor de  $V_{ofs}$  entre 0.6V y 1.2V con inductancias parásitas de los condensadores de desacoplo de hasta 10nH. Por lo tanto, se tomó este rango de configuración como rango posible de operación para posteriores análisis, ya que en estas condiciones el sistema es robusto y ofrece un margen de estabilidad

considerable en todos los escenarios que se pueden presentar durante la fase de integración.

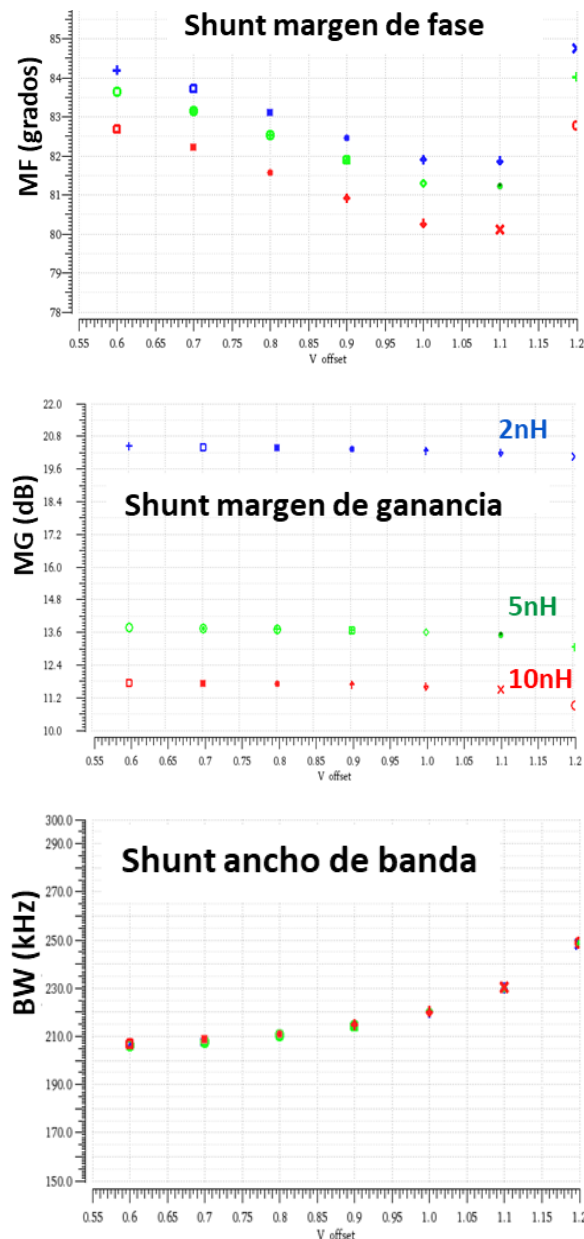


Fig.4.9. Simulación. Análisis de estabilidad del lazo de control del regulador shunt en función de las inductancias parásitas.

### 4.2.3. Estabilidad de SLDO en paralelo

Hasta ahora se ha analizado el comportamiento de un solo regulador aislado y de qué forma los elementos de configuración a su alrededor afectan a su rendimiento y estabilidad. Sin embargo, y tal como se ha comentado en el apartado anterior, este regulador va a estar trabajando siempre en paralelo con otros iguales, y esto puede dar pie a que los lazos de regulación de unos

elementos modifiquen el comportamiento de los otros. En el caso más simple y básico, dos reguladores estarán conectados en paralelo dentro de un mismo chip, ya que uno alimentará a la electrónica analógica y el otro a la digital. En el caso de un módulo, 2 o 4 chips pueden ir conectados en paralelo, lo que hace una suma de 4 o 8 SLDOs. Por ello es muy importante analizar que efecto tiene esto sobre el comportamiento y la estabilidad del sistema. En la Fig.4.10 se muestra la respuesta a un cambio de carga del tipo 0.8A->0.1A->0.8A para distintas configuraciones de reguladores en paralelo: Un único SLDO, un chip (2 SLDO) y un módulo de 4 chips (8 SLDO). En todos los casos la capacidad total a la entrada es la misma, ya que es un valor definido por el diseñador del circuito independiente del número de elementos conectados en paralelo. Sin embargo, se observa que, al aumentar el número de reguladores en paralelo, el sistema tiende a reaccionar más rápido y se empiezan a producir pequeñas oscilaciones en los transitorios. Esto indica que aumenta el ancho de banda del lazo de control del sistema que regula  $V_{IN}$ , y al mismo tiempo tiende a estar más próximo a la inestabilidad.

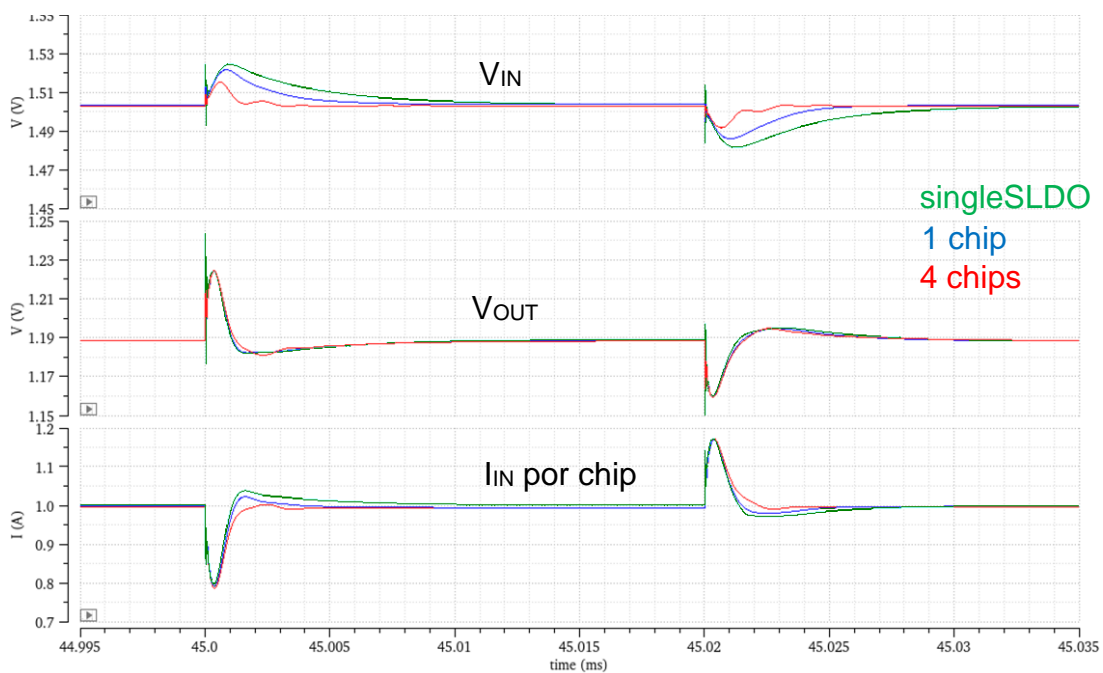


Fig.4.10. Respuesta a transitorio de carga. Efecto de paralelización de reguladores SLDO.

Lógicamente, esta diferencia que se observa al conectar elementos en paralelo se muestra únicamente en la tensión de entrada  $V_{IN}$ . La variación de la respuesta de la corriente de entrada  $I_{IN}$  por chip es mínima. Sin embargo, el efecto de la suma de estas corrientes en paralelo sobre una misma capacidad de entrada hace que la tensión  $V_{IN}$  varíe más rápido cuanto mayor sea el número de reguladores en paralelo.  $V_{out}$  se comporta igual en cualquier caso ya que cada una de las salidas es regulada individualmente por cada SLDO, y prácticamente

no es afectada por el resto de los elementos conectados en paralelo (existe un gran desacoplo entre la entrada y la salida del chip).

Para valorar el efecto del valor de la capacidad de entrada sobre la respuesta a un transitorio de carga se muestran los resultados de la Fig.4.11. Este caso está centrado únicamente en la respuesta de la tensión  $V_{IN}$  para diversas configuraciones de número de elementos en paralelo, y capacidad de desacoplo a la entrada.

Tal como muestra la figura, la respuesta de la tensión  $V_{IN}$  es muy dependiente del número de elementos conectados en paralelo, y tiende a ser más rápida cuanto mayor es este número. La gráfica de la izquierda muestra un cambio de carga alta a carga baja, de 0.8A a 0.2A, y la gráfica derecha el caso opuesto, de 0.2A a 0.8A. Utilizando valores de capacidad menores que el recomendado de 6 $\mu$ F,  $V_{IN}$  tiende a responder más rápido y de forma sub-amortiguada, llegando a ser totalmente inestable en el caso extremo de 1 $\mu$ F con 4 chips en paralelo. Este estudio muestra que el valor de la capacidad de desacoplo a la entrada deberá de estar adaptado y optimizado para cada escenario concreto.

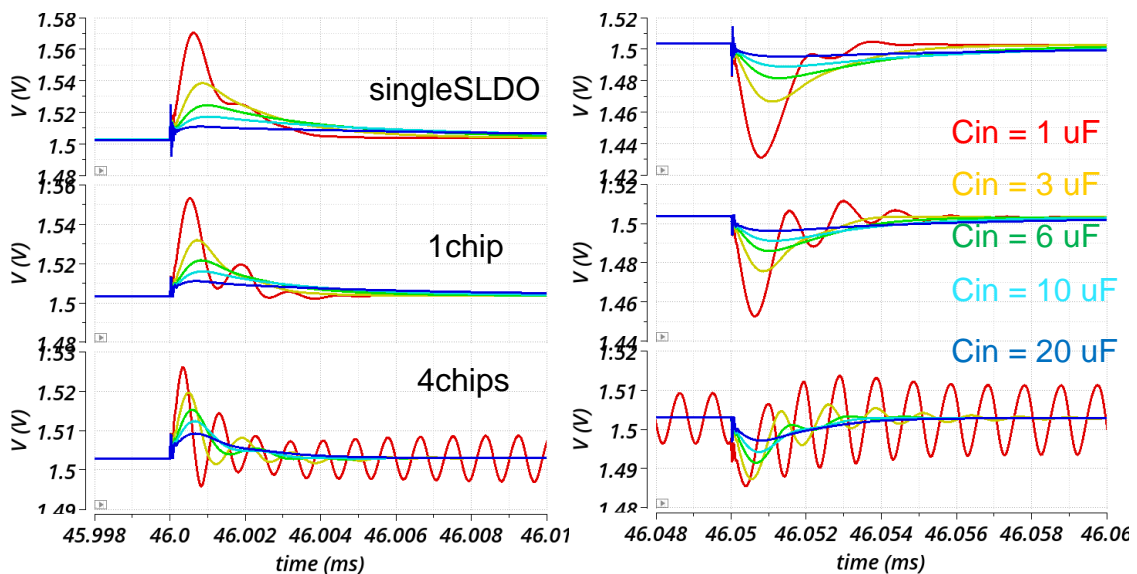


Fig.4.11. Respuesta a transitorios de carga de  $V_{in}$ . Efecto de valor de capacidad de entrada para distintas configuraciones en paralelo.

Los valores de los condensadores que se van a utilizar en el detector final no son todavía definitivos, pero en base a estos estudios y con el fin de tener un sistema lo más estable y robusto posible, se han estimado entorno a 6 $\mu$ F para el caso de módulos de un solo chip (si existieran), 10 $\mu$ F para módulos de dos chips y 20 $\mu$ F para módulos de cuatro chips. Los resultados de la Fig.4.11 corresponden al caso de temperatura 25°C y proceso de fabricación típico (tt). No obstante, también se han obtenido los resultados para todas las variantes de los procesos de fabricación (ff, ss, fs, sf y tt), el rango de temperaturas de trabajo (-40°C, 0°C

y 25°C), y todas las combinaciones entre ellos, obteniendo respuestas igualmente estables.

### *4.3. Propagación de transitorios*

En la configuración del sistema de alimentación serie-paralelo, varios chips se conectan en paralelo para formar un módulo, compartiendo la misma tensión de entrada. Estos módulos, a su vez, se organizan en serie para constituir un grupo de alimentación destinado al detector de píxeles, donde la corriente de alimentación es común para todo el grupo. Los transitorios que pueden surgir en cualquier chip, ya sea por cambios en su configuración, durante el arranque o la parada, o debido a la actividad inherente de la electrónica digital, provocan fluctuaciones de tensión tanto en el chip individual como en su módulo correspondiente. Estas variaciones pueden inducir, a su vez, efectos sistémicos en la corriente de alimentación global, con el riesgo de que los transitorios se trasladen a lo largo de toda la cadena serie. Por lo tanto, es fundamental realizar un análisis exhaustivo de estos efectos para garantizar la estabilidad del sistema de distribución de potencia. Gran parte de los resultados de este estudio se pueden encontrar en [4-4].

#### *4.3.1. Propagación de transitorios a nivel de módulo*

Como ya se ha comentado, el consumo de corriente de la propia electrónica digital del chip constituye una fuente de ruido y transitorios que se pueden propagar y afectar a otras partes más sensibles, tanto del propio chip como de otros chips en paralelo. En este apartado se pretende analizar cómo se propagan los transitorios entre reguladores SLDO conectados en paralelo.

Desde el punto de vista de la distribución de potencia, un chip está constituido por 2 SLDO conectados en paralelo, y un módulo completo por 4 SLDO o 8 SLDO dependiendo del número de chips. Se va a estudiar el caso más simple y a la vez más restrictivo, que es el de la propagación de un transitorio dentro de un mismo chip. Se estudia cómo se propaga un transitorio a la salida de un SLDO (digital) hasta la salida del otro SLDO (analógico) conectado en paralelo. Este escenario es considerado el más restrictivo por varias razones: ambos reguladores están integrados en el mismo chip, lo que implica una proximidad física muy cercana, y comparten tanto la referencia de GND local como la capacidad de desacoplo en la entrada. Estos factores indican que el

acoplamiento de un transitorio dentro del propio chip será de mayor amplitud en comparación con otros chips conectados en paralelo, donde las impedancias parásitas y los condensadores de desacoplo contribuirán a atenuarlo en mayor o menor medida.

Generalmente dentro de un chip existen dos dominios muy diferenciados desde el punto de vista de alimentación, la parte digital y la parte analógica. Como es lógico, la parte digital es la principal fuente de ruido, ya que la conmutación de los transistores se traduce en picos de corriente. Y la analógica, es la parte sensible que se verá afectada por el ruido. A continuación, se analiza cómo el ruido generado por la electrónica digital dentro de un chip se puede propagar y afectar al dominio analógico de ese mismo chip y al de los que estén conectados en paralelo en un módulo (Fig.4.12).

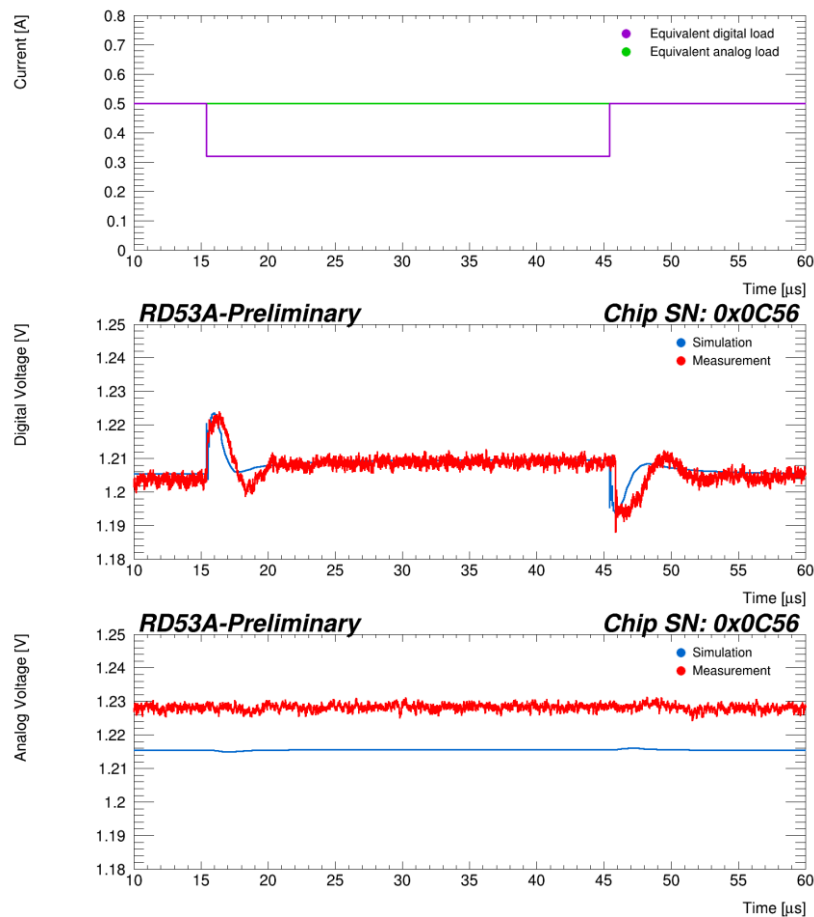


Fig.4.12. Respuesta a transitorios de carga en el dominio digital y su propagación al dominio analógico en chip RD53A. Simulación y medida.

Para ello se compara la respuesta de un prototipo RD53A-SCC, en el que se genera un transitorio de carga en el dominio digital, con la simulación de dos SLDO en paralelo emulando el comportamiento de la alimentación de un chip completo. Para generar un transitorio en el prototipo, se deshabilita y habilita

nuevamente el reloj de parte de la matriz de píxeles, consiguiendo un cambio de unos 180mA durante 30µs.

La Fig.4.12 muestra la comparativa entre estos dos estudios de simulación y medida en prototipo con osciloscopio. La respuesta transitoria de la salida del SLDO digital tiene un comportamiento muy similar tanto en forma como en amplitud. Cabe destacar que el efecto del transitorio en el dominio analógico es prácticamente imperceptible en ambos casos, lo que demuestra un buen aislamiento entre las dos alimentaciones.

Otro punto interesante que se analizó gracias a estos ensayos fue el efecto de la corriente de reserva (*headroom current*) en la respuesta transitoria del regulador SLDO. La Fig.4.13 presenta los resultados de las medidas realizadas sobre el prototipo, y la Fig.4.14 resultados de simulación de los modelos de detalle del SLDO.

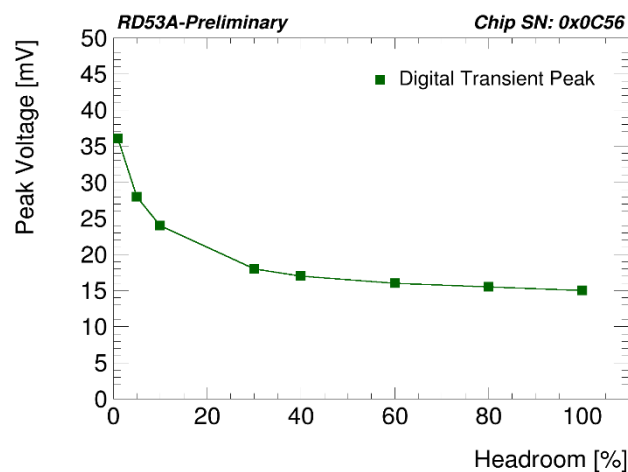


Fig.4.13. Incremento de tensión de  $V_{out}$  frente a transitorio de carga en función de la corriente de reserva o *headroom*.

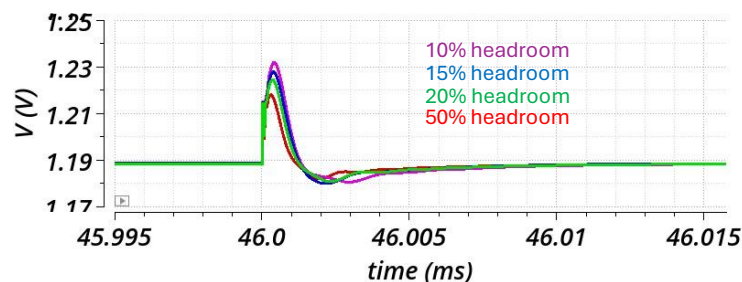


Fig.4.14. Simulación de la respuesta de  $V_{out}$  de un SLDO frente a transitorio de carga en función de la corriente de reserva o *headroom*.

Las medidas muestran que a medida que se reduce el *headroom*, aumenta la amplitud del transitorio. Esto se debe a que parte de la corriente de reserva es utilizada para la regulación durante los transitorios rápidos. Aunque es contraproducente desde el punto de vista de eficiencia energética, es necesario

mantener un mínimo de corriente extra, no solo por asegurar la estabilidad del sistema, sino por reducir en lo posible los transitorios de la alimentación. La simulación temporal de Fig.4.14 está realizada con un cambio de carga de mayor amplitud, por lo que las amplitudes son mayores que en las medidas del prototipo. Sin embargo, presenta una tendencia muy parecida donde se ve un aumento de la sobretensión para menores corrientes de reserva. De forma indirecta, reducir la respuesta transitoria de un SLDO, debería reducir de igual modo la propagación del mismo a otros SLDO conectados en paralelo.

### 4.3.2. Propagación de transitorios a nivel de sistema serie

A parte de la propagación a nivel local, chip y módulo, los transitorios generados en un chip se pueden transmitir a nivel de sistema, al resto de módulos de la cadena serie que comparten la corriente de alimentación. Para que esto suceda, el posible transitorio que se genera tiene que ser capaz de afectar de algún modo a la corriente de alimentación, para que se pueda transmitir a los elementos conectados en serie, y finalmente a las tensiones generadas en cada uno de los chips.

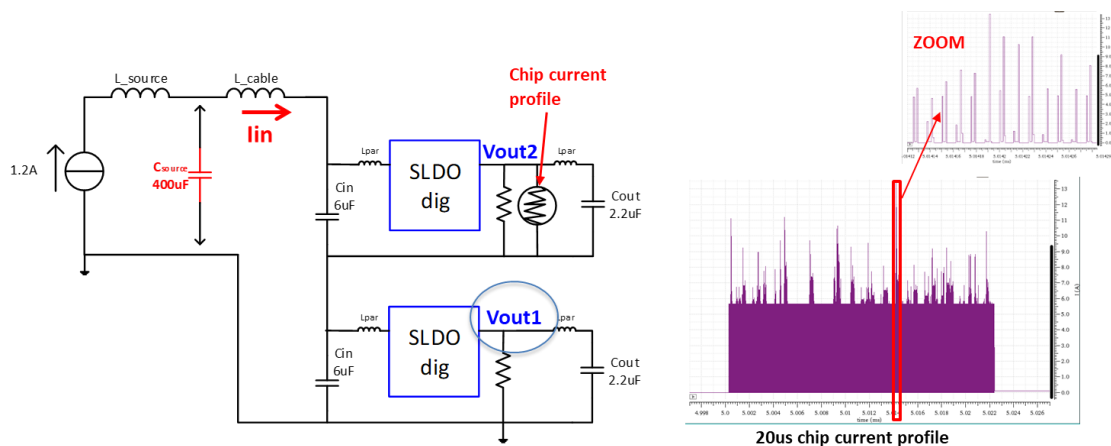


Fig.4.15. Modelo para determinar la propagación de transitorios de carga entre elementos de una cadena serie

El esquema que se muestra en la Fig.4.15 es la versión más simplificada posible de un sistema serie, utilizando únicamente dos SLDO conectados en serie. De esta forma se puede analizar más fácilmente la propagación de transitorios entre ellos dos. En uno de los SLDO, se introduce como carga una fuente de corriente con el perfil de consumo real de la parte digital del chip, debido a la actividad de su propia electrónica. Este perfil de carga ha sido obtenido por simulación para tener unos valores de transitorios, en tiempo y amplitud, representativos del caso real de este tipo de chips de lectura [4-5]. Se puede ver que presenta transitorios

muy fuertes y rápidos ( $\sim 10\text{A}$  en  $1\text{ns}$ ), y el objetivo es analizar cómo éstos afectan al resto de señales del sistema.

Además, este modelo permite analizar cómo se comportan estos transitorios dependiendo del tipo de fuente de alimentación utilizada. El hecho de usar una fuente de tensión o una fuente corriente, además de la inductancia parásita relativa al cableado de alimentación, tienen una contribución clara sobre los elementos de la cadena serie.

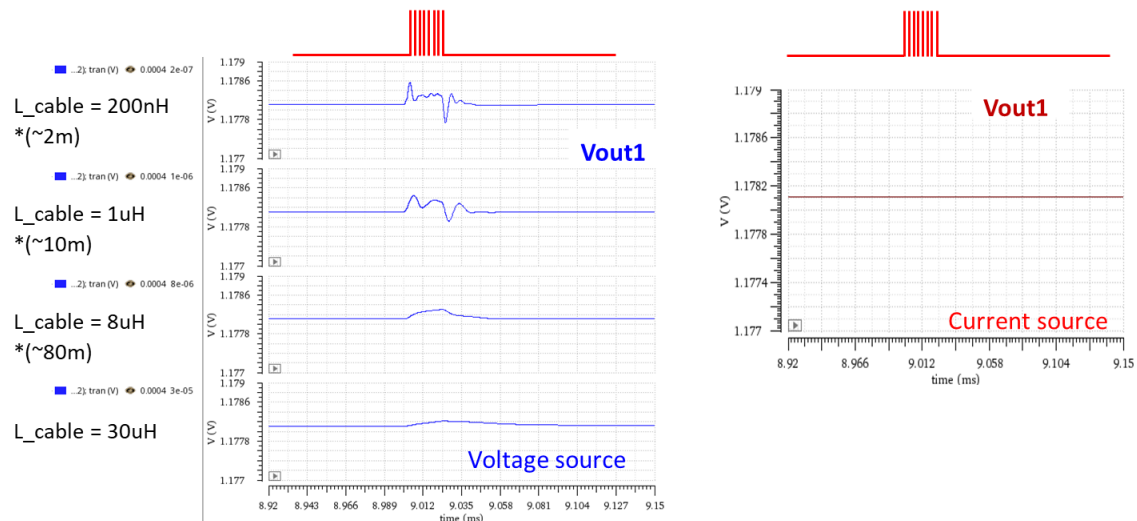


Fig.4.16. Simulación. Resultado simulación de propagación de transitorios en cadena serie

En esta simulación, Fig.4.16, se aplica una carga con fuertes transitorios en uno de los SLDO ( $V_{out2}$ ) y se analizan los efectos sobre el otro SLDO conectado en serie ( $V_{out1}$ ).

En el caso de utilizar una fuente de corriente “ideal”, el transitorio no se propaga por la cadena serie, ya que la corriente se mantiene constante y sin variación alguna en todo momento. Si se utiliza una fuente de tensión controlada en corriente, el transitorio sí que es capaz de transmitirse a lo largo de una cadena de alimentación. En este caso se observa que los efectos de este transitorio son atenuados por la inductancia propia introducida por el cableado de alimentación. Incluso en el caso de cables cortos de unos 2 metros, la perturbación es prácticamente imperceptible, con una amplitud menor que  $1\text{mV}$ .

## 4.4. Transitorios durante la fase de arranque

La fase de arranque es uno de los periodos más críticos en el funcionamiento de cualquier circuito integrado. Durante este proceso, la corriente de alimentación del sistema en serie puede no ser completamente estable, lo cual es común dado que ninguna fuente de alimentación exhibe un comportamiento ideal. Esta inestabilidad puede afectar adversamente el proceso de inicio del circuito integrado, pues algunos componentes pueden no recibir la tensión necesaria para operar adecuadamente. Además, durante el arranque, es frecuente enfrentar transitorios y fluctuaciones en la corriente y la tensión debido a la inestabilidad en la secuencia de arranque del circuito integrado, lo que puede resultar en errores operativos o incluso daños permanentes.

Específicamente, el regulador SLDO consta de varios circuitos esenciales para su operación, cada uno con diferentes tiempos de arranque y requerimientos de tensiones mínimas para su adecuado funcionamiento. Esta diversidad puede provocar comportamientos inesperados, por lo que es crucial prestar especial atención a estos aspectos durante la fase de diseño del circuito.

### 4.4.1. Tensiones de referencia (*Bandgaps*)

El SLDO requiere ciertas tensiones de referencia para operar correctamente. Para esto, se emplea un circuito especializado que produce tensiones de referencia precisas y estables, resistentes a variaciones de temperatura o cambios en la tensión de alimentación. Este tipo de circuito, utilizado en una amplia gama de circuitos integrados, es conocido como *bandgap* (BG) y es fundamental para el funcionamiento de cualquier regulador. En particular, el *bandgap* en cuestión se encarga de generar las tensiones de configuración del SLDO,  $V_{ofs}$  y  $V_{ref}$ , que calibran su curva de operación y la tensión de salida. Este circuito no solo suministra las tensiones de referencia necesarias para el SLDO, sino que también provee todas las corrientes y tensiones de referencia esenciales para el funcionamiento del resto de la electrónica del chip. Por lo tanto, es un componente crítico y de suma importancia dentro del diseño del circuito integrado.

Desde el punto de vista de la fuente de alimentación primaria (fuente de corriente), de forma general, el arranque de cualquier sistema electrónico debe realizarse de forma “suave” (*soft-start*) para evitar en la medida de lo posible picos de corriente y tensión transitorios que puedan alcanzar niveles peligrosos para la electrónica integrada. En este detector, se ha planteado un arranque configurable en rampa, de forma que la corriente de alimentación aumenta paulatinamente desde 0A hasta la corriente nominal en un tiempo determinado,

típicamente de unas decenas milisegundos. Como se muestra en la Fig.4.17, el ROC RD53A no comienza a funcionar correctamente hasta que no se alcanza una corriente de alimentación ( $I_{source}$ ) específica, que es relativamente alta, alrededor de 0.7A. Hasta ese punto, el regulador SLDO no puede generar la tensión  $V_{out}$  de manera estable, manteniéndose en todo momento en valores cercanos a 0V.

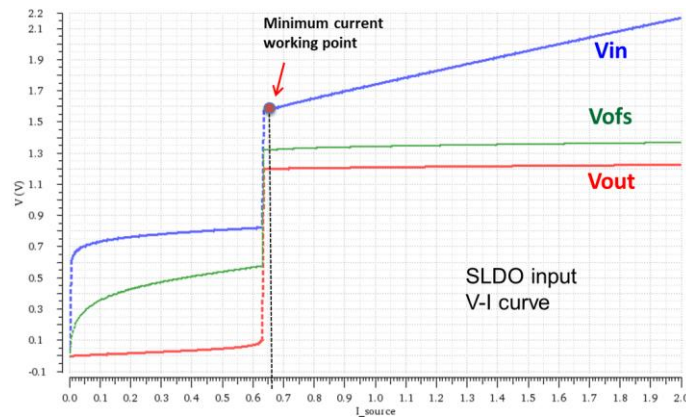


Fig.4.17. Simulación de curva I-V del chip RD53A a 25°C.

Este comportamiento del chip RD53A fue confirmado con medidas realizadas en prototipos tal como se muestra en la Fig.4.18. En a) se muestra un comportamiento muy similar al de las simulaciones, con una corriente mínima necesaria para que las referencias se estabilicen y se genere una tensión de salida estable. En este caso se muestran dos tensiones de salida que corresponden a los dos SLDO integrados en el chip para alimentar a cada uno de los dominios. Se puede ver además una clara diferencia entre el punto de arranque de las dos tensiones de salida, lo cual puede generar problemas si no se tiene establecida una secuencia de arranque de los distintos circuitos del chip que tenga en cuenta estos posibles efectos.

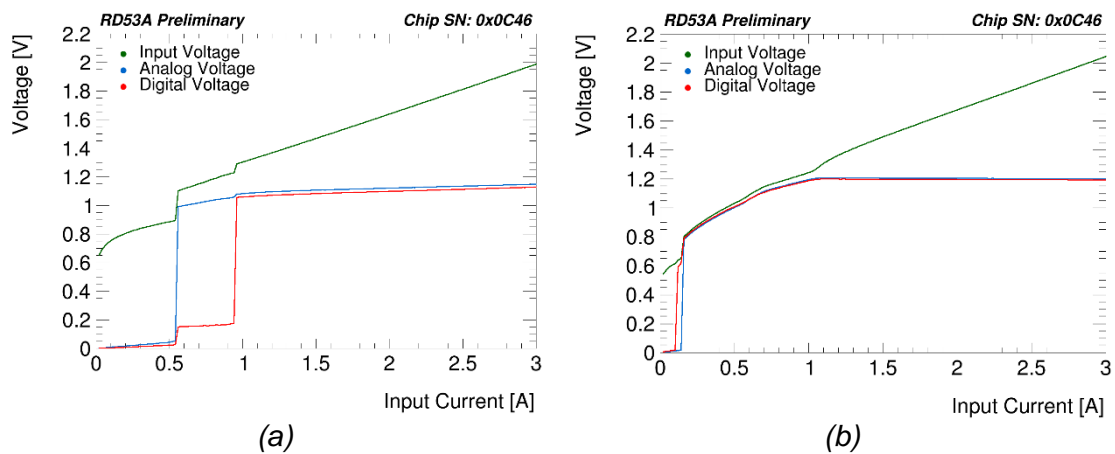


Fig.4.18. Medidas de curva I-V en prototipo de chip RD53A. (a) Utilizando “bandgaps” internos. (b) Utilizando referencias de tensión externas.



Esta característica no genera de por sí un problema de efectos transitorios, pero sí que puede causarlos de forma indirecta al hacer funcionar el sistema en estados no controlados durante la rampa de arranque, generando un cambio brusco de comportamiento en el momento en que las referencias entran en funcionamiento, tal como se muestra en el ejemplo de la Fig.4.19. En esta figura se representan las tensiones principales del SLDO junto con todas las tensiones de referencia generadas por los *bandgaps* durante un arranque en rampa de 30ms. Hasta que no se alcanzan los  $\sim 0.8V$ , las tensiones de referencia no están correctamente definidas, y todas las tensiones presentan valores muy bajos que no permiten el funcionamiento de la electrónica del chip. Alcanzado un nivel de corriente, las referencias se activan con varias oscilaciones, lo que puede provocar transitorios no controlados y sobretensiones en algunos circuitos sensibles del chip.

#### 4.4.1.1. Nuevo diseño de referencias (*Bandgaps*)

Tras identificar este fenómeno mediante simulación y confirmarlo con mediciones en prototipos reales del chip RD53A, se llevaron a cabo varias modificaciones para mejorar la respuesta del SLDO durante el arranque. Se realizaron mejoras específicas en el diseño del chip con el objetivo de permitir que el regulador iniciara y funcionara con corrientes significativamente más bajas, independientemente de las tensiones de referencia, y que los dominios analógico y digital se activaran simultáneamente. Para lograr esto, se implementó un circuito específico que optimiza el arranque del SLDO y se reestructuró la topología de las referencias del chip para que un único bandgap generara todas las señales de referencia necesarias. Estos cambios, implementados en versiones posteriores del chip como el mostrado en la figura Fig.4.20, lograron que las tensiones de referencia sean mucho más estables, que el arranque se pueda realizar con menor nivel de corriente, y que desaparezca el desfase entre las referencias de los dominios analógico y digital.

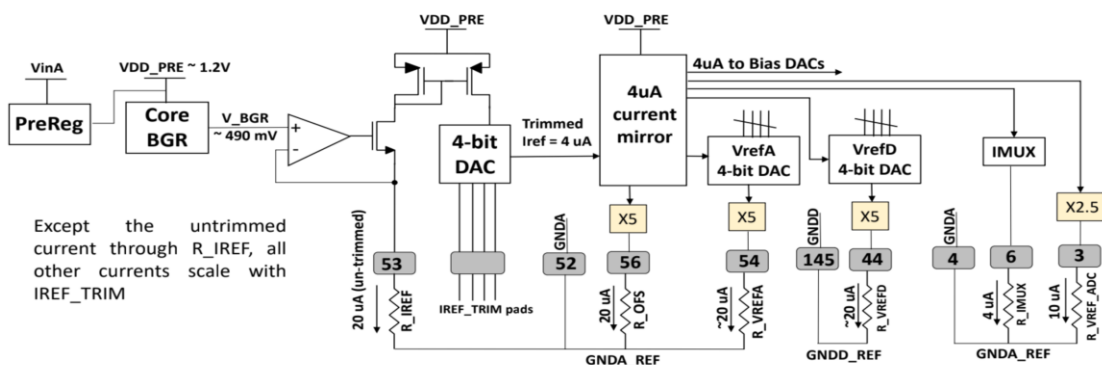


Fig.4.20. Esquema simplificado del circuito para generación de referencias internas del chip RD53B.

Se ha añadido un pre-regulador que genera 1.2V para alimentar el núcleo del *bandgap*, que anteriormente se alimentaba directamente de  $V_{in}$ . Esto mejora de forma drástica la estabilidad de las tensiones de referencia con las variaciones de la tensión de entrada. La tensión de referencia base de unos 490mV es generada por un único circuito de *bandgap* (Core BGR). Esta tensión es utilizada para generar una corriente de referencia global de 4uA, que posteriormente es replicada y multiplicada por medio de espejos de corriente (*Current mirrors*) que, por diseño, aseguran una variabilidad muy pequeña entre las réplicas generadas. Adicionalmente, integra un circuito de *trimming* cuya función es permitir un ajuste fino de la corriente de referencia, sumando o extrayendo pequeñas porciones de corriente (hasta un máximo de  $\pm 0.5\mu A$ ), para compensar las variaciones que puedan existir de unos chips a otros por las tolerancias del propio proceso de fabricación. Estas corrientes son convertidas de nuevo en tensiones de referencia por medio de resistencias externas. Cuando se integran resistencias dentro del propio chip, presentan una gran variabilidad con los procesos de fabricación y temperatura, por lo que el uso de resistencias externas es completamente necesario para obtener una mayor precisión y estabilidad en el valor de la resistividad, además de permitir el ajuste de su valor con relativa facilidad.

En la Fig.4.21 se muestra una simulación del arranque de un SLDO, comparando el comportamiento del esquema de *bandgaps* antiguo y la nueva versión mejorada.

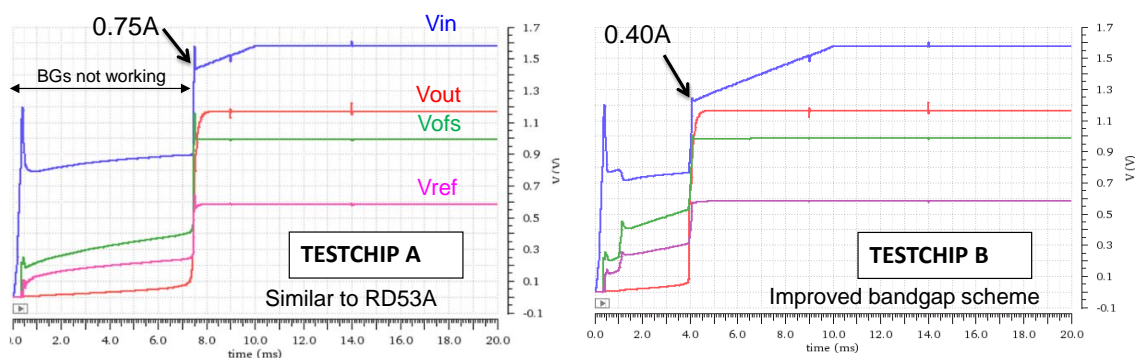


Fig.4.21. Simulación comparando arranque de un SLDO con esquema antiguo (*testchip A*) y esquema nuevo (*testchip B*) de los *bandgaps*.

Testchip A y B son versiones intermedias entre los chips RD53A y RD53B, que se diseñaron y fabricaron para validar las distintas mejoras que se implementaron. El testchip A posee el mismo esquema de *bandgaps* que RD53A, y el testchip B posee el nuevo esquema que se implementó en RD53B. Los resultados muestran una clara mejoría respecto al punto de arranque, que en la nueva versión se da para una corriente mucho menor, 0.40A vs 0.75A.

El comportamiento mejora claramente en la nueva versión, pero todavía no es óptimo, ya que sigue presentando un periodo de indefinición durante gran parte

de la rampa de arranque. Como se verá más adelante, finalmente se implementó un circuito dedicado únicamente al arranque del regulador SLDO para que no tuviera dependencia del *bandgap*.

### 4.4.2. Oscilaciones durante el arranque

Bajo determinadas condiciones, se ha observado que el SLDO no mantiene su estabilidad durante el arranque en rampa, lo que provoca ciertas oscilaciones. Aunque generalmente no se alcanzan tensiones o corrientes peligrosas para el chip, este comportamiento es indeseado. En casos muy específicos, se han detectado leves sobretensiones transitorias en  $V_{in}$  que deben ser consideradas.

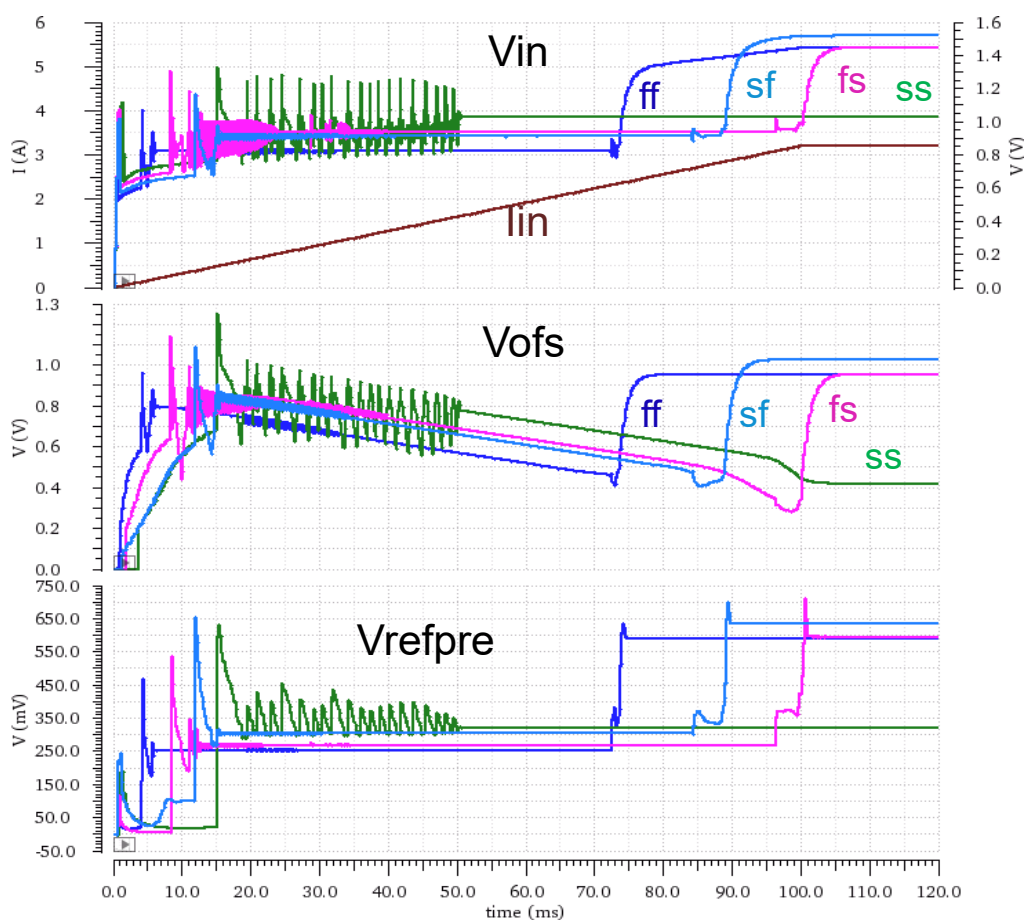


Fig.4.22. Simulación de arranque en rampa lento a baja temperatura ( $-40^{\circ}\text{C}$ ) con carga baja.

Estas oscilaciones son especialmente notorias a temperaturas de trabajo muy bajas. En la Fig.4.24 se presenta un caso de arranque con rampa de corriente lenta (100 ms) a una temperatura de  $-40^{\circ}\text{C}$  en un chip RD53A aislado. En estas condiciones, se producen oscilaciones muy evidentes en todas las variaciones

de fabricación (ss, ff, sf, fs). Las oscilaciones se observan principalmente en la primera fase de la rampa de alimentación, pero finalmente el sistema se estabiliza y funciona correctamente.

Para determinar con mayor precisión los puntos de funcionamiento en los que se producen estas oscilaciones, se llevaron a cabo diferentes estudios paramétricos variando la corriente de alimentación  $I_{in}$ , sin utilizar rampas de arranque. A partir de estos estudios se ha podido determinar con exactitud el efecto de la tensión de offset en el arranque del chip y en el rango de corriente en donde se produce la inestabilidad, tal como se observa en la Fig.4.23. Esta figura muestra la amplitud de la oscilación en función de la tensión y corriente de entrada, para distintos valores de  $V_{offset}$ . De esta forma se han podido definir las características de arranque del chip a partir de un offset determinado. Conociendo estos parámetros y comportamiento, se diseña un circuito de arranque optimizado que sea capaz de eliminar, o al menos minimizar estos transitorios.

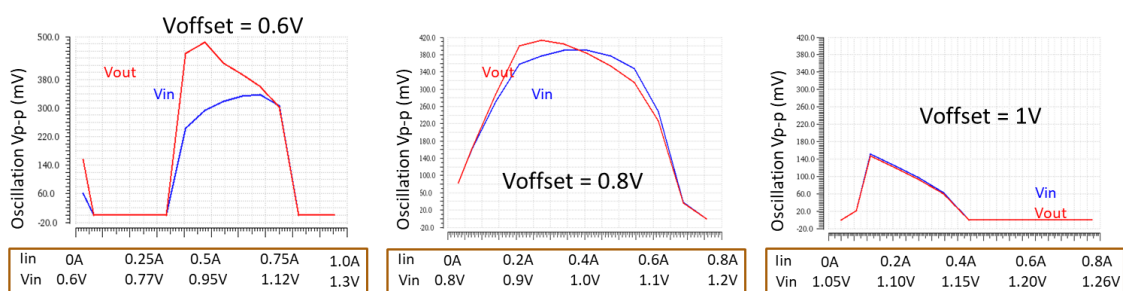


Fig.4.23. Simulación. Amplitud de rizado de  $V_{in}$  y  $V_{out}$ , para distintas configuraciones de  $V_{ofs}$

### 4.4.3. Implementación de circuito para mejora del arranque del SLDO

El problema de arranque observado previamente causa que ciertos chips, cuando operan a bajas temperaturas, necesiten una corriente superior a la nominal para ser funcionales. Este fenómeno es un problema funcional grave que afecta tanto al regulador SLDO como a los circuitos que generan las tensiones de referencia. Por esta razón, la búsqueda de una solución se convirtió en una prioridad en el diseño.

A partir de los estudios y simulaciones anteriormente comentadas, se identificó que el problema provenía principalmente de las referencias de tensión (*Bandgaps*). El fenómeno ocurre porque, hasta que la tensión de entrada del chip no supera un valor determinado, generalmente superior a 1V, las referencias de tensión no son funcionales y proporcionan valores reducidos y no controlados.

En estas condiciones, el regulador SLDO no puede elevar la tensión de entrada a los valores necesarios para una corriente determinada, ya que la referencia  $V_{ofs}$  está en un valor bajo. Por lo tanto, se crea un círculo vicioso: las referencias de tensión necesitan al regulador SLDO para funcionar correctamente, y el regulador SLDO necesita las referencias de tensión para operar adecuadamente.

Para solucionar este problema, se ha propuesto una solución desde el punto de vista del regulador SLDO, incluyendo un nuevo circuito en su lazo de control. Este circuito modifica el comportamiento del SLDO durante la fase de arranque, desligando el regulador SLDO de la tensión de referencia  $V_{ofs}$ . Cuando la tensión de entrada  $V_{in}$  supera los 1.2V, y por lo tanto los *bandgaps* ya se han iniciado, este circuito de arranque se deshabilita y el SLDO funciona con normalidad.

Este circuito mejora notablemente el comportamiento del regulador durante el arranque, permitiendo que la tensión de entrada  $V_{in}$  se establezca a más de 1.2V más rápidamente (ver Fig.4.24), con una corriente menor, y sin dependencia de las tensiones de referencia. Esto, a su vez, facilita que las tensiones de referencia estén también disponibles desde las primeras fases del arranque.

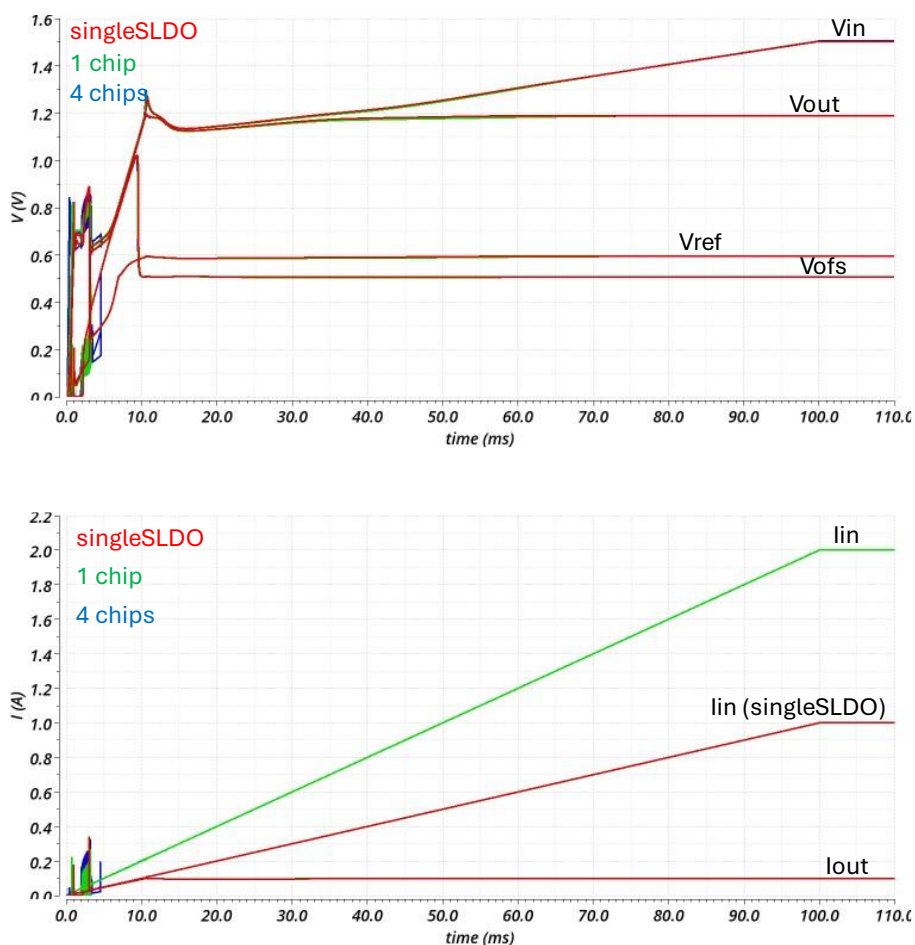


Fig.4.24. Simulación de arranque en rampa lenta a baja temperatura ( $-40^{\circ}\text{C}$ ) con carga baja del chip RD53C con el nuevo circuito de arranque.

La Fig.4.24 muestra los resultados de la simulación de un arranque en rampa con el nuevo circuito de arranque implementado. Se indican las tensiones y corrientes más representativas, y además se compara el comportamiento para los casos de 1 SLDO, 1 chip (2 SLDO) y 1 módulo (8 SLDO). En condiciones similares a la Fig.4.22, el sistema es capaz de arrancar y estabilizar las tensiones mucho más rápido, evitando así periodos de indefinición de referencias y posibles oscilaciones. En algunos *corners* y condiciones de carga específicas todavía se pueden observar algunas oscilaciones durante el arranque. Aunque el problema no ha sido corregido completamente, se ha acotado en un tiempo mucho menor y se ha reducido la amplitud de las oscilaciones.

#### 4.4.4. Implementación del modo de bajo consumo (LPM)

Adicionalmente, y gracias a que con este nuevo circuito de arranque es posible iniciar el chip con corrientes de alimentación relativamente bajas, se planteó la implementación de un nuevo modo de funcionamiento de bajo consumo (*Low Power Mode, LPM*). El objetivo de este modo es el de operar el chip con limitaciones de rendimiento para reducir el consumo, con el fin de ejecutar un procedimiento de verificación de conexiones y funcionalidades. Este puede ser de gran utilidad durante la primera fase de instalación del detector de píxeles, cuando es necesario verificar la electrónica sin que el sistema de refrigeración esté activo, o al menos no a su plena capacidad. De esta forma, los requerimientos de disipación son mucho menores.

Sin embargo, uno de los principales desafíos en la alimentación de este modo es garantizar que el regulador SLDO pueda alcanzar tensiones de entrada superiores a 1.4V, el mínimo necesario para su correcto funcionamiento, con una corriente de entrada mucho menor que la nominal. La solución más viable es operar con dos curvas I-V diferenciadas, adaptadas al modo de funcionamiento requerido en cada caso.

La Fig.4.25 muestra las dos opciones posibles para poder funcionar en el punto de trabajo LPM, incrementando la pendiente de la curva I-V ( $R_{eq}$ ) o incrementando la tensión de offset,  $V_{offset}$ . Ambas opciones son válidas para llegar al punto de trabajo objetivo, pero se decidió utilizar el cambio de  $V_{offset}$  por presentar mayor facilidad en cuanto a su implementación en el chip.

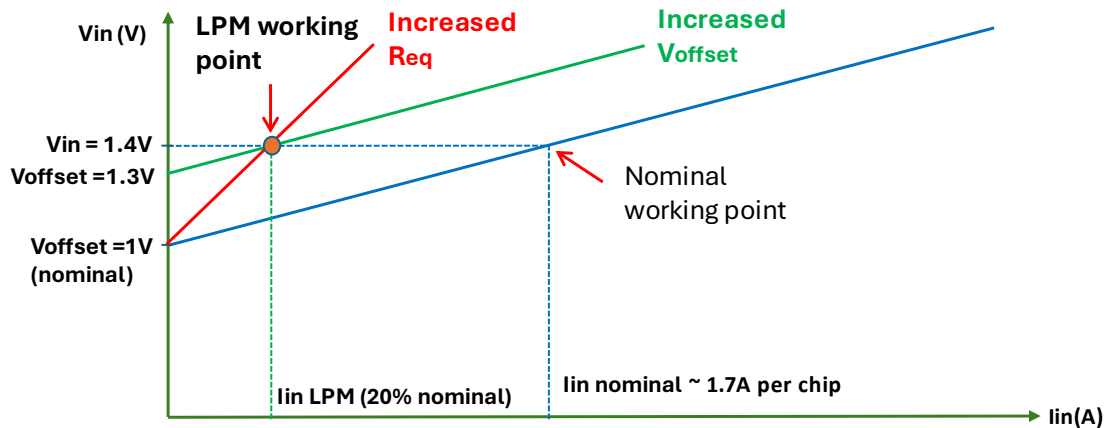


Fig.4.25. Curvas I-V nominal y modificadas para trabajar en LPM.

El circuito simplificado de implementación de esta topología se muestra en la Fig.4.26. En este ejemplo se indica la corriente de referencia de  $20\mu\text{A}$  del chip ( $I_{\text{ref}}$ ) que se utiliza para generar la tensión  $V_{\text{ofs\_half}}$  a través de una resistencia externa ( $R_{\text{ofs}}$ ). En este caso se utilizan dos resistencias conectadas en serie ( $R_{\text{ofs}} + R_{\text{ofsL}}$ ), con la opción de cortocircuitar una de ellas ( $R_{\text{ofsL}}$ ) por medio del transistor Q1, dependiendo del modo en el que se quiera funcionar. De esta forma, para el modo de funcionamiento normal,  $V_{\text{ofs\_half}} = 20\mu\text{A} \times 25\text{k}\Omega = 0.5\text{V}$ , y para el LPM,  $V_{\text{ofs\_half}} = 20\mu\text{A} \times (25\text{k}\Omega + 10\text{k}\Omega) = 0.7\text{V}$ .

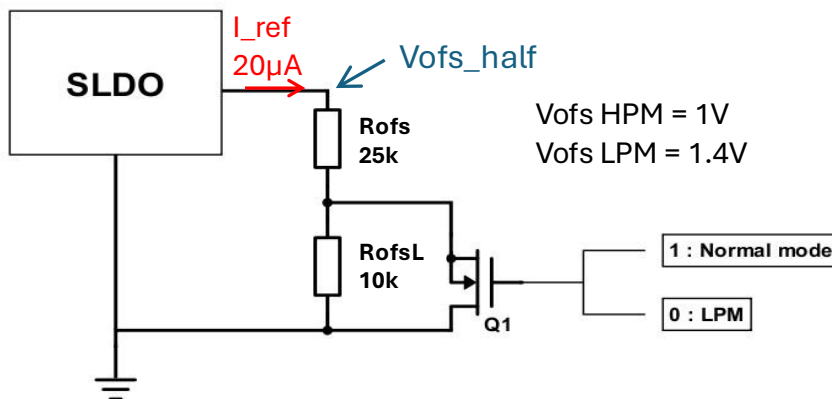


Fig.4.26. Esquema de implementación de LPM modificando  $V_{\text{ofs\_half}}$ .

Partiendo de este esquema, la dificultad principal radica en generar la señal de conmutación del transistor Q1 de forma fiable e independiente del funcionamiento del resto del chip.

Para generar esta señal de activación se plantearon dos posibles soluciones, una generada a través de una señal externa y otra a través de un circuito interno del propio chip que monitoriza la corriente de entrada  $I_{\text{IN}}$ . Ambas soluciones fueron implementadas en dos mini-ASIC del regulador Shunt-LDO, conocidos como Testchip-B y Testchip-C, con el propósito de ensayar estas funcionalidades. Estos testchips forman parte de una serie de 3 mini-ASICs

dedicados al SLDO, que se desarrollaron en el intervalo de tiempo entre los chips RD53A y RD53B.

En la Fig.4.27 se muestra el layout de la implementación del Testchip-B indicando sus componentes principales. El layout del bloque de activación del LPM interno se muestra ampliado indicando sus pads de conexión al exterior:

- LPM\_cap: terminal para conectar un condensador externo para ajustar el retardo de generación de la señal.
- LPM\_res: terminal para conectar resistencia externa para ajustar el umbral de cambio entre LPM y HPM.
- LPM\_trigger: señal de disparo que se conecta a la puerta del transistor para activar/desactivar el LPM.

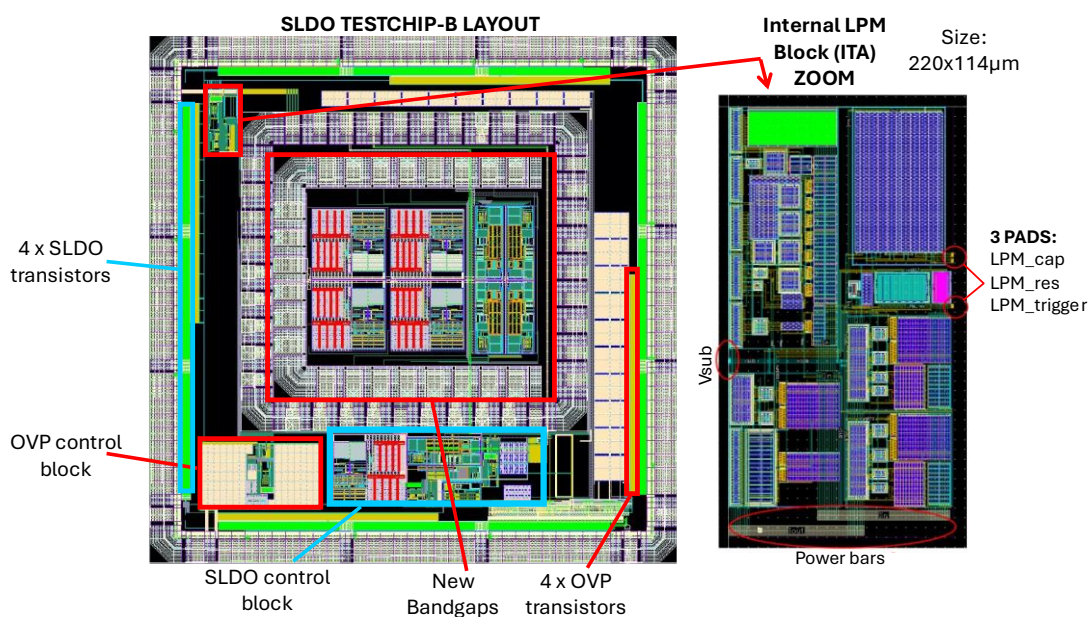


Fig.4.27. Layout de la implementación del SLDO Testchip-B y zoom del bloque de activación del LPM interno.

#### 4.4.4.1. Generación de señal de activación externa

Es la solución planteada por el experimento ATLAS. El modo de bajo consumo se activa por medio de una señal externa AC de 1.2V pico-pico (sinusoidal o cuadrada) de relativamente baja frecuencia (>100kHz). Esta señal es rectificadora por un circuito implementado en el propio chip para generar un nivel de tensión suficiente para hacer conmutar el transistor Q1. Al ser una señal AC, puede ser llevada a través de acoplamiento capacitivo a todos los módulos conectados en serie dentro de un grupo del detector al mismo tiempo. De esta forma se simplifica el número de líneas necesarias a una por grupo.

Como se observa en la Fig.4.28, las pruebas realizadas en laboratorio sobre el Testchip-B muestran que el circuito de activación funciona sin ningún tipo de problema. En este caso concreto se han configurado las resistencias externas del SLDO para trabajar con una tensión de *offset* de 0.7V en el modo normal o HPM (*High Power Mode*), y con 1.2V en el modo de bajo consumo o LPM. Al activar el LPM, el SLDO comienza a funcionar correctamente desde corrientes próximas a 0A, y es capaz de alcanzar los 1.4V para alrededor de 0.25A. De estos ensayos se concluye que tanto el circuito de LPM como el circuito de activación funcionan correctamente.

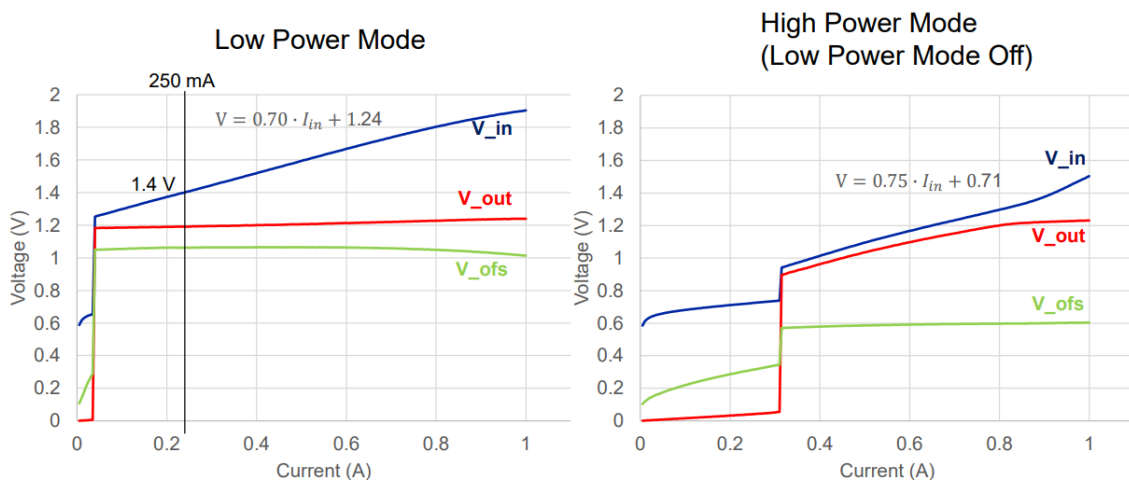


Fig.4.28. Validación del circuito de LPM con señal de activación externa.

Este circuito de activación ha sido ensayado posteriormente [4-6] de forma exhaustiva por los grupos de desarrollo de ATLAS en todas las condiciones de funcionamiento del detector, para ser validado e integrado en el chip completo, RD53B.

#### 4.4.4.2. Generación de señal de activación interna

Esta es la solución que se ha planteado y diseñado desde el ITA para ser utilizada en el experimento de CMS, y aplica un concepto ligeramente distinto a la opción anterior. En la Fig.4.29 se muestra el esquema simplificado de la implementación del circuito generador de señal LPM.

El circuito, a grandes rasgos, posee dos comparadores, A1 y A2, y una red de retardo pasiva formada por R-C. El comparador A1 se encarga de generar una señal de disparo (*trigger*) cuando la corriente se encuentra por debajo de un nivel determinado definido por la referencia  $V_{TH}$ . Para ello compara la corriente de entrada del SLDO,  $I_{in}$ , con una señal de referencia de 0.5V. La corriente  $I_{in}$  se obtiene por medio de un espejo de corriente (*current mirror*) del transistor del LDO, con un factor de conversión teórico de 1000:1, que se conecta a una resistencia externa ( $R_{LPM}$ ).

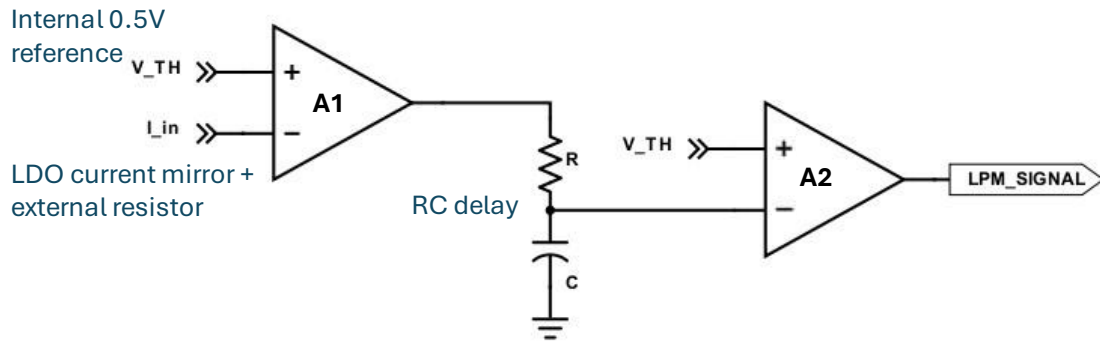


Fig.4.29. Circuito de generación de señal de activación de LPM integrado en el chip.

Esto quiere decir que la señal de corriente  $I_{in}$  usada por este circuito será 1000 veces menor que la que circula por el transistor LDO de potencia, y la resistencia externa se utilizará para ajustar el nivel de detección. Por tanto, el nivel de detección de corriente  $I_{TH}$  quedará definido como:

$$I_{TH} = \frac{V_{TH}}{R_{LPM}} \times 1000 \quad (4.1)$$

Según el nivel de corriente de alimentación  $I_{in}$ , se pueden dar dos situaciones como indica la Fig.4.30:

- Si la corriente  $I_{in}$  es mayor que el nivel  $I_{TH}$ , se considera modo de funcionamiento normal (HPM), A1 genera un nivel bajo, C no se carga, y A2 genera nivel alto en todo momento. Esto activa el transistor Q1 en Fig.4.26 para configurar  $V_{ofs}$  en modo normal.
- Si la corriente  $I_{in}$  es menor que  $I_{TH}$ , se considera LPM, A1 genera nivel alto, y el condensador tiende a cargarse. Cuando C alcanza la tensión  $V_{TH}$ , A2 genera un nivel bajo y se habilita el modo de baja potencia.

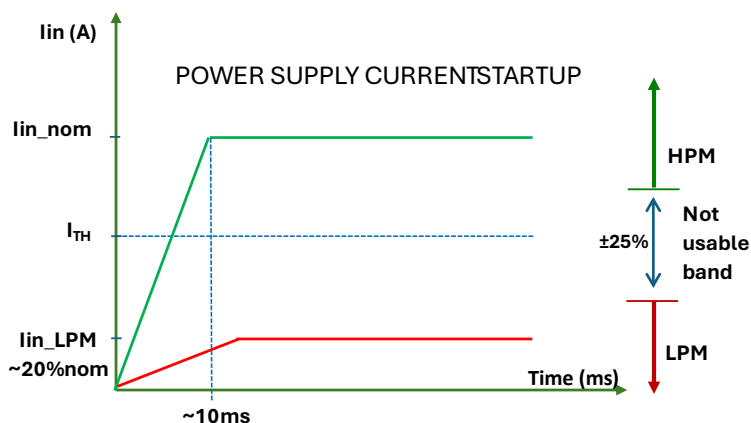


Fig.4.30. Definición del nivel de detección de corriente en el circuito de LPM interno.

La corriente  $I_{in}$  no debe entrar en la banda intermedia de  $\pm 25\%$  respecto a  $I_{TH}$ , porque las tolerancias y variaciones entre chips pueden provocar que algunos chips entren en LPM y otros en HPM.

La función de la red de retardo es permitir al sistema iniciar siempre en modo normal, y únicamente en caso de detectar un nivel de corriente muy bajo, pasar al LPM. Esto se hace porque el LPM es un modo residual que solo va a ser usado en contadas ocasiones durante el montaje y verificación del detector.

Este circuito ha sido verificado por simulación y con medidas en laboratorio sobre lo prototipo de Testchip-B. La Fig.4.31 muestra una comparativa de las curvas I-V obtenidas en la medida del prototipo y la simulación, para una  $I_{TH}$  de 0.4A.

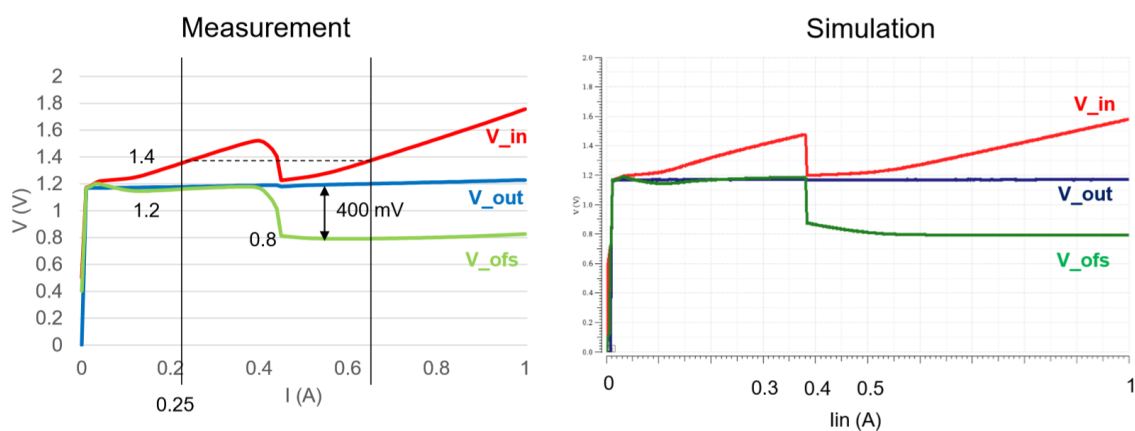


Fig.4.31. Curvas I-V del SLDO para un nivel de detección de LPM ( $I_{TH}$ ) de 0.4A, comparando medida y simulación

La Fig.4.32 superpone curvas I-V de distintos niveles de detección ( $R_{LPM}$ ) comparando medida y simulación.

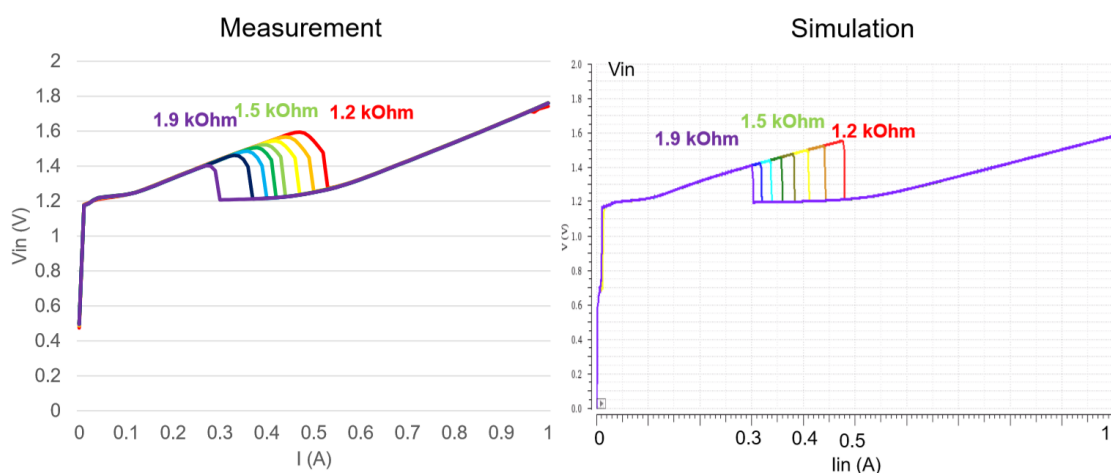


Fig.4.32. Curvas I-V del SLDO para distintos niveles de detección de LPM ( $I_{TH}$ ) superpuestas, comparando medida y simulación.

El comportamiento observado es altamente consistente con las predicciones obtenidas mediante simulación, presentando únicamente ligeras discrepancias

en el factor de conversión de la medida de corriente y en la tensión de referencia para el umbral de detección,  $V_{TH}$ .

Al tratarse de un circuito delicado para el funcionamiento del chip, ya que puede afectar al arranque y al comportamiento del SLDO en general, se han realizado numerosas pruebas para validarlo. Entre ellas está el ensayo conectando varios SLDO en paralelo. En la Fig.4.33 se muestra el montaje de laboratorio para ensayar esta funcionalidad en un “pseudo” módulo de 3 SLDO, formado por 3 tarjetas distintas de test. La conexión en paralelo se realiza con cables muy cortos y de igual longitud, para evitar errores en el reparto de corriente, y se mide la corriente de entrada de cada uno con sondas de efecto Hall.

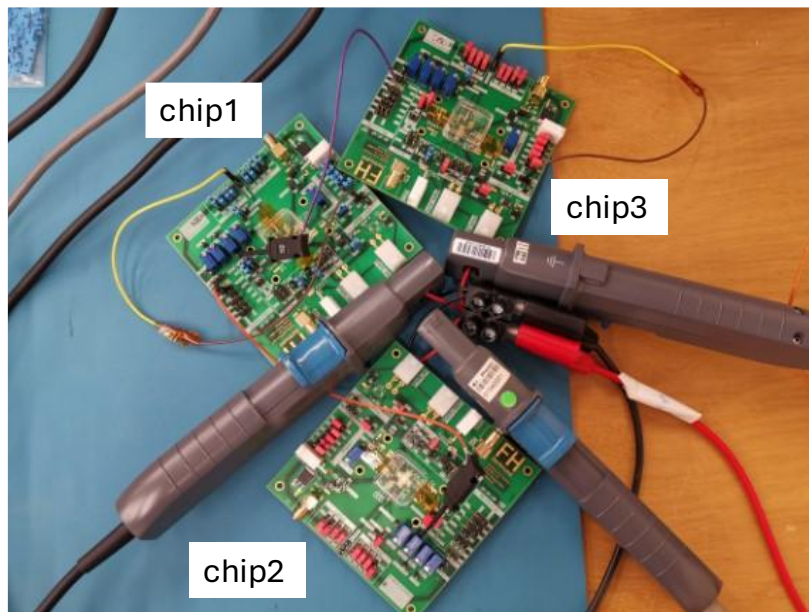


Fig.4.33. Montaje de ensayo para validación de circuito de activación de LPM interno con 3 SLDO en paralelo.

En estas pruebas se mantiene el  $I_{TH}$  de unos 0.4A, y se alimenta con una corriente menor pero próxima al valor de detección por chip (0.33A), con la intención de buscar el comportamiento en la banda no utilizable. La corriente es menor que la de detección, por lo que en condiciones normales deberían funcionar todos los chips en LPM. Los resultados se muestran en la Fig.4.34.

Cuando se utiliza  $V_{ofs}$  individual, el SLDO morado pasa a LPM primero por lo que los demás, con menor  $V_{ofs}$ , tienden a consumir más corriente pasando por encima del umbral de detección LPM. De esta forma termina uno en LPM y los otros dos en HPM. Esto es un claro problema, ya que existen varias fuentes de incertidumbre tanto para el punto de detección de corriente, como para tiempo de retardo, y es difícil estimar un margen de  $I_{IN}$  de funcionamiento seguro.

Sin embargo, al utilizar la topología de  $V_{ofs}$  común el problema se soluciona por completo, y todos hacen el cambio a LPM sin que exista ningún transitorio de corriente.

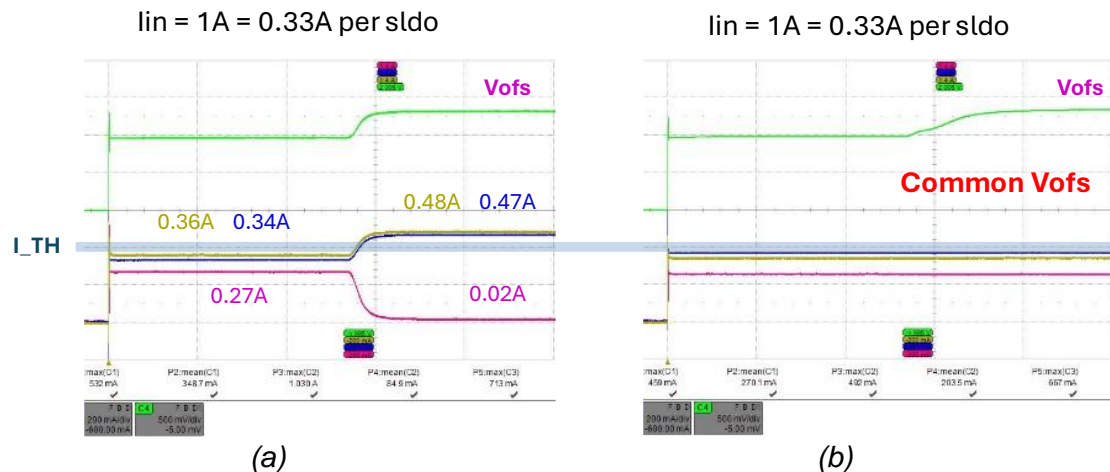


Fig.4.34. Medida de arranque de 3 SLDO en paralelo con circuito de detección de LPM interno e  $I_{TH} = 0.4A$ . (a) Vofs individual y (b) Vofs común.

La combinación del circuito de detección de LPM interno con el Vofs común, hace que esta funcionalidad tenga un comportamiento repetible y fiable, tanto en LPM como en HPM, sin presentar efectos transitorios nocivos.

Finalmente, se decidió implementar únicamente la opción de activación externa del modo de bajo consumo (Low Power Mode, LPM), ya que esta alternativa ofrece una mayor seguridad al evitar la necesidad de añadir componentes electrónicos adicionales a un chip prácticamente finalizado. Esta elección también es respaldada por el experimento ATLAS, el principal interesado en dicha funcionalidad, debido a las características particulares del detector durante su ensamblaje.

En cuanto a los chips finales del experimento CMS, la opción de activación externa estará disponible, aunque se prevé deshabilitarla para evitar posibles problemas operativos. Los cálculos realizados sugieren que las mejoras introducidas por el nuevo circuito de arranque permiten un consumo energético suficientemente bajo para operar los chips sin que el sistema de refrigeración necesite funcionar a su máxima capacidad.

## 4.5. Cableado y fuente de alimentación

En los sistemas de alimentación serie, uno de los principales elementos son las fuentes de corriente, similares a las fuentes de tensión en los circuitos convencionales de distribución en DC. Estas fuentes de corriente, junto con la dinámica de los chips y el cableado, juegan un papel relevante a la hora de definir los transitorios asociados al sistema de distribución del detector. Debido al carácter poco común de este tipo de fuentes de alimentación, la definición de sus

especificaciones y el diseño de los componentes del sistema de potencia (cables y conectores) se han convertido en elementos cruciales en el diseño de la próxima generación de sistemas de potencia serie para detectores de física. Desde la fase inicial de diseño del sistema, se planteó una serie de pasos para definir las características de la fuente de alimentación utilizando gemelos digitales basados tanto en Virtuoso como en PSpice. La idea inicial era desarrollar modelos completos y muy detallados de un grupo del detector, con el fin de reproducir incluso efectos transitorios de alta frecuencia. A partir de estos modelos, se llevó a cabo la construcción de un prototipo de fuente de corriente configurable que pudiera ser usado en el desarrollo de los primeros prototipos de unidades básicas de potencia híbridas con sensores y chips. El objetivo era evaluar su comportamiento en condiciones reales de trabajo y definir la especificación definitiva de la fuente de corriente óptima para cada grupo de potencia del detector.

Como punto de partida y a partir de las características de funcionamiento del chip comentadas en apartados anteriores, se llevó a cabo el diseño de una fuente de corriente compatible. La topología de la fuente de alimentación elegida para el sistema ha sido un convertidor DC/DC reductor (Buck) con un filtro L-C-L a la salida, como se muestra en Fig.4.35. El hecho de usar esta etapa de salida en vez de una única inductancia permite obtener un rizado de corriente menor para el tamaño de componentes magnéticos. Sin embargo, es necesario seleccionar los valores de estos componentes con cuidado para evitar que las resonancias provoquen inestabilidad al sistema.

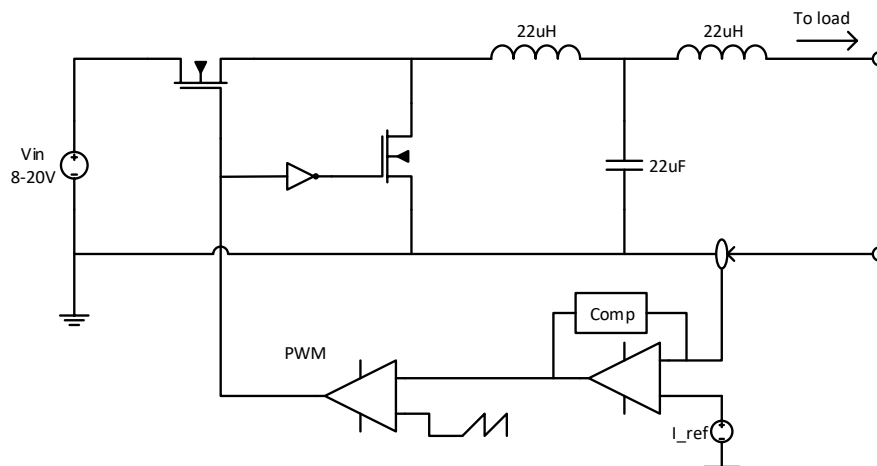


Fig.4.35. Esquema simplificado de fuente de corriente.

La etapa de potencia ha sido diseñada y optimizada para esta aplicación específica sobre una PCB de doble capa. El control digital del convertidor se ha implementado utilizando un microcontrolador de Texas Instruments, el TMS320F28335 de la serie C2000. El uso de este tipo de microcontroladores proporciona gran flexibilidad para poder probar y validar cualquier tipo de control

que se desee implementar, además de una gran precisión para ajustar la corriente de salida gracias a su generador PWM de alta resolución (HRPWM).

La verificación inicial de la unidad se llevó a cabo mediante un gemelo digital en Cadence Virtuoso, permitiendo evaluar el comportamiento de la unidad utilizando los modelos detallados de los SLDO como cargas de la fuente de corriente. Una vez verificados los parámetros de funcionamiento, se procedió a construir un prototipo de la unidad, mostrado en la Fig.4.36.

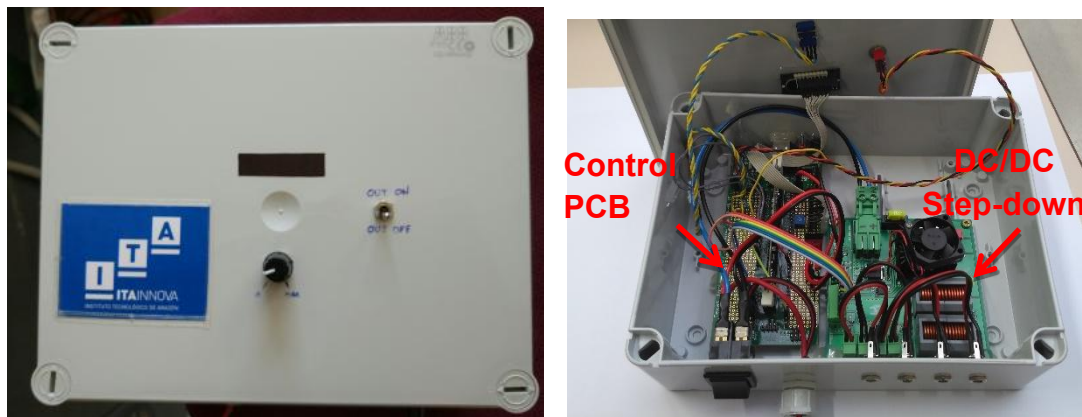


Fig.4.36. Fuente de corriente desarrollada por el grupo de electrónica de potencia de ITAINNOVA

El principal objetivo de esta fuente de corriente es utilizarla para crear prototipos realistas de grupos completos de módulos, con el fin de realizar pruebas y estudios de sistemas de alimentación serie-paralelo con los diversos prototipos de detectores desarrollados a lo largo de estos años. Además, se pretendía disponer de un gemelo digital de la fuente para construir modelos más complejos de simulación de la cadena serie. Por tal motivo, una vez construida, se llevaron a cabo diversas pruebas de validación, como las mostradas en la Fig.4.37. En esta figura se observa que la respuesta de la corriente a un cambio de carga del modelo de simulación se ajusta perfectamente a las medidas realizadas en el prototipo.

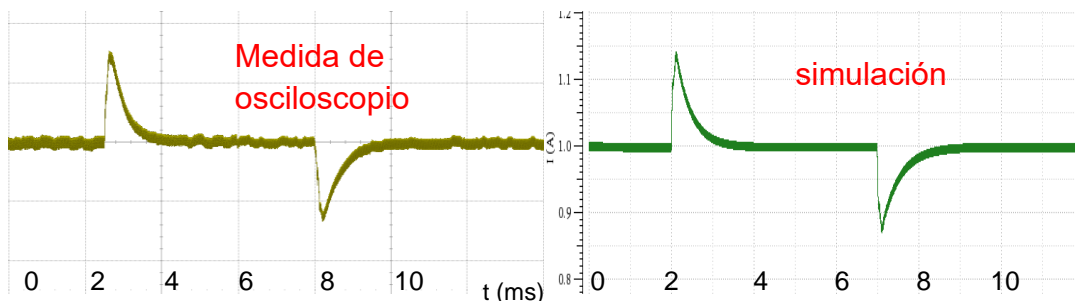


Fig.4.37. Comparativa de la respuesta a un cambio de carga de la fuente de corriente, medida y simulada.

Mediante este ejercicio, se ha podido disponer de un modelo completo de la unidad de potencia totalmente validado. De esta forma se dispone de una

potente herramienta para validar por simulación la introducción de cualquier elemento previo a su implementación en el sistema final.

Este es el primer prototipo de fuente de corriente desarrollada para alimentar a la nueva generación de detectores de píxeles de CMS. Actualmente, existen tres prototipos de este diseño ubicados en distintos laboratorios (ITA, CERN y ETH Zurich) y ha sido utilizada para llevar a cabo diversas pruebas a nivel de sistema [4-7]. La fuente es totalmente configurable, pudiendo generar incluso cualquier tipo de perfiles y patrones de corriente que permitan probar efectos transitorios en los sistemas serie.

La teoría establece que una fuente de corriente debe presentar alta impedancia a la salida para que las posibles variaciones de la carga afecten lo menos posible a la corriente proporcionada. Esto se logra utilizando filtros inductivos en la salida. Basándonos en este principio, el cableado de conexión entre la fuente de alimentación y el detector, incluso en grandes longitudes, debería tener un impacto muy reducido en el funcionamiento del sistema de alimentación en corriente. La alta inductancia en la salida de la fuente de corriente debería opacar el efecto de la inductancia parásita de los cables, minimizando su impacto en el funcionamiento del sistema.

En este contexto, con el fin de verificar el comportamiento del sistema serie desde el punto de vista de fuente y cableado, se realizaron pruebas en laboratorio con cables de alimentación de hasta 80 metros de longitud. También se llevaron a cabo una serie de modelos de simulación que se ajustaron en base a estas medidas realizadas con osciloscopio, con el fin de analizar detalladamente su comportamiento. Para realizar estas simulaciones no fue necesario trabajar con modelos de muy alta frecuencia (menos de 1MHz) para la fuente de alimentación y el cableado. Esto se debe a la relativa baja frecuencia de trabajo del convertidor, con una frecuencia de conmutación típica de 100kHz y un ancho de banda del lazo de control inferior a los 10 kHz. Por lo tanto, el cable se modeló de manera simplificada como una resistencia en serie con una inductancia, debido a la frecuencia de los transitorios estudiados. Además, se incluyeron componentes externos como condensadores de derivación y de filtro en el modelo final del sistema de distribución. Estos estudios y pruebas son esenciales para comprender y mitigar los posibles efectos del cableado en el rendimiento de los sistemas de alimentación serie.

En la Fig.4.38 se muestra el set-up de ensayo utilizado para cuantificar los efectos del cableado en un sistema de alimentación serie. Los elementos principales son los siguientes: dos PCBs que incluyen un prototipo del regulador SLDO conectadas en serie y que actúan de carga emulando a dos chips en serie, el prototipo de fuente de corriente, el cableado de alimentación y los equipos de alimentación y medida.

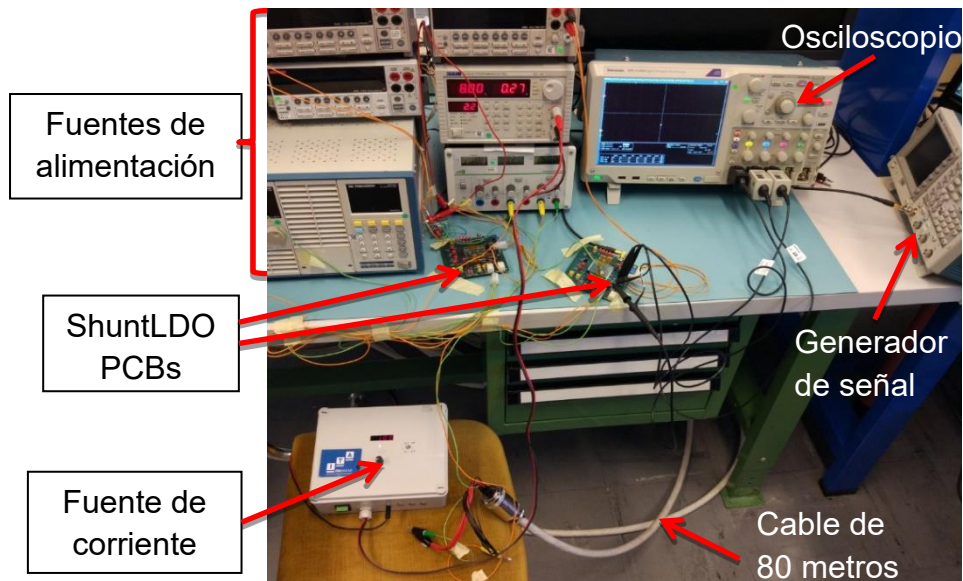


Fig.4.38. Set-up en CERN para tests de cableado

A lo largo de estas pruebas se analizan los dos casos principales de efectos transitorios que pueden ser estudiados en este tipo de prototipos primigenios: el arranque del sistema y la respuesta a un cambio de carga brusco.

Los resultados de la Fig.4.39 indican que la respuesta temporal del arranque en rampa del sistema es exactamente igual independientemente de la longitud del cableado de alimentación.

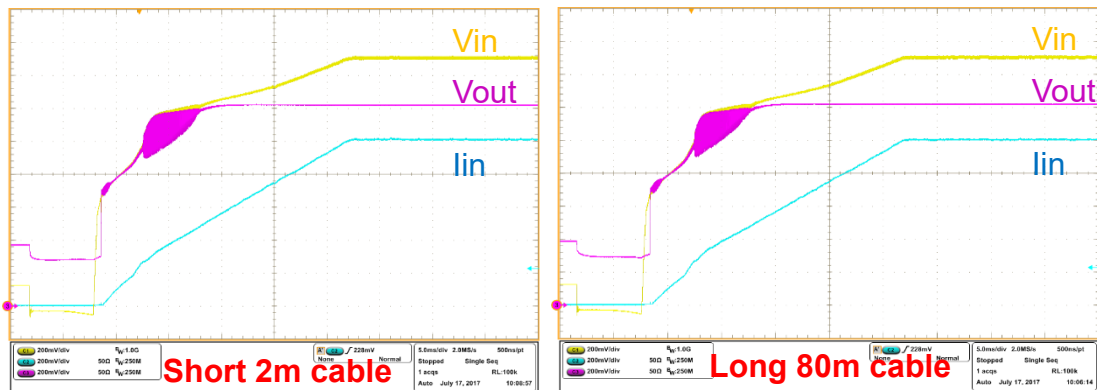


Fig.4.39. Arranque en rampa de corriente de sistema serie con distintas longitudes de cableado

Los resultados de la Fig.4.40 muestran la respuesta a transitorios de carga con la siguiente forma: 0.1A -> 0.6A -> 0.1A. Aunque la escala temporal es ligeramente distinta en las dos gráficas, se puede observar que los transitorios generados en Vin y Vout en ambos casos son muy parecidos y no se tiene ningún efecto visible sobre la corriente Iin. La tensión de rizado que se observa en la línea Vin está provocada por el rizado de la corriente de alimentación y se corresponde con la frecuencia de conmutación. A mayor longitud de cable de conexión, se obtiene un rizado levemente menor de Vin, ya que la inductancia



anormalmente altas o bajas en ambos lados de los condensadores  $C_{AC}$  durante el primer transitorio, tal como se observa en la Fig.4.41. Este problema puede ser más acusado en un arranque rápido, pero también puede suceder en arranques más lentos debido a algunas oscilaciones y transitorios que se generan en determinadas combinaciones de temperatura, proceso de fabricación y carga del chip.

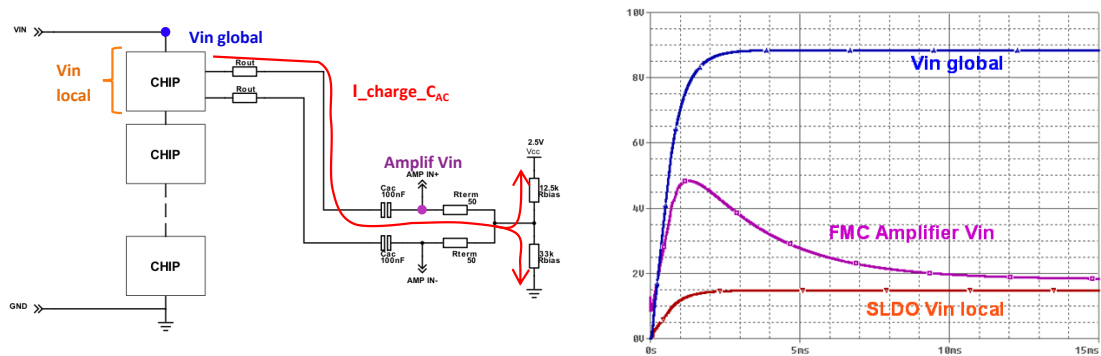


Fig.4.41. Simulación de tensiones en líneas de comunicación durante un arranque rápido de una cadena serie.

Por lo tanto, a partir de este análisis, se determinó que, por diseño del sistema de arranque, se debe garantizar que estas tensiones permanezcan siempre dentro de un rango seguro. Para ello, se debe establecer un tiempo de arranque mínimo y una capacidad de acoplo ( $C_{AC}$ ) determinada ( $<100\text{nF}$ ) que asegure el funcionamiento correcto de las líneas de comunicación sin comprometer el tiempo de carga inicial. Una capacidad relativamente alta proporciona mayor estabilidad a la línea de comunicación, ya que limita las variaciones de la tensión de polarización. Sin embargo, una capacidad elevada alarga los tiempos transitorios de arranque y parada, lo que en ciertos casos puede llevar a generar niveles transitorios anormalmente elevados de tensión que sean perjudiciales para la electrónica del chip.

## 4.7. Modos de fallo o modos degradados

El análisis de fallos es esencial para mejorar la fiabilidad y el rendimiento de cualquier circuito electrónico. Comprender los modos de fallo, sus causas y consecuencias, permite implementar medidas preventivas y correctivas para asegurar la fiabilidad del sistema. Todo sistema debe estar preparado para protegerse de posibles modos de fallo o transitorios que puedan dañar la electrónica.

Para el estudio de la fiabilidad del chip RD53 y diseñar los sistemas de protección ante diferentes fallos, se han considerado principalmente dos modos degradados de operación asociados a transitorios que pueden desencadenar desde un mal funcionamiento hasta fallos destructivos de la electrónica:

- Sobretensión a la entrada del Chip RD53
- Sobrecarga o cortocircuito a la salida de los reguladores SLDO del Chip RD53

Entender cómo se generan estos fallos y analizar sus efectos y consecuencias sobre la electrónica del detector, tanto a nivel de chip como de sistema son los principales puntos que se van a tratar a continuación. A partir de estos estudios, se han implementado y optimizado dos protecciones en la propia electrónica del regulador para mitigar estos riesgos.

### *4.7.1. Sobretensión de la tensión de entrada*

La generación de chips RD53 está desarrollada con tecnología CMOS de 65nm de TSMC. Esta tecnología permite una tensión de trabajo máxima de los transistores de alrededor de 1.3V. Trabajar con tensiones más elevadas puede provocar una degradación acelerada de las estructuras de un circuito integrado, y en un caso extremo puede producir un fallo catastrófico que destruya el dispositivo semiconductor. No obstante, se podría decir que, por diseño, el propio SLDO puede actuar como protección de sobretensión a la entrada, ya que, aunque se produzcan variaciones relativamente grandes de corriente  $I_{in}$ , la variación de la tensión  $\Delta V_{in}$  será siempre relativamente pequeña. Esto es debido a que, desde el punto de vista de la entrada, se va a comportar idealmente como una resistencia de pequeño valor, que dependerá de la configuración del SLDO adaptado al sistema en el que se integre. Para el caso de CMS, cada chip CROC presentará una resistencia equivalente de alrededor de 200-300m $\Omega$ .

El caso del regulador SLDO es un poco especial, ya que debe ser capaz de generar una tensión de salida de 1.2-1.3V para alimentar la electrónica del chip RD53, y para ser capaz de generar esta tensión de forma fiable y estable, el regulador deberá ver una tensión de entrada de al menos 0.2V superior a la salida (1.4-1.5V). Además, para tener un cierto rango de trabajo y que el regulador sea capaz de absorber tolerancias y modos de fallo, se estableció como especificación, una tensión máxima de trabajo de entrada de 2V. Para que algunas partes del circuito sean capaces de soportar 2V se utilizan topologías de cascode. Estas estructuras, comúnmente empleadas en el diseño de microelectrónica CMOS analógica [4-8], ofrecen varias ventajas, entre las que destaca su capacidad para soportar tensiones de funcionamiento más altas. Esto se logra distribuyendo la tensión entre varios dispositivos semiconductores conectados en serie, lo que evita que cada uno de ellos exceda los 1.3V.

Para evitar que la tensión de 2V a la entrada no se supere bajo ninguna circunstancia, se decidió implementar un circuito independiente de protección que limite siempre este voltaje por debajo de este valor. Se trata de un regulador

“Shunt” de alta corriente que se coloca en paralelo con el regulador SLDO, y que entra en funcionamiento a valores de tensión próximos a los 2V. A efectos prácticos, este circuito modifica la curva V-I del regulador SLDO para que se mantenga por debajo de los 2V en todo momento. En la Fig.4.42 se puede ver como la curva I-V del regulador SLDO muestra dos tramos diferenciados con distinta pendiente. Un primer tramo que corresponde al regulador SLDO en sí, y un segundo tramo con una pendiente prácticamente plana, que corresponde a la protección de sobretensión, y que previene al SLDO de superar los 2V independientemente de la corriente de alimentación.

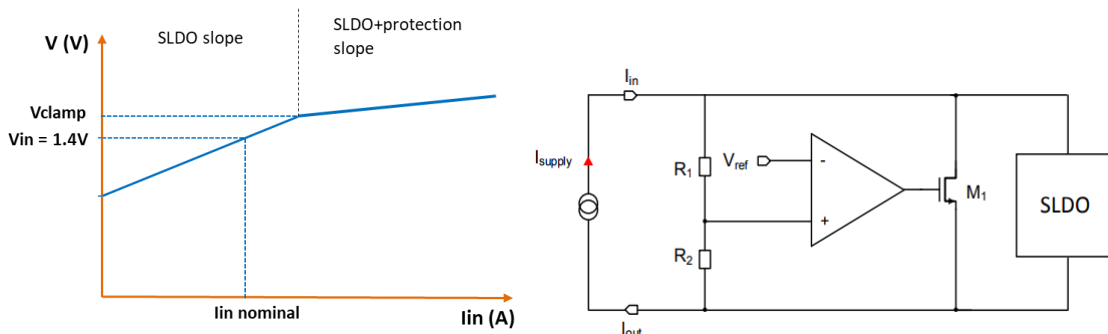


Fig.4.42. Esquema y curva V-I de circuito de protección de sobretensión

Las sobretensiones pueden ser generadas por efectos transitorios (arranque, parada, fallo de la fuente de alimentación, fallo de un chip, etc.), o por fenómenos estáticos (errores en la configuración de los chips, degradación de componentes, etc.). Como norma general, y exceptuando posibles fallos de la electrónica de control del SLDO que deriven en valores de voltaje y corriente no determinados, una sobretensión vendrá generada por un aumento importante de la corriente de entrada. Esto puede producirse principalmente de dos formas: por un aumento de la corriente proporcionada por la fuente de alimentación primaria, ya sea por fallo o por error en la configuración, o porque uno o varios chips fallen y dejen de consumir corriente. Si un chip deja de consumir, este exceso de corriente se repartirá entre el resto de los chips en paralelo, produciendo un incremento de tensión en ellos que puede ser destructivo dependiendo de la configuración y punto de operación nominal de los mismos. En un módulo de dos chips, si uno de ellos dejara de consumir corriente, el otro debería de ser capaz de seguir funcionando con el doble de su corriente de funcionamiento nominal, sin alcanzar valores de tensión peligrosos y disipando la potencia extra que se va a generar.

En la Fig.4.43 se muestra la respuesta del circuito de protección ante una sobretensión generada desde el lado de la fuente de alimentación. En este caso se ha simulado un incremento brusco de la corriente de alimentación, que siguiendo la curva V-I del SLDO, debería provocar una tensión de entrada superior a los 2.2V. Sin embargo, al introducir la protección en el diseño, se observa cómo tras un corto transitorio, la tensión es truncada a un valor por debajo de 2V.

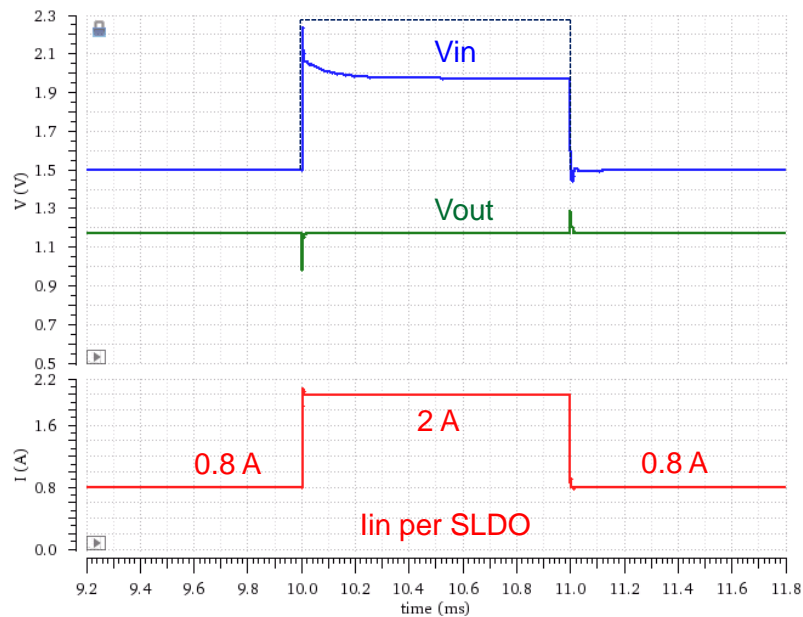


Fig.4.43. Simulación del comportamiento de la protección de sobretensión

Un segundo caso más realista en el que se puede producir una sobretensión es el que se muestra en la Fig.4.44.

En algunos casos muy específicos de condiciones de arranque, como en el que se muestra en la Fig.4.44, se pueden generar sobretensiones que superen la tensión máxima soportada por el regulador a la entrada (2V). Son casos muy específicos de carga, temperatura y velocidad de rampa de arranque, por lo que pueden quedar ocultos si no se realiza un análisis en detalle del circuito de arranque. En rojo se muestra la respuesta de las distintas señales del SLDO con la protección deshabilitada, y en azul con la protección activa. El funcionamiento de la protección es el esperado, ya que no afecta en ningún caso al comportamiento y la respuesta del sistema, y solo actúa limitando la tensión de entrada a  $<2V$  cuando se genera una posible situación de sobretensión.

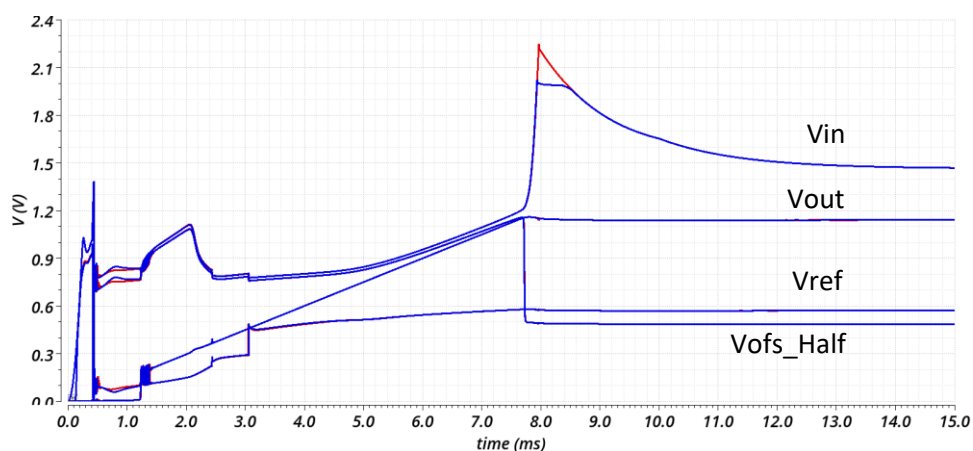


Fig.4.44. Sobretensión generada durante una rampa de arranque de 10ms de un chip para corner fs y  $-40^{\circ}C$ . Efecto de la protección.

Los estudios sobre la protección contra sobretensiones concluyen que es poco probable generar una sobretensión en un chip o módulo de chips. Gracias a la regulación local de la tensión de entrada mediante los SLDO, se requieren variaciones de corriente extremadamente grandes para alcanzar o superar los 2V. En caso de un error de configuración o un problema grave que provoque un exceso de tensión, el sistema de protección actuará de manera rápida y estable, asegurando que los chips se mantengan dentro de su rango normal de funcionamiento.

### 4.7.2. Sobrecarga

Pueden existir casos en que, por fallo o mal funcionamiento de la electrónica, o por un error en la configuración del sistema, la carga tienda a consumir más corriente que la de alimentación. En estos casos de consumo excesivo de corriente se pierde la regulación del SLDO. La Fig.4.45 muestra otro esquema del regulador SLDO, muy simplificado en este caso, pero al mismo tiempo muy útil para entender el principio de operación del mismo y la problemática respecto a las posibles sobrecargas.

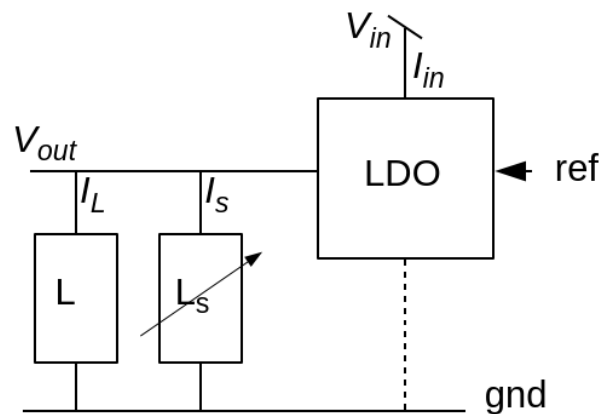


Fig.4.45. Esquema simplificado de regulador SLDO

Como ya se ha comentado anteriormente, su estructura se compone de un regulador LDO convencional que se utiliza para alimentar a la carga principal (la electrónica analógica y digital del chip), L, y una carga interna adicional variable  $L_s$ , que hace referencia al regulador shunt. Esta carga  $L_s$  es controlada para ser capaces de obtener el comportamiento deseado, que  $I_{in} = I_L + I_s = \text{constante}$ . En caso de perder la regulación del Shunt, la tensión de entrada tiende a caer y pasa a un modo de funcionamiento no controlado donde las tensiones, tanto de entrada como de salida, dejan de ser estables, y por lo tanto el sistema funcionará correctamente. El objetivo de implementar un circuito de protección es evitar que los reguladores puedan entrar en este modo de funcionamiento, ya

que además podría ocasionar transitorios no controlados y por tanto potencialmente peligrosos para la electrónica de los chips a nivel de sistema.

La protección contra sobrecargas diseñada, conocida como *undershoot protection*, monitoriza la corriente que circula por el transistor shunt. Si esta corriente disminuye significativamente, acercándose a 0A, la protección se activa intentando mantener una corriente mínima de unos 20mA, lo que da origen al término 'undershoot'. De manera indirecta, detecta una sobrecarga al vigilar la corriente de *headroom*. Al activarse, la protección reduce la tensión  $V_{ref}$ , lo que disminuye la tensión de salida del SLDO para limitar el exceso de corriente. Esta protección ha pasado por distintas versiones y no se ha conseguido que fuera totalmente estable, por lo que en algunas condiciones específicas puede entrar en oscilación. Es un desafío complejo, ya que para que la protección sea efectiva debe tener un tiempo de respuesta muy corto, del orden de microsegundos, lo que dificulta la estabilización del lazo de control en estos casos. Para caracterizar y comprender este modo de fallo, se han planteado diversos escenarios con el objetivo de analizar sus efectos en diferentes situaciones.

En la Fig.4.46 se muestra la respuesta ante una sobrecarga del 50% en un SLDO dentro de un módulo de 4 chips. La sobrecarga se genera a partir de los 10 ms, y se registran la tensión de entrada ( $V_{in}$ ), la tensión de salida del SLDO en sobrecarga ( $V_{out\ fail}$ ), la tensión de salida de un SLDO sin fallo ( $V_{out\ good}$ ) y la tensión de referencia del SLDO en sobrecarga ( $V_{ref\ fail}$ ).

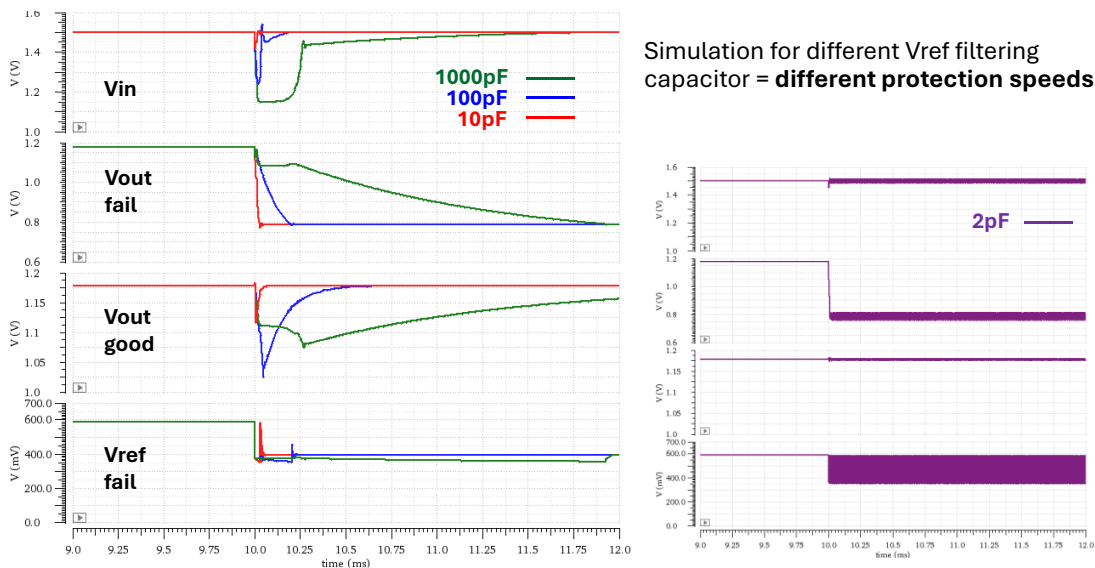


Fig.4.46. Respuesta a sobrecarga del 50% en un SLDO dentro de un módulo de 4 chips, para distintos tiempos de respuesta.

Esta protección actúa sobre  $V_{ref}$ , lo que permite ajustar la velocidad de respuesta del circuito añadiendo una capacitancia a dicha señal. Los resultados indican que, ante una sobrecarga, las tensiones caen rápidamente, generando transitorios en la corriente lin. Incluso con capacitancias pequeñas de 10 pF, que

proporcionan un tiempo de respuesta de alrededor de 50  $\mu$ s, la protección no es totalmente efectiva, ya que se generan transitorios de unos 200mV en la tensión de entrada. Para evitar que los transitorios afecten a otros chips en paralelo o a la corriente lin de los módulos en serie, es necesario usar una capacidad de 2 pF o menor, con tiempos de respuesta inferiores a 10  $\mu$ s. En este caso no se aprecian caídas de tensión en  $V_{in}$ , ni en  $V_{out}$  good, por lo que la protección estaría consiguiendo su objetivo. Sin embargo, para tiempos de respuesta tan rápidos, el sistema tiende a volverse inestable, como se ve en las gráficas de 2pF, lo que puede causar oscilaciones significativas en las tensiones y corrientes del módulo.

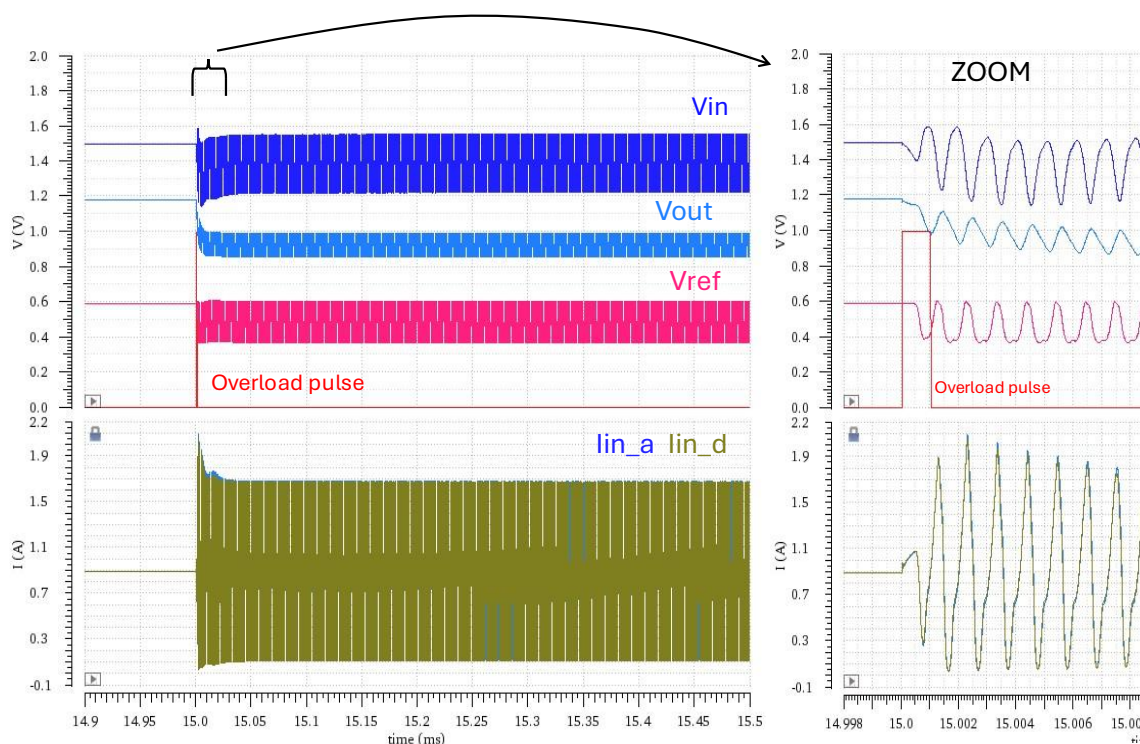


Fig.4.47. Respuesta a sobrecarga transitoria fuerte (>200%) en un SLDO dentro de un módulo de 4 chips.

Existe un escenario especialmente crítico para esta protección. Cuando se produce una sobrecarga muy fuerte (de muy baja impedancia) en un chip, o una sobrecarga ligera pero en varios chips del mismo módulo al mismo tiempo, puede llegar a un punto en el que la sobrecarga absorba toda la corriente de *headroom* de todos los chips en paralelo. Esto provoca que el 100% de los chips entren en modo de protección de sobrecarga (*undershunt*), y el sistema entra en un modo de inestabilidad oscilante que se mantiene incluso después de retirar la sobrecarga.

En la Fig.4.47 se muestran los resultados de aplicar una sobrecarga muy fuerte en un SLDO durante 1 $\mu$ s, en un módulo de 4 chips. Solo se muestran las tensiones y corrientes del chip que falla, pero el resto en paralelo se comportan

de forma similar. En este caso no se ha aplicado ninguna capacidad para reducir el tiempo de respuesta del circuito.

Los estudios sobre la protección de *undershunt* indican que el circuito puede ser efectivo en ciertos casos de sobrecargas leves, evitando que la tensión de alimentación de los módulos caiga, previniendo transitorios a nivel de sistema. No obstante, ha mostrado ser inestable en numerosos escenarios, lo que sugiere que podría generar más problemas que soluciones. El circuito está integrado en los chips finales tanto de CMS como de ATLAS. Sin embargo, al menos en el chip de CMS (CROC), se va a deshabilitar esta funcionalidad para evitar posibles problemas de inestabilidad.

## *4.8. Conclusiones*

En este capítulo se ha abordado el diseño del sistema de alimentación híbrido para detectores de píxeles resistentes a la radiación en el CERN, centrándose en el chip de lectura RD53 y su etapa de alimentación. Se destaca la importancia de asegurar la estabilidad del sistema ante transitorios y elementos parásitos, con un enfoque particular en los reguladores Shunt-LDO (SLDO) del chip. Dicho estudio se ha llevado a cabo mediante modelos de simulación en Cadence Virtuoso en los que se ha evaluado el comportamiento dinámico del SLDO, incorporando capacitancias, inductancias y resistencias parásitas.

Resultados de estos estudios demostraron la importancia de la correcta elección de los condensadores de desacoplo para asegurar la estabilidad del regulador y la necesidad de mantener las inductancias parásitas por debajo de 5nH para evitar oscilaciones en un amplio rango de valores de condensadores de desacoplo. Adicionalmente, en este estudio se ha podido subrayar la relevancia de configurar adecuadamente los parámetros del SLDO ( $V_{ofs}$  y  $Req$ ) para optimizar su respuesta a transitorios y su estabilidad.

Otro de los aspectos estudiados consistió en el análisis de la propagación de transitorios a nivel de módulo y sistema serie. En el capítulo se ha mostrado cómo los transitorios generados en un chip tienen un efecto mínimo en otros conectados en paralelo en un mismo módulo. Estos transitorios se propagan de distinta forma a lo largo de una cadena de potencia dependiendo de la inductancia de salida a la fuente de alimentación. En cualquier caso, el efecto de estos transitorios a nivel de sistema es muy reducido. Este estudio se ha completado con pruebas con cables de hasta 80 metros, donde se ha demostrado que la longitud del cable tiene un impacto mínimo en la respuesta del sistema, gracias a la alta inductancia en la salida de la fuente de corriente.

Se presentan soluciones para los problemas de arranque a bajas temperaturas, incluyendo la implementación de un nuevo circuito en el lazo de control del SLDO para mejorar la estabilidad inicial. Este nuevo circuito habilita además un nuevo modo de funcionamiento de bajo consumo, *low power mode* (LPM).

El circuito LPM representa un hito para el Instituto Tecnológico de Aragón (ITA), al ser el primer diseño de microelectrónica tolerante a la radiación desarrollado en la institución. Este diseño, llevado a cabo en el marco de esta tesis, ha sido integrado en un ASIC, fabricado y sometido a pruebas de laboratorio con resultados exitosos.

Finalmente, se analizan los modos de fallo de sobretensión y sobrecorriente, y las protecciones que se han desarrollado para proteger la electrónica del chip en estos casos. Es muy difícil poner en situación de sobretensión a los chips, gracias a la regulación local de la tensión por medio de los SLDO. En caso de sobretensión, el circuito de protección funciona correctamente recortando la tensión de entrada a valores por debajo de los 2V. Sin embargo, la solución implementada para proteger frente a sobrecargas no es estable en muchas situaciones, y aunque puede ser útil en algunos casos, se desaconseja su uso.

Se concluye que la correcta configuración y validación de los componentes del sistema de alimentación es esencial para garantizar la fiabilidad, estabilidad y el rendimiento de los detectores de píxeles en el LHC.

## *4.9. Referencias*

- [4-1] RD53 collaboration, The RD53A Integrated Circuit, CERN-RD53-PUB-17-001 (2017).
- [4-2] Dixon, Lloyd H., “Control Loop Cookbook”, Texas Instruments, Dallas, 2001.
- [4-3] Zhang, Henry J., “Appication Note 149: Modeling and Loop Compensation Design of Switching Mode Power Supplies”, Linear Technology, 2015.
- [4-4] A. Pradas, D. Koukola, S. Orfanelli, J. Christiansen, M. Karagounis, F. Arteché, “System level serial powering studies of RD53A chip”, TWEPP 2018, PoS (2019) 147, <https://doi.org/10.22323/1.343.0147>
- [4-5] S. Marconi et al, “Advanced power analysis methodology targeted to the optimization of a digital pixel readout chip design and its critical serial powering system”, 2017, JINST 12 C02017, <https://doi.org/10.1088/1748-0221/12/02/C02017>

- [4-6] Md A. A. Samy et al, “Serial powering scheme and performance analysis for the innermost layer (L0) of ATLAS ITk modules”, NIMA, Volume 1063, June 2024, 169309, <https://doi.org/10.1016/j.nima.2024.169309>
- [4-7] V. Perovic for the CMS Tracker Group, “Serial powering in four-chip prototype RD53A modules for Phase 2 upgrade of the CMS pixel detector”, NIMA, Volume 978, 21 October 2020, 164436, <https://doi.org/10.1016/j.nima.2020.164436>
- [4-8] B. Razavi, “Design of Analog CMOS Integrated Circuits”, 2<sup>nd</sup> edition, New York, McGraw-Hill Education, 2016.



# *Capítulo 5:*

## *Inmunidad y control de interferencias de radiofrecuencia conducida en un sistema de alimentación híbrido*

---

En los capítulos anteriores, hemos explorado las necesidades y retos asociados con la próxima generación de detectores de píxeles, destacando la importancia de un sistema de distribución de potencia innovador. Un aspecto vital a evaluar en este contexto es el de los fenómenos de interferencia electromagnética (EMI) y su impacto en el rendimiento del detector. La arquitectura de distribución de potencia serie-paralelo, combinada con la electrónica de Front-End (*Front End Electronics, FEE*) diseñada en tecnología de 65nm, introduce nuevas preguntas sobre los efectos del ruido EM que podrían acoplarse a las partes sensibles del detector.

En este capítulo, se realizará un estudio detallado sobre la susceptibilidad al ruido electromagnético del detector de píxeles de CMS de Fase II. El objetivo es establecer un nivel de inmunidad al ruido compatible con el FEE y definir una estrategia de puesta a tierra de los módulos o grupos de potencia del detector. Dada la configuración del detector píxeles, donde la única conexión galvánica con el exterior se realiza a través de los cables de potencia y está instalado dentro de un cilindro de aluminio (Tracker Volumen) que actúa como jaula de Faraday, el presente estudio se enfocará en el ruido electromagnético conducido que se acopla al FEE a través del sistema de alimentación híbrido.

Para abordar las incógnitas del control de los fenómenos de interferencia electromagnética que plantea este futuro detector, se decidió iniciar los estudios de ruido desde las primeras etapas de diseño, incluso antes de contar con un prototipo del primer chip de lectura RD53A. Esta aproximación es pionera en detectores de física de estas características, a diferencia de estudios previos, como [5-1][5-2], donde el análisis del ruido se realizaba con el diseño del chip de lectura y los híbridos o HDIs ya terminados o en su fase final de diseño. Este enfoque temprano ha permitido identificar, analizar y optimizar minuciosamente la contribución de cada elemento del sistema que pueda afectar el rendimiento del detector, influyendo así en el diseño del HDI y en la estrategia de puesta a tierra de los principales componentes del detector. Elementos como el conexionado de tierras, el ruteo de líneas de alimentación y los filtros son solo algunos de los componentes que se han sometido a estudio. Finalmente, estos estudios permitirán estimar los requisitos de niveles de ruido de las fuentes de alimentación que se conectarán a la red de potencia.

## 5.1. Metodología de trabajo

Para el estudio y análisis de los efectos del ruido electromagnético en la nueva generación de detectores de píxeles, se ha definido una metodología de inyección y medida de ruido basada en estudios anteriores realizados en otros tipos de detectores [5-3], que a su vez están basados en estándares aeroespaciales o militares como la MIL-STD 461G [5-4]. Esta metodología consiste en inyectar una señal de ruido al detector a través de los cables de alimentación a una determinada frecuencia y medir su efecto en el mismo. Repitiendo esta medida a diferentes frecuencias y obteniendo en cada punto la relación entre la amplitud del ruido inyectado y la amplitud de la perturbación en el detector, podemos obtener una curva denominada función de transferencia de ruido. Esta función representa la respuesta en frecuencia del detector al ruido electromagnético.

Para medir el impacto de la perturbación en el detector de manera objetiva, fiable y repetitiva, se utiliza el parámetro de carga de ruido equivalente o ENC (*Equivalent Noise Charge*) del *front-end* analógico de cada uno de los píxeles del detector. Generalmente, la ENC se expresa en número de electrones y representa la cantidad de carga eléctrica equivalente al ruido que afecta la medida. Este parámetro es muy importante en la electrónica de detección de partículas, ya que mide el nivel de ruido en un sistema de lectura de señales sensible.

Al inyectar ruido al detector a través de la alimentación, se obtiene un valor de ENC con contribución del ruido inyectado y del ruido térmico del detector. El ruido térmico es inherente a la electrónica y depende únicamente de la temperatura. Por definición, el ruido térmico es un ruido aleatorio con distribución gaussiana (ruido blanco). Para determinar la contribución del ruido térmico, se mide la ENC del detector cuando no existe inyección de ruido externo en las líneas de alimentación. Este parámetro se denomina  $ENC_{ref}$ , ya que se toma como nivel de referencia. Al ser ruidos no correlacionados, se puede determinar que la contribución total a la medida de ENC es igual a la suma cuadrática de los elementos que la componen, como muestra la siguiente ecuación (5.1):

$$ENC_{meas}^2 = ENC_{ref}^2 + ENC_{inj}^2 \quad (5.1)$$

Siendo  $ENC_{meas}$  el valor total medido,  $ENC_{ref}$  el valor correspondiente al ruido térmico, y  $ENC_{inj}$  el valor debido al ruido inyectado. Por lo tanto, cada punto de cada frecuencia de la función de transferencia se puede definir con el siguiente cociente (5.2):

$$TF = \frac{\sqrt{ENC_{meas}^2 - ENC_{ref}^2}}{I_{injected}(mA)} \left[ \frac{e_{noise}}{mA} \right] \quad (5.2)$$

El parámetro  $ENC_{meas}$  es el valor obtenido durante la inyección de un determinado nivel de ruido conducido en una frecuencia determinada, y  $I_{injected}$  es la amplitud de la corriente de ruido inyectada en valor eficaz [5-5]. La función

Para medir el valor del parámetro ENC, se ejecuta un test de inyección de carga a través del software de lectura del chip (DAQ readout).

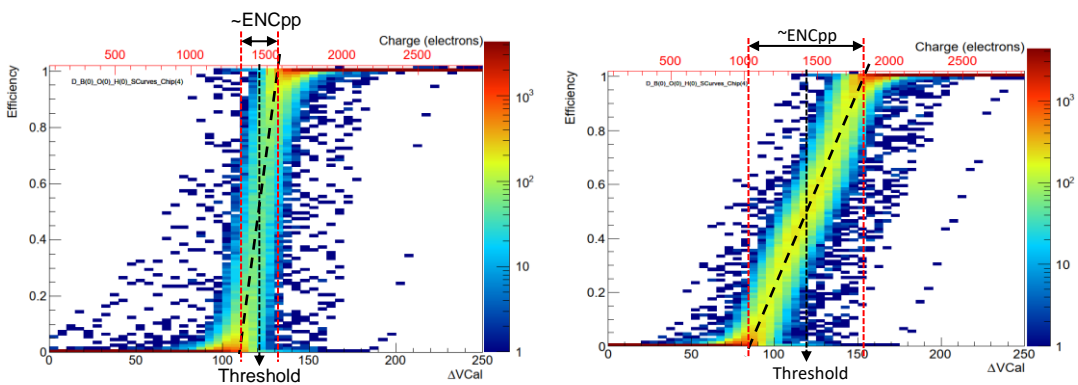


Fig.5.1. Curvas S de dos chips con mismo Threshold y distinto nivel de ENC.

A lo largo del proceso de diseño y ensayo de las distintas versiones de los chips RD53, se han desarrollado diversos sistemas de lectura adaptados a las necesidades y estructura de cada uno de los experimentos. Estos sistemas, integran tanto la parte hardware como software necesario para hacer de interfaz

entre el detector y el usuario. Para ello implementan distintos comandos de usuario para poder configurar y ensayar las distintas funcionalidades del chip. Los principales sistemas desarrollados han sido: BDAQ53 por parte de ATLAS, y CMS Ph2 ACF (*CMS Phase 2 Acquisition and Control Framework*) por parte de CMS [5-6][5-7]. Dentro de las pruebas y ensayos que permiten realizar estos entornos, existe uno en concreto que nos permite medir el nivel de ruido o ENC. Este test, llamado “Threshold Scan” en BDAQ53, o “S-curve” en CMS Ph2 ACF, realiza sucesivas inyecciones de distintos niveles de carga en la entrada del front-end de cada uno de los canales, para determinar el nivel de detección de cada canal (*Threshold*). Estas inyecciones de carga son realizadas por un preciso circuito de calibración integrado en el propio chip, capaz de generar señales con una resolución de entre 5 y 10 electrones de carga. Realizando un barrido de inyección de distintos niveles de carga se obtienen las conocidas curvas S (*S-curve*). En la Fig.5.1 se muestra un ejemplo de curvas S de dos chips con distinto nivel de ruido, que muestran una superposición de las curvas de todos los canales. El eje X representa el nivel de carga inyectado, el eje Y la eficiencia, y el eje Z (mapa de calor) el número de píxeles. Estas curvas aportan información importante sobre el funcionamiento de cada canal del detector, como por ejemplo el nivel de carga de detección (*Threshold*), y el nivel de ruido ENC. El nivel de *Threshold* se define como el punto de transición donde se detectan exactamente el 50% de las inyecciones de carga (eficiencia de 0.5), y la ENC se obtiene a partir de la anchura del segmento de transición de la curva S. En la Fig.5.1 se muestra un cálculo aproximado de la  $ENC_{pp}$  (pico-pico). El dato de ENC utilizado típicamente es en valor eficaz (*RMS*), y asumiendo una distribución normal, se calcularía como:

$$ENC_{RMS} = \frac{ENC_{pp}}{2\sqrt{2}} \quad (5.3)$$

Como se ha visto, a partir de la gráfica se puede extraer un valor aproximado de ENC, pero para obtener un valor preciso se debe realizar el cálculo para cada canal de forma individual. Para calcularlo, se puede obtener a partir del ajuste de la curva S a una función sigmoide, o calculando el valor RMS del histograma diferencial. Se puede ver el cálculo detallado en [5-8].

Este procedimiento se repite para cada frecuencia hasta obtener una **función de transferencia** (FT o **TF** en inglés) por cada canal o píxel de cada chip, cubriendo todo el rango de frecuencias en estudio. Esto significa que para un solo chip de RD53 que puede leer y procesar la señal de 76800 píxeles, se dispondrá de igual número de funciones de transferencia, cada una asociada a un canal del chip. Sin embargo, para simplificar los resultados, generalmente se promedian las TF de todos los píxeles de un chip para obtener una única TF representativa por chip. A menos que se busque estudiar efectos locales a nivel de chip o píxel, la TF promediada proporciona suficiente información para

entender la contribución de los distintos elementos que pueden afectar el rendimiento del detector.

Los estudios se han llevado a cabo cubriendo el rango frecuencial típico de las perturbaciones conducidas, desde 100 kHz hasta frecuencias cercanas a 50 MHz, e inyectando el ruido tanto en modo común como en modo diferencial. De esta forma, se pretende conseguir un análisis más preciso diferenciando la contribución de cada uno de los dos modos de ruido de forma independiente, ya que pueden implicar distintos modos de acoplamiento con el circuito víctima. Esto permite, en caso necesario, definir distintas formas de mitigación específicas para cada modo de ruido.

### 5.1.1. Configuración del sistema de ensayos

Para la realización de estos ensayos se ha definido una configuración como la mostrada en la siguiente figura:

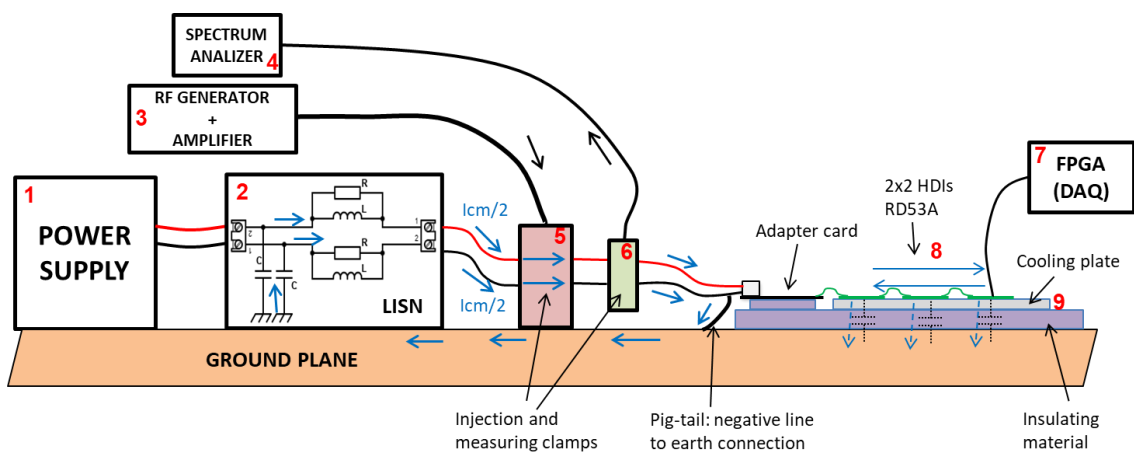


Fig.5.2. Esquema de montaje para ensayos de caracterización al ruido conducido en modo común

Los elementos principales presentes en estos ensayos de caracterización al ruido son los siguientes:

1. Fuente/s de alimentación: Fuente de corriente de baja de tensión para alimentar los chips, módulos o cadena de módulos en serie.
2. Generador y Amplificador de RF: El generador provee una señal de RF en una determinada frecuencia al amplificador, que eleva la amplitud de la señal para ser capaces de inyectar corrientes de ruido relativamente elevadas.
3. Analizador de espectro: Se utiliza para medir la amplitud del armónico de corriente inyectada de forma precisa.

4. Pinza de inyección de corriente: Se utilizan pinzas de inyección de corriente de radio frecuencia específica para el rango frecuencial en el que se va a realizar el estudio, entre 100kHz y 50MHz.
5. Pinza de medida de corriente: Del mismo modo se utiliza una pinza de medida de corriente RF calibrada y que mida de forma eficiente en el rango frecuencial de interés.
6. Sistema de adquisición (DAQ) del detector: Incluye tanto la parte hardware como software y firmware. Se utiliza para comunicarse con los chips del detector. Por un lado, permite enviar comandos de configuración y ejecución de tareas, y por otro, se reciben y registran los datos obtenidos durante un determinado ensayo.
7. Detector sometido a ensayo. Puede estar compuesto desde un único chip, hasta un máximo de un grupo de 10 módulos que integra 40 chips. El esquema representa de forma simplificada una cadena serie de tres módulos 2x2, lo que hace un total de 12 chips.

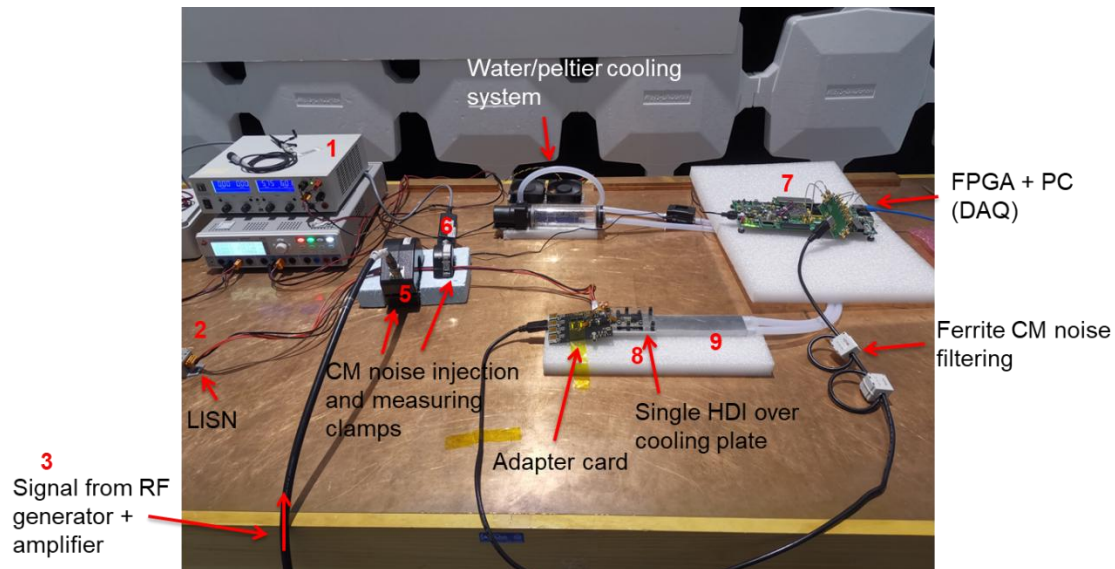


Fig.5.3. Montaje típico para ensayos de caracterización al ruido conducido

La Fig.5.3 ilustra una vista del set-up de ensayo real, que incluye un módulo HDI 2x2 compuesto por 4 chips. Para facilitar la identificación de los elementos entre las dos figuras, se ha mantenido la misma numeración que en el esquema anterior. Este montaje se lleva a cabo sobre un plano de tierra diseñado para asegurar la equipotencialidad en alta frecuencia de la tierra de referencia. En la figura también se pueden observar las ferritas instaladas en el cable que conecta el HDI con el sistema DAQ, con el propósito de evitar que el ruido inyectado se acople a las líneas de comunicación.

Esta medida es fundamental para mitigar el ruido en dichas líneas, dado que el objetivo principal de los ensayos es la caracterización de la electrónica de los chips y sensores, y no la evaluación de la comunicación con el DAQ. El

acoplamiento de ruido en las líneas de comunicación puede ocasionar errores en la transmisión de datos, lo que podría resultar en la cancelación de los ensayos o en la obtención de resultados incorrectos.

Para representar el efecto de cables largos y normalizar las medidas, se utiliza un dispositivo que establece una impedancia conocida en modo común (CM) y modo diferencial (DM) basado en componentes concentrados. Es un dispositivo muy similar a una LISN, "Line Impedance Stabilization Network", que se utiliza en ensayos normalizados de medidas de emisión conducida. Aunque no son exactamente iguales, por simplicidad a partir de ahora me referiré a esta red de impedancias como LISN. La Fig.5.4 muestra el esquema eléctrico del dispositivo y la impedancia que presenta en el lado del EUT, "Equipment Under Test", destacando una impedancia estable y bien definida a lo largo de la gama de frecuencias deseada. Los valores seleccionados para los componentes de la LISN se estiman a partir de otras usadas en detectores de píxeles en el pasado.

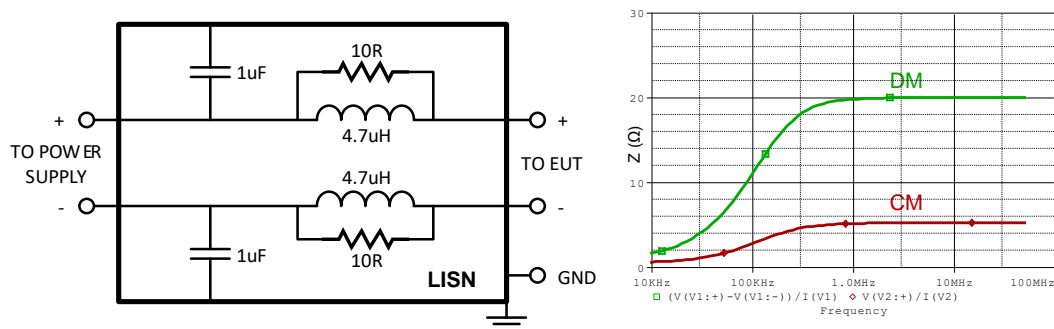


Fig.5.4. Esquema de LISN y curvas de impedancia en función de frecuencia

Este dispositivo presenta tres zonas de frecuencia en las que el comportamiento de la impedancia varía. A alta frecuencia (>1MHz), las impedancias CM y DM de la LISN presentan un valor muy estable y constante, con valores de 20Ω para DM y 5Ω para CM. A baja frecuencia (<10kHz), el valor de la impedancia sería equivalente a la resistencia del cable, mientras que la gama de frecuencias de transición intermedias está dominada por la inductancia del cable. Adicionalmente la LISN se utiliza para presentar un camino de impedancia controlada para el retorno de las corrientes tanto de modo común como de modo diferencial. Esto evita por un lado que el ruido inyectado afecte a la propia fuente de alimentación, y por otro, permite que los ensayos sean mucho más repetibles independientemente del laboratorio donde se realicen y de la fuente de alimentación utilizada.

### *5.1.2. Susceptibilidad a nivel de ASIC y a nivel de sistema*

El diseño y desarrollo de un detector de píxeles completo es un trabajo multidisciplinar de enorme complejidad, en el que colaboran cientos de personas de muy diversas especialidades. Este desarrollo completo, desde la idea inicial hasta el montaje final del experimento, puede durar alrededor de 10 años o incluso más. Es por ello que, durante la fase inicial de este estudio, se realizó un plan a largo plazo adaptado a las distintas fases de diseño y prototipado previstas para la actualización del detector de píxeles de CMS. Esto nos ha permitido anticipar y preparar con mayor margen y detalle todas las pruebas y campañas de medición necesarias para la realización de estos estudios dependiendo de la disponibilidad de los distintos prototipos que se han ido fabricando.

El objetivo final de este trabajo es ser capaces de diseñar un detector de píxeles inmune al ruido electromagnético conducido. Para llegar a este objetivo final se planteó la necesidad de realizar esta tarea a **dos niveles distintos. Un primer estudio a nivel de chip**, necesario para caracterizar la electrónica de detección involucrada (front-end electrónico del chip) para definir unos límites de ruido máximo que permita su correcto funcionamiento, y que permita definir posibles mejoras en el diseño de la microelectrónica durante las fases de diseño del chip. Y **un segundo estudio**, donde se analiza la contribución de los distintos elementos de integración a nivel de sistema sobre la sensibilidad al ruido del chip. De esta forma se pretende analizar y optimizar el diseño e implementación de cada uno de los elementos de forma individual, con el fin de mejorar el rendimiento y robustez del detector, y anticipar y evitar posibles efectos indeseados que generalmente surgen en las fases finales de integración cuando implementar soluciones es mucho más complicado y costoso. Esta es la primera vez que se realiza este tipo de estudios cubriendo desde la parte de diseño de un ASIC para un detector de física, hasta la fase final de integración en el detector.

## *5.2. Inmunidad y control de fenómenos de RF a nivel de ASIC- RD53A Chip*

La primera fase del estudio del ruido se centró principalmente a nivel de chip. Esta fase inicial resultó ser fundamental, para entender el efecto del ruido a nivel de chip antes de pasar a configuraciones más complejas como las que se presentan al estudiar el ruido a nivel de sistema. Por tal motivo, se llevó a cabo el diseño meticuloso de una tarjeta de pruebas específica, denominada SCC

(Single Chip Card). Esta tarjeta fue diseñada con el propósito de montar el chip y todos los componentes necesarios para acondicionar los niveles de tensión adecuados para su operación.

El diseño de la SCC incluyó no solo el montaje del chip, sino también la incorporación de diversos componentes electrónicos necesarios para garantizar un funcionamiento óptimo. Entre estos componentes se encontraban filtros y otros elementos esenciales para estabilizar y adecuar las tensiones que alimentan el chip. Además, la tarjeta estaba equipada con conectores de los canales de comunicación y control del chip, lo que permitía una interacción precisa y controlada con el dispositivo durante las pruebas.

Aunque esta primera fase del estudio no permitía analizar el comportamiento de la electrónica a nivel de sistema completo, resultaba determinante para identificar y comprender la respuesta del chip en condiciones controladas. A través de estas pruebas, se podía evaluar el desempeño del chip en términos de ruido, identificar posibles fuentes de interferencia y desarrollar estrategias para mitigar estos efectos negativos a nivel local (nivel de módulo).

Esta fase inicial proporcionó una base sólida para los estudios posteriores. Al entender cómo el chip respondía a diferentes niveles de tensión y condiciones de operación, los diseñadores del chip y los módulos podían hacer ajustes y optimizaciones antes de integrar el chip en un sistema más complejo.

### *5.2.1. Susceptibilidad de las distintas topologías de “Front-End (FE)”*

El chip RD53A es un demostrador cuyo objetivo principal es probar la tecnología que se implementará en la actualización del detector de píxeles de los experimentos CMS y ATLAS en el CERN. Este chip integra tres topologías diferentes de Front-End (FE) para evaluar su funcionamiento, capacidades y limitaciones. La finalidad es seleccionar una única topología que se implementará en la versión final del chip. Las topologías propuestas incluyen la Síncrona y la Lineal, sugeridas por el experimento CMS, y la Diferencial, propuesta por ATLAS. Las características detalladas de cada una de estas topologías se han descrito en capítulos anteriores.

En este estudio inicial, se analiza y compara la susceptibilidad al ruido de estas tres topologías de FEs utilizando un prototipo del chip RD53A integrado en una SCC, como se muestra en la Fig.5.5. Cada píxel del chip corresponde a un canal y a un único FE, permitiendo una evaluación detallada de cada topología en diferentes secciones del chip. La figura muestra claramente qué topología se utiliza en cada zona del chip. El chip RD53A cuenta con dos dominios de

alimentación separados, utilizando dos reguladores SLDO independientes. Para este estudio de susceptibilidad al ruido, el ruido se inyectó únicamente en la alimentación de la parte analógica, dado que el objetivo era analizar el comportamiento de los FE analógicos. La parte digital es común para las tres topologías, lo que permite una comparación directa entre ellas. Además, el regulador SLDO se configuró para funcionar en modo LDO (Low Dropout Regulator), deshabilitando la parte "shunt". Esto significa que el chip se alimenta en tensión y no en corriente, proporcionando un modo de funcionamiento más fiable y probado para este primer prototipo. La elección de este tipo de alimentación tenía como objetivo evitar posibles efectos en los resultados que no dependieran exclusivamente de la electrónica analógica del detector.

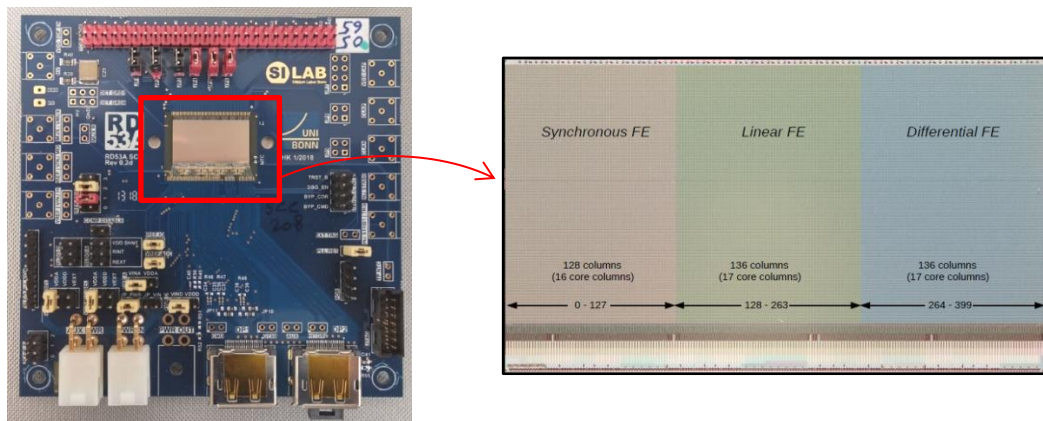


Fig.5.5. Prototipo SCC-RD53A para evaluación de topologías de Front-End

Este enfoque metodológico asegura que los resultados del estudio sean precisos y centrados en las características esenciales de las topologías analógicas. La comparación de la susceptibilidad al ruido es clave para determinar cuál de las tres topologías ofrecerá el mejor rendimiento en condiciones operativas reales, contribuyendo significativamente al éxito de la actualización del detector de píxeles en los experimentos CMS y ATLAS.

Para realizar estas medidas se inyecta ruido en modo común (CM) a través de las líneas de suministro de la parte analógica, y se comparan las funciones de transferencia obtenidas para cada uno de los FE. En la Fig.5.6 se muestra el montaje utilizado para caracterizar un prototipo en formato SCC.

El montaje utilizado es muy similar al descrito en Fig.5.3 pero algo más primitivo, ya que incluye elementos menos desarrollados. El elemento central es el prototipo RD53A-SCC, al que entran las líneas de alimentación que provienen de una fuente de alimentación de baja tensión, pasando a través de la LISN. Las pinzas de inyección y medida de corriente se sitúan abrazando las líneas de alimentación analógica muy próximas a la SCC. Las líneas de comunicación del chip se conectan por medio de una tarjeta adaptadora al sistema DAQ, que

consta de una parte hardware (FPGA Xilinx KC705), y otra software e interfaz gráfico en un PC.

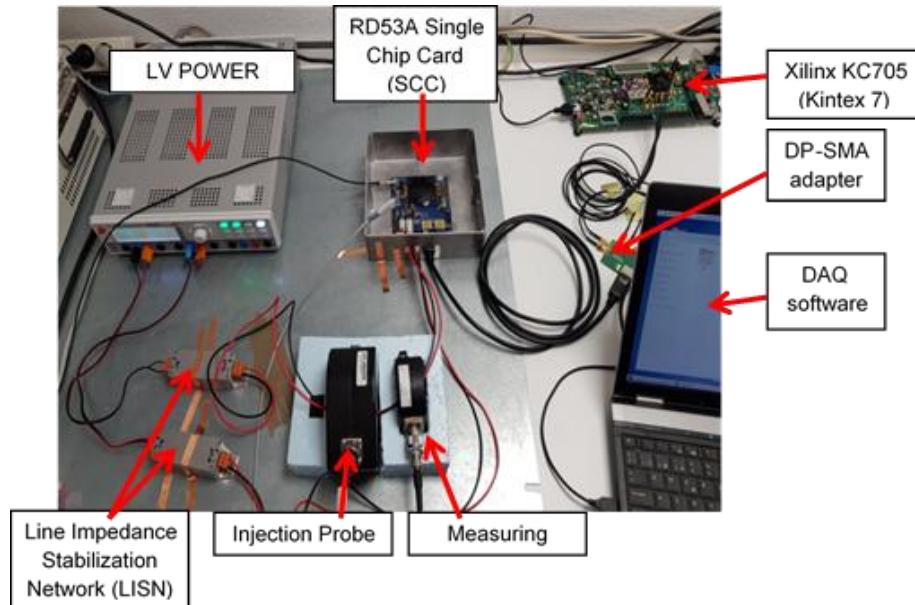


Fig.5.6. Montaje de ensayo para caracterización de RD53A Single Chip Card (SCC)

Utilizando este prototipo, se procedió a examinar minuciosamente la respuesta en frecuencia al ruido de cada una de las topologías de front-end analógico (AFE) del chip RD53A. La Fig.5.7 presenta los resultados de este estudio, que proporcionan información fundamental para comparar la sensibilidad de las distintas topologías del chip. Estos resultados permiten identificar las características específicas de cada topología, facilitando una evaluación comparativa detallada y precisa del rendimiento del chip RD53A en presencia de ruido electromagnético.

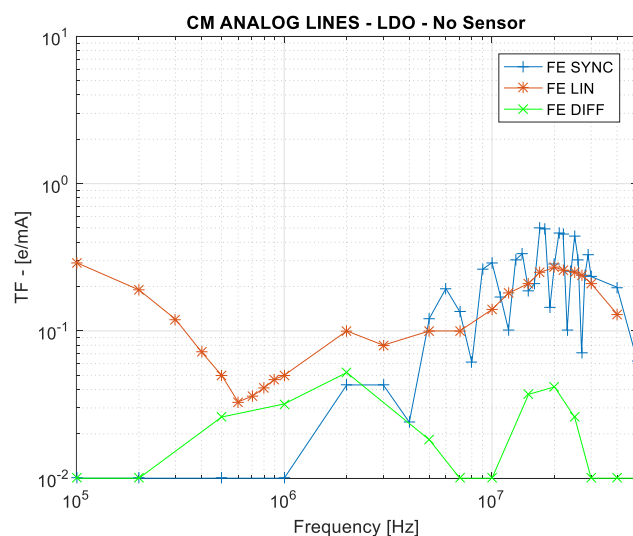


Fig.5.7. Comparativa de susceptibilidad de topologías de AFE

Se puede apreciar claramente que el FE diferencial es el más robusto frente al ruido en todo el rango de medición. Este resultado no es sorprendente, ya que la primera etapa de amplificación de este FE emplea una topología de entrada diferencial. Esta configuración es particularmente eficaz para compensar los efectos del ruido en modo común presente en el sistema. De hecho, en algunas frecuencias, el efecto del ruido es tan bajo que no es posible medir una diferencia clara respecto al nivel base del ruido. Esta capacidad de rechazo al ruido hace que el FE diferencial sea una opción muy sólida para aplicaciones donde la sensibilidad y la integridad de la señal es imprescindible, y el ambiente EM del área donde va a trabajar sea especialmente ruidoso.

Por otro lado, el FE síncrono muestra una inmunidad destacable al ruido de baja frecuencia (menos de 2 MHz). Esto se debe a que utiliza un acoplamiento AC a la entrada, que actúa como un filtro paso alto con una frecuencia de corte alrededor de 1 MHz. Este mecanismo filtra eficazmente el ruido de baja frecuencia, permitiendo que el FE se concentre en las señales de mayor frecuencia. Además, este FE muestra la respuesta típica de una señal adquirida con un tiempo de muestreo determinado, lo cual es coherente, ya que esta topología muestrea la señal a una frecuencia derivada del reloj del sistema. Por lo tanto, no es un FE puramente analógico, sino una combinación de técnicas analógicas y digitales que optimizan su desempeño en función de la sincronización del sistema.

En contraste, el FE lineal es más susceptible al ruido de bajas frecuencias, lo cual puede ser una desventaja en ciertas aplicaciones. Sin embargo, en el rango de frecuencias más alto, se comporta ligeramente mejor que el FE síncrono y de una manera más previsible y repetitiva. Esta predictibilidad en su comportamiento puede ser ventajosa para aplicaciones donde la estabilidad y la repetibilidad de la señal son críticas. A pesar de su susceptibilidad al ruido de baja frecuencia, su rendimiento en el rango alto lo convierte en una opción viable ya que por su simplicidad este circuito es especialmente robusto y fiable durante los procesos de fabricación.

Es importante destacar que la susceptibilidad al ruido electromagnético conducido ha sido uno de los parámetros fundamentales a considerar al seleccionar el front-end analógico que se implementará en todas las versiones posteriores del chip, incluidas las versiones finales que se integrarán en los detectores de CMS y ATLAS. Este es un hito significativo, ya que es la primera vez que se cuantifica este parámetro durante las fases iniciales de diseño de la electrónica. Este enfoque proactivo permite la posibilidad de realizar modificaciones o implementar mejoras a nivel de microelectrónica en caso de detectar alguna limitación, asegurando así un rendimiento óptimo y una mayor fiabilidad en las aplicaciones finales.

El análisis detallado de la susceptibilidad al ruido proporciona una base sólida para futuras investigaciones y desarrollos. Al entender cómo cada topología de front-end responde al ruido, los diseñadores de detectores pueden diseñar sistemas más robustos y eficientes, adaptados a las necesidades específicas de cada experimento. Esto no solo mejora la calidad del chip RD53A, sino que también contribuye al avance general de la tecnología de detectores de partículas.

### 5.2.2. Distribución del ruido a lo largo del chip RD53A

Uno de los primeros análisis que se realizó es el de determinar la distribución del ruido a lo largo del área del chip. Es importante entender si existe alguna zona del chip que, por características intrínsecas de diseño, sea más susceptible al ruido que otras. Se observó que, para determinadas frecuencias, la distribución del ruido en el chip no es completamente uniforme, generando zonas de mayor susceptibilidad que otras. En la Fig.5.8 se muestra un ejemplo de este tipo de comportamiento. El caso a) es una medida de ENC sin inyección de ruido, lo que corresponde al ruido base o ruido térmico del propio chip. El caso b) muestra el resultado mientras se inyecta corriente de ruido a una frecuencia de 20MHz, y el caso c) se corresponde con la frecuencia de 1MHz.

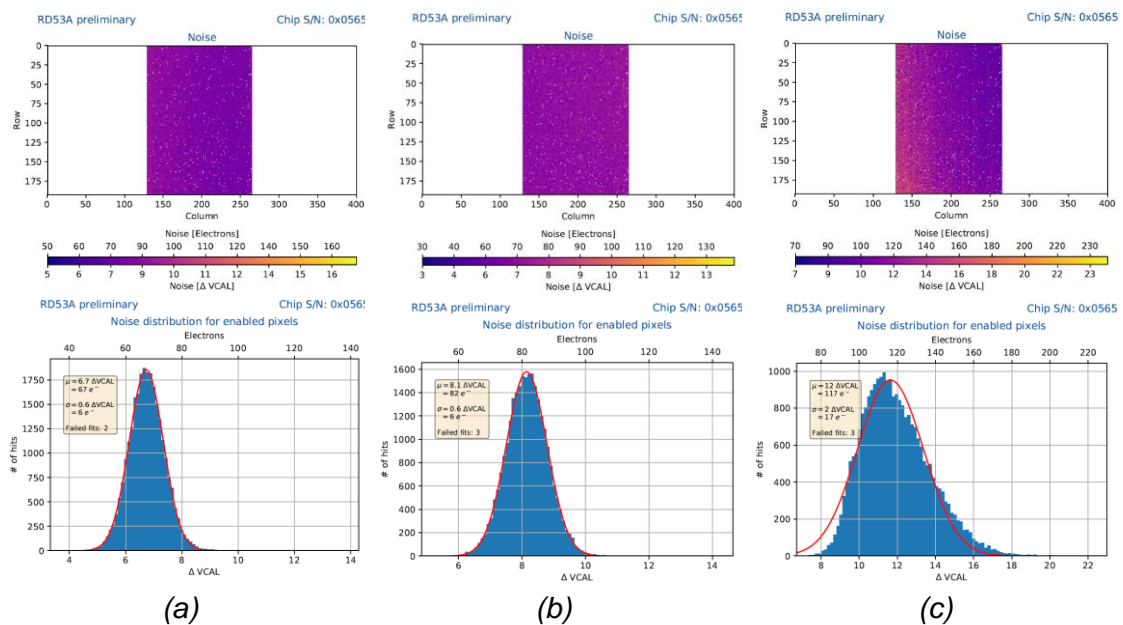


Fig.5.8. Resultados de medida de ENC para distintos casos de inyección de ruido. (a) Sin ruido, (b) ruido de 20MHz, (c) ruido de 1MHz

Las gráficas superiores e inferiores utilizan los mismos datos, pero aplicando un formato distinto que puede aportar información adicional relevante. Las gráficas

superiores muestran un mapa 2D (definido por las filas y columnas de la matriz de píxeles) del nivel de ruido (ENC) de todos los píxeles ensayados, lo que permite un análisis visual de la distribución física del ruido. Sin embargo, las gráficas inferiores muestran los datos en forma de histograma que aportan información estadística de la distribución del ruido, como el valor medio y la dispersión o desviación típica.

En este caso de ensayo se utilizó únicamente la zona central del chip, que se corresponde con el FE lineal, para simplificar el análisis. Se puede ver que a la frecuencia de 1MHz, la distribución del ruido a lo largo de las columnas (eje X) no es totalmente uniforme, mientras que en los otros dos casos sí que lo es. Este efecto se observa únicamente en determinados rangos de frecuencia.

Para estudiar y cuantificar con mayor detalle este fenómeno se analiza la distribución del ruido por filas y columnas, como se ve en la Fig.5.9.

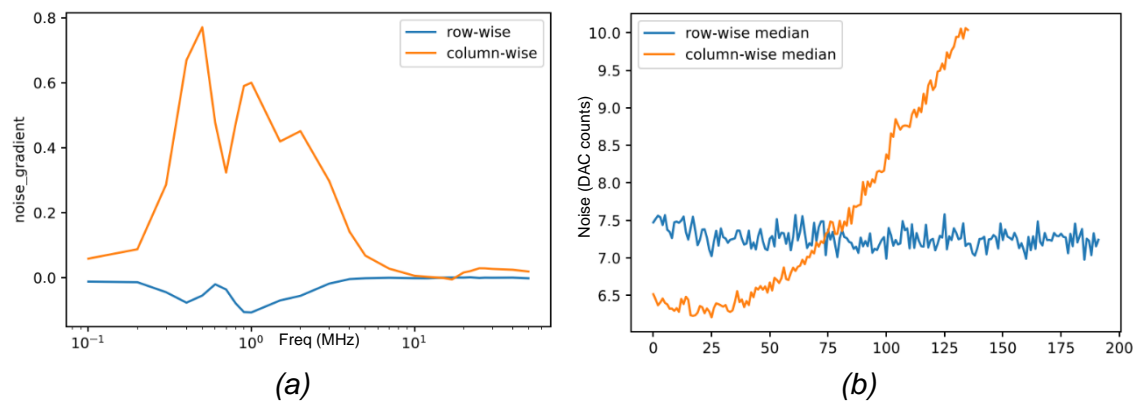


Fig.5.9. (a) Gradiente de ruido por filas y por columnas en función de la frecuencia. (b) Variación del nivel de ruido por filas y columnas a 500kHz.

El gradiente de ruido en naranja (a) mide la variación del ruido máximo promediando por columnas en función de la frecuencia. La gráfica azul mide el mismo parámetro, pero promediando por filas. Los resultados muestran que pueden existir variaciones importantes entre dos columnas del chip, en un rango de frecuencias alrededor de 1MHz (300kHz – 3MHz). La gráfica (b) muestra el valor de ENC promediado por filas y por columnas para la frecuencia de 500kHz, que es la frecuencia con mayor gradiente del espectro analizado.

Este mismo efecto ha sido observado y reproducido en distintos prototipos, y es independiente de la PCB, módulo o sistema en el que se encuentre integrado el chip, por lo que se deduce que es un efecto local, de distribución de las líneas de alimentación del propio ASIC. No se ha podido analizar en detalle el diseño del ASIC para determinar su origen exacto, sin embargo, este estudio ha sido importante para mejorar el sistema y procedimiento de los ensayos. En algunos casos, para acelerar las medidas, se analiza únicamente una muestra de píxeles del chip y no la matriz completa. Debido al gradiente observado, para que las

medidas sean fiables y representativas, esta muestra debe cubrir de forma uniforme la superficie de la matriz de píxeles. De esta forma, se ha comprobado que, analizando únicamente la décima parte de los píxeles de un ASIC, los valores medios de ENC obtenidos a partir de una distribución uniforme, tienen una variación mínima respecto al valor de la matriz completa. Realizar estos ensayos conlleva tiempos muy largos (varias horas para obtener una TF), por lo que esto permite acelerar de forma drástica los ensayos en los que únicamente se busca obtener los valores medios de cada chip.

### 5.2.3. Aislamiento entre el dominio digital y el analógico

El diseño de un chip de lectura comprende, en términos generales, dos dominios claramente diferenciados: el analógico y el digital. Cada uno de estos dominios tiene requisitos específicos en términos de ruido y susceptibilidad. En la parte analógica del chip, encontramos amplificadores de gran ganancia y un ancho de banda relativamente elevado, esenciales para amplificar las señales débiles provenientes de los detectores de partículas (sensores). Sin embargo, debido a su alta sensibilidad, los amplificadores analógicos son propensos a ser afectados por el ruido de radiofrecuencia, que puede acoplarse a través de los terminales de entrada o de alimentación, afectando su rendimiento.

Por otro lado, la electrónica digital se encuentra después de todo el procesamiento analógico, y opera con señales discretas en forma de niveles de tensión alto y bajo con umbrales perfectamente definidos. Estos umbrales pueden tener cierta variabilidad en función de la temperatura y los procesos de fabricación, pero poseen un amplio margen para funcionar correctamente a pesar de la presencia de ruido en el sistema. A diferencia de los componentes analógicos, la electrónica digital es mucho menos susceptible a los efectos del ruido de radiofrecuencia y no se ve afectada por pequeñas variaciones de tensión. No obstante, los propios circuitos digitales generan interferencias electromagnéticas parásitas que pueden afectar a otros componentes cercanos.

Para mitigar estas interferencias y garantizar un rendimiento óptimo del chip, es crucial diseñar adecuadamente la distribución de potencia, separando o desacoplando los dos dominios tanto como sea posible. Esto implica evitar impedancias comunes y utilizar planos de masa dedicados y aislados entre sí.

La función de transferencia (TF [e/mA]) proporciona información sobre cómo el ruido conducido se acopla en las etapas de amplificación del front-end analógico, afectando a la calidad de la medida. Sin embargo, este método no aporta información sobre posibles efectos en la parte digital, ya que el ruido aplicado a la parte digital no afectaría a la calidad de la señal de la medida, sino que se

manifestaría en el procesado, comunicación, memoria u otros elementos digitales, haciendo que el sistema deje de funcionar o al menos no lo haga correctamente. En este estudio, se ha inyectado ruido conducido en cada uno de los dominios (analógico y digital) para medir indirectamente el nivel de desacoplo de la distribución de alimentación del chip entre ambas partes. El montaje usado para esto ha sido el mismo que el descrito en Fig.5.6.

En la Fig.5.10 se presenta una comparativa entre las funciones de transferencia (TF) de la línea de alimentación analógica y la alimentación común analógica y digital.

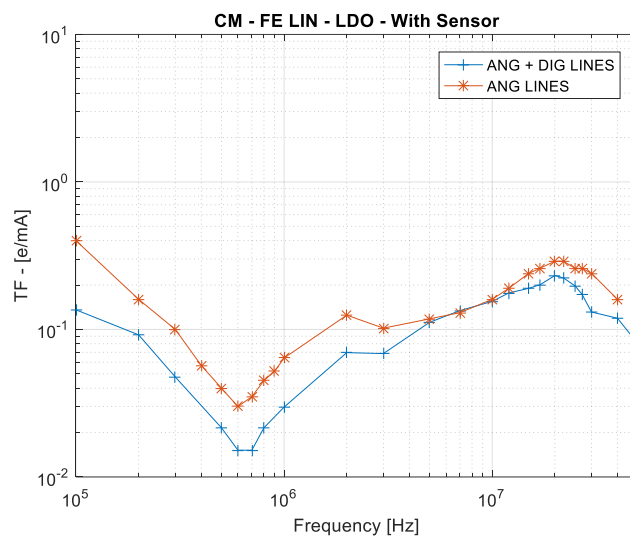


Fig.5.10. Comparativa de susceptibilidad del dominio analógico y digital. Ruido en modo común, modo LDO.

Cuando se inyecta ruido en modo común en ambas líneas con impedancias similares, teóricamente la mitad del ruido se distribuye entre las líneas analógicas y la otra mitad entre las digitales. Si el ruido inyectado afecta al dominio analógico y no tiene impacto en el digital, entonces inyectar ruido en ambas líneas es comparable a inyectar la mitad de la corriente solo en las líneas analógicas. Este escenario se cumple en la mayor parte del espectro, donde la sensibilidad del dominio analógico es predominante, excepto en algunas frecuencias específicas entre 5 y 12 MHz. En este rango, las curvas de sensibilidad de ambos dominios se igualan, indicando un posible acoplamiento entre ellos. Este hallazgo sugiere que, en la mayoría del espectro, la principal contribución a la sensibilidad del chip completo proviene de las líneas de alimentación del dominio analógico.

Estos resultados son significativos ya que reflejan que, en términos generales, existe un buen desacoplo entre los dominios analógico y digital en el diseño del chip. La mayor sensibilidad en el dominio analógico se explica por la naturaleza de los componentes analógicos, que son intrínsecamente más susceptibles al ruido debido a sus requisitos de amplificación de señales débiles. En contraste,

la menor sensibilidad observada cuando los dominios están combinados sugiere que la interferencia entre los dominios analógico y digital es mínima, lo que es un indicio positivo del diseño del chip.

El buen desacoplo entre los dos dominios es esencial para el funcionamiento óptimo del chip, ya que reduce la posibilidad de que el ruido generado en la parte digital afecte al rendimiento de la parte analógica. Esto es particularmente importante en aplicaciones de alta precisión donde cualquier ruido o interferencia puede comprometer la integridad de las señales procesadas.

Por lo tanto, estos resultados sugieren que el diseño del chip RD53A ha logrado un desacoplo efectivo entre los dominios analógico y digital, garantizando que cada uno opere con un mínimo de interferencia respecto del otro. Este diseño robusto, no solo mejora el rendimiento del chip en condiciones de operación normales, sino que también proporciona una base sólida para futuras optimizaciones y mejoras en la tecnología de detección de partículas.

#### 5.2.4. Impacto del sensor en la susceptibilidad del ASIC

En un detector de píxeles, la conexión entre los píxeles de los chips y los sensores se realiza mediante la técnica de *flip-chip*. Con este método, los píxeles del chip se unen directamente a los píxeles del sensor a través de pequeñas micro soldaduras en forma de bola o *bumps* (pequeñas esferas de metal) colocadas sobre los contactos del chip. Estos *bumps* se alinean con los contactos del sensor y se funden mediante calor o presión, creando una conexión eléctrica directa de muy baja impedancia.

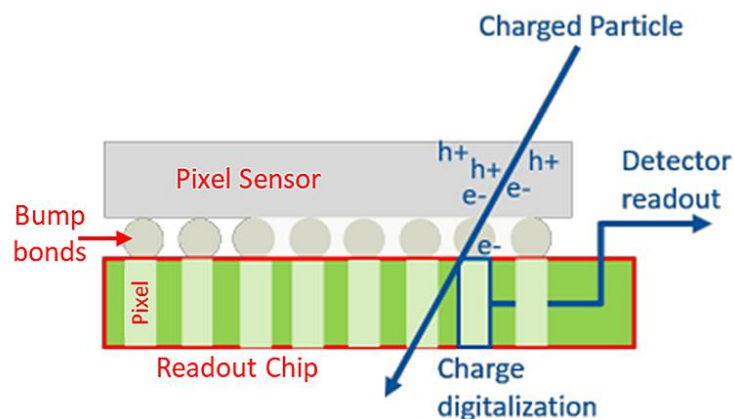


Fig.5.11. Esquema de unión eléctrica entre sensor y chip de lectura genéricos con técnica de *flip-chip*

En la Fig.5.11 se ilustra esquemáticamente un corte transversal de la conexión eléctrica entre el chip y el sensor. Esta unión introduce una impedancia capacitiva específica del sensor y posibles elementos parásitos asociados tanto al sensor como a las micro soldaduras, que impactan directamente la entrada del FE analógico. A pesar de que una conexión tan corta entre el punto de detección y la electrónica de amplificación hace que estos detectores sean intrínsecamente resistentes al ruido, esta conexión puede añadir impedancias parásitas que faciliten nuevos caminos para la circulación de corrientes de modo común, generando efectos significativos en la susceptibilidad al ruido conducido. Por ello, estos casos deben ser analizados con detenimiento.

La caracterización de los chips de lectura de los detectores puede llevarse a cabo de manera individual, ya sea aislando el chip o conectándolo a un sensor. Esta flexibilidad en la caracterización se logra gracias a la incorporación de un circuito de inyección de carga dentro del propio chip, el cual genera señales de referencia necesarias para las pruebas. Este circuito interno permite evaluar el rendimiento del chip bajo condiciones controladas sin la necesidad de sensores externos, facilitando así un análisis preciso de sus capacidades intrínsecas.

El chip conectado al sensor permite evaluar el rendimiento en condiciones que simulan más de cerca su entorno operativo real. Esto incluye la respuesta del chip a las señales reales del sensor y su comportamiento bajo condiciones de carga típica. Por otro lado, el chip aislado, sin sensor, proporciona una visión clara de su rendimiento sin la influencia de las variaciones introducidas por el sensor. Este enfoque permite identificar las características fundamentales del chip, como la sensibilidad al ruido y la precisión de la inyección de carga.

Por lo tanto y a partir de la configuración de la Fig.5.6 se repitió la medida de la función de transferencia del chip RD53A, pero esta vez con un sensor conectado. La comparativa de ambas curvas se muestra en la Fig.5.12. Comparar la respuesta en frecuencia al ruido de un chip con y sin sensor permite obtener información relevante sobre el impacto del sensor en el rendimiento del chip. Esta comparación ayuda a determinar si el sensor introduce ruido adicional o si la interacción entre el chip y el sensor altera significativamente la respuesta del sistema. Estos análisis son fundamentales para optimizar el diseño y asegurar que el chip funcione de manera eficiente, tanto en pruebas aisladas como en su aplicación final.

Los resultados mostrados en la Fig.5.12 sugieren que montar un sensor sobre el chip RD53A tiene un efecto mínimo en su sensibilidad al ruido conducido. Las pequeñas diferencias observadas entre las funciones de transferencia (TF) podrían deberse a variaciones entre diferentes chips o a la incertidumbre inherente del sistema de medición.

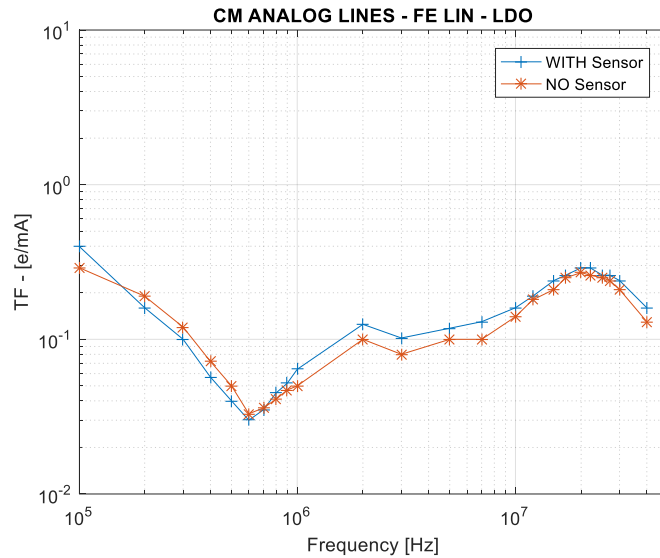


Fig.5.12. Contribución del sensor a la susceptibilidad del detector (SCC). Ruido en modo común, modo LDO.

Inicialmente, estos resultados podrían indicar que el sensor tiene poca influencia en la susceptibilidad del sistema al ruido EM conducido. No obstante, es importante señalar que estos resultados provienen de un prototipo SCC, que se aleja bastante del montaje del detector final. Para eliminar cualquier incertidumbre sobre el impacto del sensor en el sistema real, se repitió el mismo procedimiento en fases posteriores del diseño, durante la integración del chip en los HDI. La Figura 5.12 presenta una comparativa de la función de transferencia del chip RD53A en varias configuraciones de chip-sensor montadas en diferentes versiones de HDIs. En esta figura se comparan tres prototipos distintos:

- HDI 2x2\_s5. Es un módulo HDI de cuatro chips sin sensor. Los chips van montados pegados directamente debajo del HDI.
- HDI 2x2\_s0. Es un módulo HDI de cuatro chips similar a 2x2\_s5, pero que utiliza una lámina de silicio pasivo para emular el montaje de un sensor que se coloca en forma de sándwich entre el chip y el HDI. Este prototipo no es un caso realista ya que no existe conexión eléctrica entre el emulador del sensor y el chip de lectura, sin embargo, fue útil para analizar el efecto de introducir un elemento entre el chip y el HDI en un momento en que no se disponía de sensores para tal efecto.
- HDI 1x2. Es un módulo de dos chips que monta sensores 3D colocados igualmente entre el chip y el HDI.

Para esta comparativa se utiliza el mismo chip #0 de los módulos 2x2 para que no existan variaciones debido al layout del HDI. Y para el módulo 1x2 es un diseño de HDI completamente distinto, y se ha decidido utilizar el chip #4 ya que

es el más próximo al conector de entrada como en los casos del 2x2. La posición y numeración de los chips se muestra en la Fig.5.23.

Los resultados de este estudio se muestran en la Fig.5.13. En ella se puede observar de forma destacada que el chip sin sensor muestra una susceptibilidad mucho mayor que en los otros dos casos. El módulo 2x2\_s0 presenta una sensibilidad muy baja próxima al nivel mínimo de medida que el sistema es capaz de discriminar. El módulo 1x2 presenta una sensibilidad intermedia, pero mucho más baja que el caso sin sensor en prácticamente todo el rango de frecuencias.

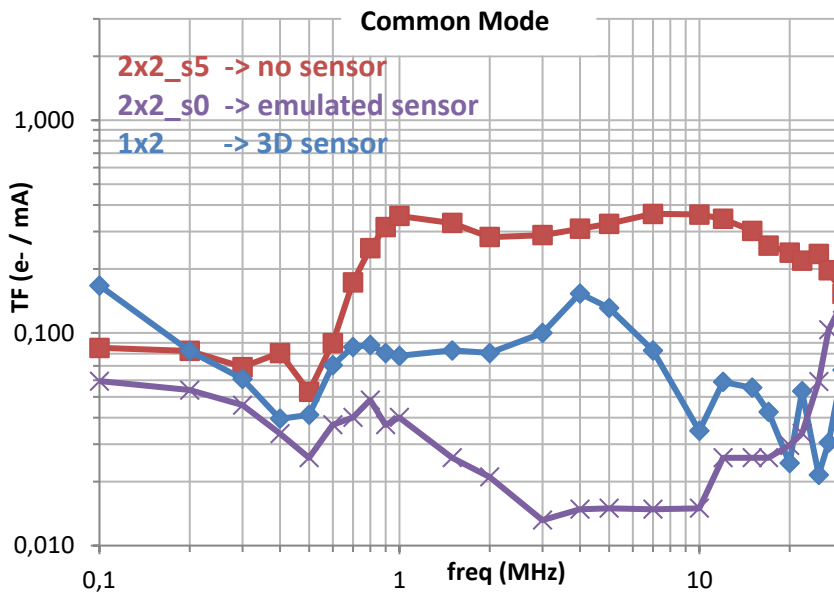


Fig.5.13. Comparativa de TF para distintas configuraciones de chip-sensor.

Este fenómeno se debe al acoplamiento del ruido desde las pistas o planos de alimentación del HDI hacia la entrada de los FE analógicos, provocado por la capacidad parásita debido a su proximidad. Al añadir un sensor o una lámina de silicio entre el chip y el HDI, se pueden lograr dos beneficios respecto al ruido. Primero, se incrementa la separación entre ambos, lo que atenúa el medio de acoplamiento del ruido. Segundo, se puede generar un efecto de apantallamiento, reduciendo o eliminando la capacidad parásita entre el HDI y los chips.

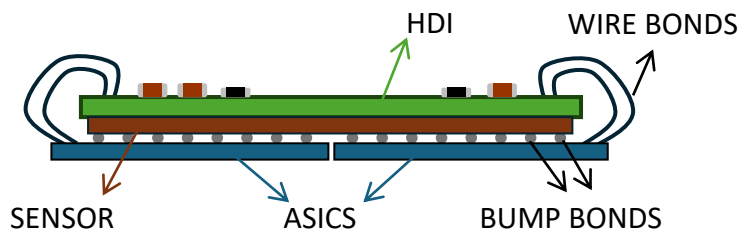


Fig.5.14. Corte ilustrativo del montaje y elementos de un módulo HDI.

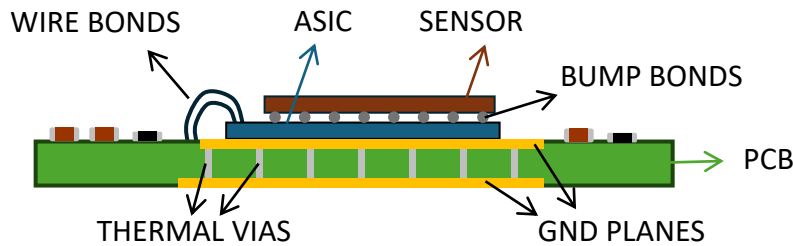


Fig.5.15. Corte ilustrativo del montaje y elementos de una SCC.

Como se observa en las Figuras 5.13 y 5.14, el ensamblaje de la SCC presenta algunas diferencias con respecto al HDI, lo que explica por qué no se percibió una variación significativa tras la instalación del sensor en este caso de la SCC. El chip se monta directamente sobre un amplio plano de tierra en la PCB, que también actúa como interfaz para la disipación de calor. Este plano de tierra minimiza en gran medida el acoplamiento entre las líneas de alimentación y los píxeles. Además, el sensor se coloca en la parte externa del ensamblaje, encima del chip, en lugar de ubicarse en el centro de la estructura. Este estudio ha sido esencial para el diseño de futuros detectores, ya que ha permitido determinar el alcance de los resultados tanto a nivel de SCC como de módulo. Los hallazgos demuestran que los sensores tienen un impacto limitado en el comportamiento del chip frente al ruido a nivel de SCC, mientras que el diseño del módulo resulta ser un factor fundamental y siempre ha de ser tenido en cuenta.

### 5.2.5. Filtrado pasivo y activo para mitigar los efectos del ruido.

En los detectores de píxeles del LHC, la implementación de filtros pasivos cerca de los chips-sensores presenta numerosos desafíos debido a las extremas condiciones ambientales y los estrictos requisitos de estos sistemas.

Primero, los componentes deben ser capaces de soportar altos niveles de radiación ionizante para evitar fallos y degradación a lo largo del tiempo. La exposición prolongada a la radiación puede hacer que algunos materiales se vuelvan radiactivos, lo que podría introducir errores significativos en las mediciones. Por esta razón, es esencial que los componentes sean rigurosamente probados y caracterizados antes de su uso para minimizar estos efectos negativos.

Segundo, dentro de estos detectores, la densidad del campo magnético alcanza aproximadamente 4 teslas. Este intenso campo magnético convierte cualquier material magnético en paramagnético, lo que complica considerablemente el diseño y uso de inductores y transformadores. Aunque es posible usar inductores

de núcleo de aire, estos requieren un mayor volumen y más material conductor, por lo que solo se emplean cuando es absolutamente necesario.

El espacio dentro del detector de píxeles es extremadamente limitado, lo que obliga a un diseño compacto para lograr la mayor granularidad y precisión posible en la detección de partículas. Es de vital importancia minimizar el uso de material para evitar interferencias con las partículas generadas en las colisiones. Esta optimización del espacio y los materiales es fundamental para asegurar que el detector funcione de manera eficiente y efectiva.

En la práctica, todas estas restricciones, limitan el uso de filtros pasivos a pequeños condensadores cerámicos próximos a la entrada de alimentación de los chips de lectura. Sin embargo, los chips RD53 poseen una característica diferencial respecto a otros chips de lectura anteriores, que puede proporcionar una mejora importante respecto al filtrado de ruido, y es la presencia del regulador SLDO. Generalmente, en un sistema de distribución de potencia paralelo, la tensión de alimentación del chip de lectura es generada a través de un convertidor DC-DC, colocado muy próximo a los módulos HDI que alimenta, con la problemática que esto implica. Como se vio en el capítulo 4, en los chips RD53, las tensiones de alimentación son generadas por un regulador lineal que integra un “shunt” y un “LDO”, y que combinados presentan un elevado ancho de banda del orden de unos pocos megahercios. Este regulador actúa como un filtro activo capaz de compensar el ruido presente a la entrada del chip. Esta característica se mide a través del Factor de Rechazo de Fuente de Alimentación, o PSRR, de las siglas en inglés (Power Supply Rejection Ratio).

Para reducir la susceptibilidad del detector sin recurrir a filtros pasivos voluminosos, se llevó a cabo un análisis exhaustivo de la respuesta del regulador SLDO al ruido y de los parámetros de configuración necesarios para mejorar su PSRR. Esto implicó realizar una serie de simulaciones y mediciones utilizando modelos desarrollados en Virtuoso, previamente empleados en el capítulo 4 para analizar la respuesta transitoria del detector. Para realizar estas simulaciones, se introdujo una fuente de ruido en la entrada que generaba un barrido en el rango de frecuencias seleccionado, y se midió la variación resultante en la tensión de salida del regulador, permitiendo así caracterizar su respuesta al ruido de manera precisa.

En la Fig.5.16 se presentan los resultados de la simulación de un regulador SLDO en sus dos modos de funcionamiento: LDO (Low Dropout Regulator) y SLDO (Shunt Low Dropout Regulator). En el ámbito de los circuitos electrónicos, generalmente el parámetro PSRR mide la relación entre la tensión de entrada ( $V_{in}$ ) y la tensión de salida ( $V_{out}$ ). Un PSRR elevado es preferible ya que indica una mayor capacidad del circuito para rechazar las variaciones en la tensión de entrada, mejorando así la estabilidad del sistema. En esta simulación, en lugar

del PSRR, se muestra el parámetro TF [mV/mA], que relaciona de manera inversa la tensión de salida con la corriente de ruido inyectada en la entrada.

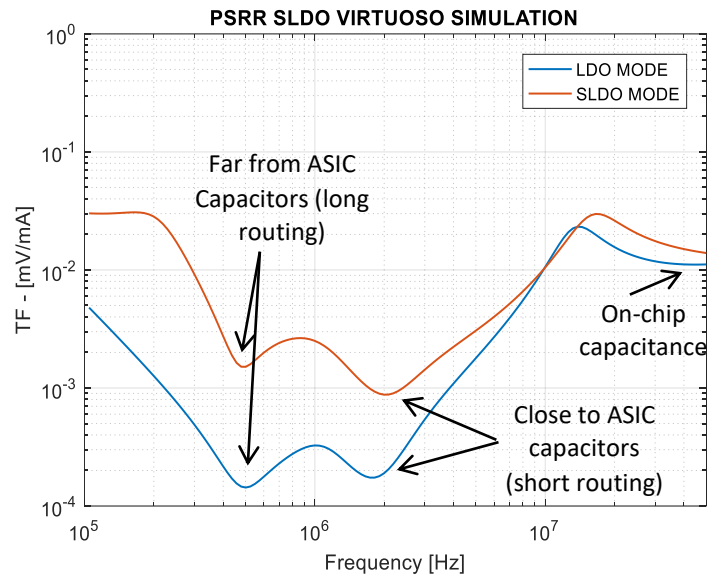


Fig.5.16. Simulación TF regulador SLDO. Respuesta de la salida del regulador frente a corriente de ruido de entrada.

Siempre es deseable un valor de TF lo más bajo posible, ya que indica una menor propagación de la corriente de ruido hacia la tensión de salida del regulador. Este parámetro se utiliza para asemejarlo y poder compararlo con la función de transferencia obtenida al caracterizar un chip RD53A en una SCC, tal como se muestra en la Fig.5.17.

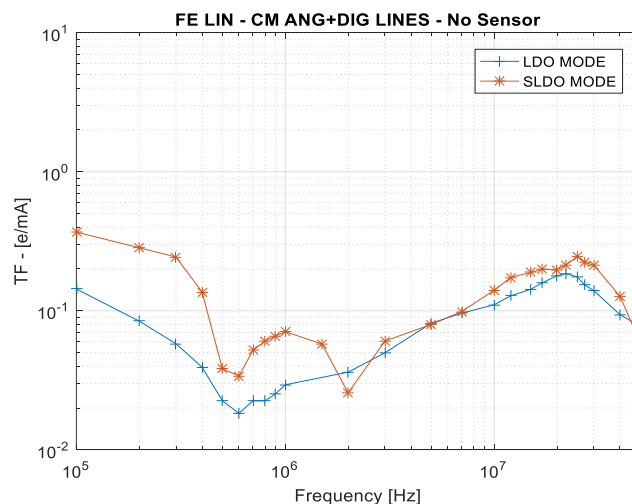


Fig.5.17. Medida TF RD53A. Comparativa entre modos de funcionamiento del regulador SLDO.

Aunque las unidades utilizadas en la simulación (mV/mA) y en las mediciones (e/mA) no son las mismas, se puede observar una clara correlación entre las dos funciones de transferencia al compararlas. Esto sugiere que el PSRR del SLDO

influye significativamente en la función de transferencia del chip. La Fig.5.16 permite identificar claramente la contribución de los distintos condensadores de desacoplo incluidos en la SCC y su efecto en el filtrado activo del regulador lineal.

La capacidad de reproducir la respuesta del chip al ruido mediante simulación es una herramienta poderosa. Permite a los diseñadores de FEE identificar y ajustar los parámetros y componentes críticos para optimizar la susceptibilidad del detector al ruido. Por ejemplo, mediante la simulación, se puede determinar qué condensadores de desacoplo tienen el mayor impacto en el rendimiento del regulador y cómo se puede mejorar su configuración para minimizar el ruido. Además, se pueden explorar diferentes configuraciones y ajustes sin necesidad de construir múltiples prototipos, ahorrando tiempo y recursos en el proceso de diseño.

Este enfoque también facilita la identificación de posibles mejoras en el diseño del chip y de la SCC. Al comprender mejor cómo diferentes elementos del circuito contribuyen a la susceptibilidad al ruido, se pueden realizar ajustes precisos que mejoren la robustez del sistema en su conjunto. En última instancia, estos esfuerzos contribuyen a la creación de detectores más eficientes y fiables, capaces de operar de manera óptima en entornos exigentes.

Además de los condensadores de desacoplo, se identificó tanto por simulación como con medidas en el laboratorio, que el punto de operación del regulador tiene gran importancia sobre la respuesta en frecuencia del regulador, como se vio en el capítulo 4 al analizar la respuesta frente a transitorios de carga.

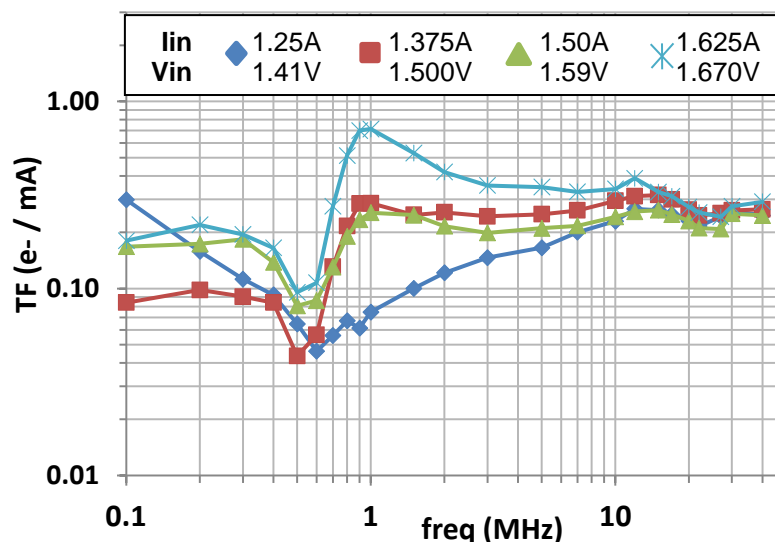


Fig.5.18. Medida TF RD53A en función del punto de operación lin-Vin.

En la Fig.5.18 se puede ver la función de transferencia de un chip RD53A para distintos puntos de operación de corriente y tensión de entrada, con la tensión de salida fijada a 1.2V. Para una misma configuración del par  $V_{ofs}$  y  $R_{eq}$  (tensión

de offset y resistencia equivalente) del SLDO, su TF varía de forma importante para frecuencias menores que 10MHz dependiendo de la corriente/tensión de alimentación a su entrada. Es lógico que a frecuencias elevadas no existan diferencias porque el ancho de banda del SLDO se encuentra típicamente en el orden de unos pocos MHz, por lo que el “filtro activo” deja de tener efecto. La gráfica muestra en general una menor sensibilidad al ruido para corrientes de alimentación más bajas.

Para entender mejor este efecto y su implicación, nos centramos en analizar la respuesta en detalle en una determinada frecuencia. Se selecciona 0.9MHz por ser la zona donde mayor variación se observa al variar el punto de funcionamiento. En la Fig.5.19 se muestra la comparativa entre la simulación del PSRR y la medida de la TF. Se han normalizado los valores del eje Y al valor mínimo obtenido para tener una comparación directa de la simulación y la medida. Esto nos permite confirmar de nuevo una clara correlación entre TF y PSRR.

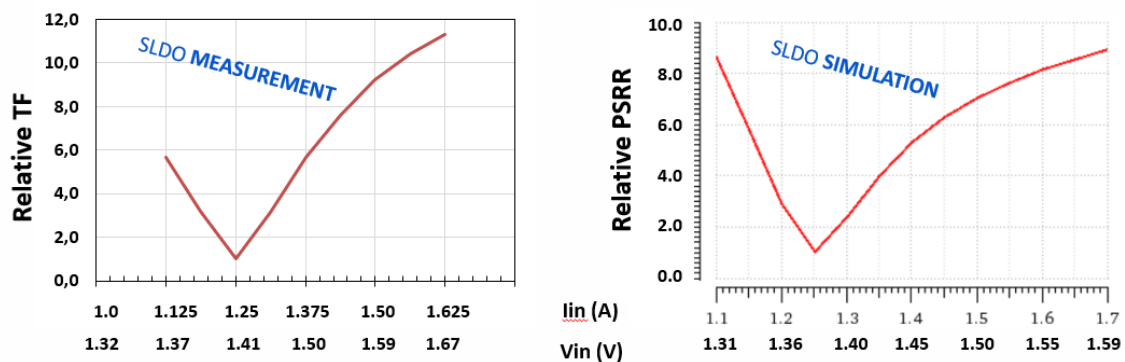


Fig.5.19. Medida TF y Simulación de PSRR normalizados del regulador SLDO a la frecuencia de 0.9MHz

A continuación, se realizó un nuevo estudio para determinar qué parámetro define, o al menos contribuye en mayor medida, en la variabilidad del PSRR. En el análisis de la Fig.5.19 se utilizó una tensión de salida Vout fija de 1.20V, pero esta también podría contribuir a la respuesta en frecuencia. El chip RD53A permite variar la tensión Vout a través de un registro interno dentro del rango entre 1.10V y 1.30V aproximadamente.

En la gráfica (a) de la Fig.5.20 se puede ver que las curvas de PSRR tienen una gran dependencia tanto de la corriente o tensión de entrada, como de la tensión de salida Vout. Si ponemos en el eje X la caída de tensión del LDO ( $V_{in}-V_{out}$ ), el resultado se puede ver en la gráfica derecha, donde todas las curvas se superponen. Esto indica que no hay una relación independiente del PSRR con  $V_{in}$  y  $V_{out}$ , sino que es una relación directa con su diferencia  $V_{in}-V_{out}$ .  $V_{in}$  y  $V_{out}$  pueden tener cierta contribución de forma independiente, pero será mínima respecto del total.

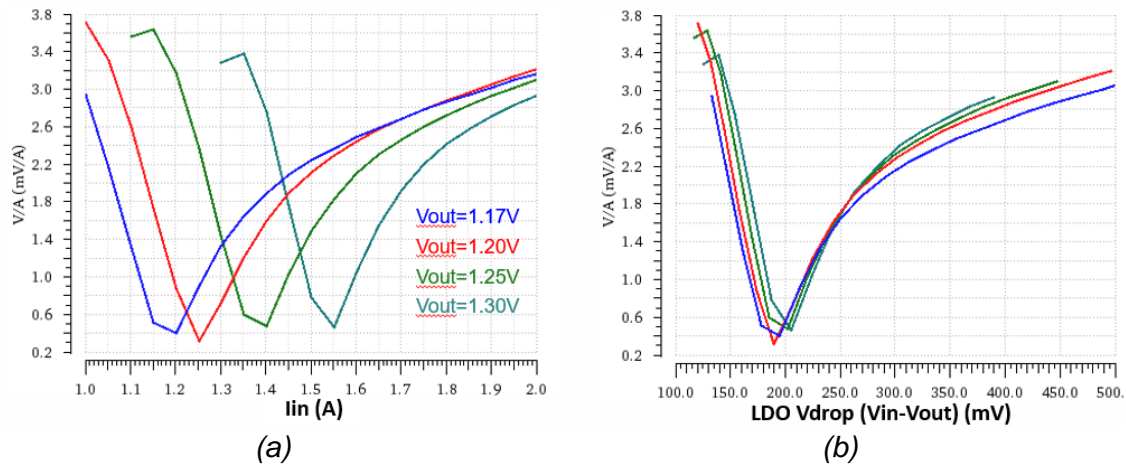


Fig.5.20. Simulación de PSRR del regulador SLDO a la frecuencia de 0.9MHz para distintos valores de  $V_{out}$ . Referido a la corriente de entrada  $I_{in}$  (a) y a la caída de tensión en el transistor LDO (b)

El valor más bajo de sensibilidad se da para una caída de tensión en el LDO ( $V_{in} - V_{out}$ ) de 0.2V. Cabe destacar, que por limitación de los transistores utilizados en el diseño del SLDO, la caída de tensión en el LDO deberá ser siempre mayor o igual que 0.2V para que el regulador funcione correctamente y no se adentre en zona de inestabilidad. Por tanto, para una  $V_{out}$  definida de 1.20V, la  $V_{in}$  mínima deberá ser de 1.40V. (Kampkoetter, y otros, 2019)

En base a estos resultados se concluyó que, desde el punto de vista de inmunidad al ruido conducido, es muy recomendable trabajar con una diferencia de tensión  $V_{in}-V_{out}$  lo más baja posible dentro del rango funcionamiento del SLDO. Este resultado va en perfecta consonancia con el objetivo de mejora de la eficiencia del sistema, ya que a menor tensión disipará menor cantidad de energía.

### 5.3. Inmunidad y control de fenómenos de RF a nivel de sistema

La segunda parte del capítulo se centra en estudiar los elementos a nivel de sistema que puedan tener una repercusión importante en la susceptibilidad al ruido conducido.

Para esta tarea ya no se van a utilizar tarjetas SCC que están enfocadas en analizar las funciones y comportamiento de un único chip, sino que se van a

utilizar módulos que integran varios chips dentro de un HDI (del inglés “High Density Interconnection”). Tal como se ha descrito en el capítulo de introducción, los HDI son tarjetas flexibles muy compactas y ligeras cuyo diseño corresponde al del módulo que se va a integrar dentro del detector en CMS. El diseño y desarrollo del HDI se trata en profundidad en el capítulo 6.

### 5.3.1. Modo común y modo diferencial

Como norma general, en este trabajo se utiliza el ruido inyectado en modo común como referencia para hacer los distintos análisis y comparativas, ya que este tipo de ruido es el que suele causar más problemas en sistemas electrónicos, y es generalmente más difícil de atajar. Sin embargo, también se ha medido el efecto del ruido en modo diferencial para tener la mayor cantidad de información posible, a la hora de determinar sus efectos sobre el rendimiento del detector.

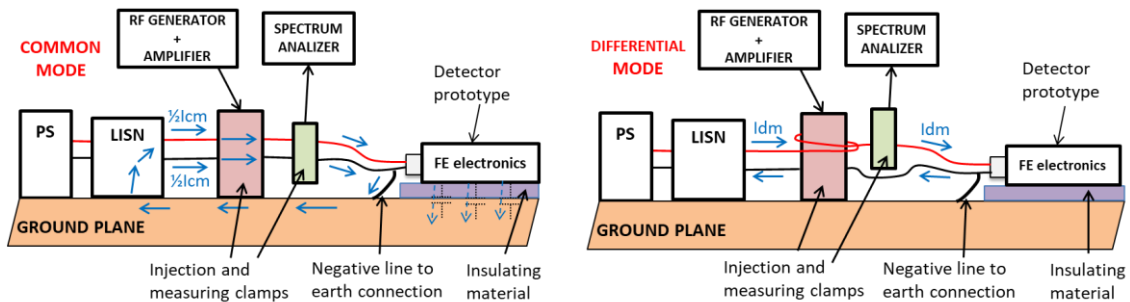


Fig.5.21. Esquemas de inyección de ruido en modo común (izda.) y modo diferencial (dcha.)

Antes de abordar los modos de inyección de corriente, es fundamental destacar cómo se conectan a tierra las líneas de alimentación, ya que esto puede influir significativamente en los efectos del ruido inyectado y los caminos por los que circulará. Para empezar, por motivos de seguridad, el cable negativo de la alimentación del detector siempre se conectará a la estructura metálica, que a su vez estará conectada a tierra. Desde una perspectiva funcional y para evitar el acoplamiento de ruido conducido, esta conexión se realiza lo más cerca posible del detector, como se muestra en la Fig.5.21, utilizando una unión de baja inductancia. Esto asegura una buena equipotencialidad entre la línea negativa y la estructura metálica donde se encuentra montado el FEE en el rango de frecuencias del ruido conducido, evitando o mitigando en gran medida la circulación de corrientes en modo común desde la electrónica del detector hacia la estructura metálica. En esencia, esta conexión funciona como un filtro o "by-pass" para las corrientes en modo común que lleguen a la entrada del detector.

Para inyectar ruido en modo común o en modo diferencial, se realizan dos montajes de las pinzas de corriente ligeramente diferentes como se observa en

los esquemas de la Fig.5.21. Estos montajes se basan en el hecho de que la pinza de inyección fuerza la corriente en un solo sentido sobre los cables en los que se haya colocado.

En el caso del modo común, la pinza se coloca abrazando los cables de alimentación positivo y negativo en su posición normal. De esta forma se fuerza a que la corriente se inyecte en ambos cables en el mismo sentido, y retorne por el exterior de la pinza, es decir, por el plano de masa que representa la estructura metálica que recubre el detector. El camino de la corriente hacia el plano de masa se cierra por un lado a través de los condensadores de la LISN, y por el otro lado, a través de la unión a tierra a la entrada del detector, y a través de las capacidades parásitas existentes entre el detector y la estructura metálica. Forman parte de esta estructura metálica tanto el soporte mecánico como los canales de refrigeración.

En el caso del modo diferencial, la pinza se coloca abrazando los cables de alimentación en sentidos opuestos. Como se puede ver en la figura anterior, los cables se colocan de forma que el negativo entra por la parte izquierda de la pinza y el positivo por la parte derecha. De esta forma se fuerza el caso inverso al del modo común, forzando que la corriente inyectada por la pinza sea en sentidos opuestos, lo que define una corriente en modo diferencial. En este caso la corriente circula por un cable de alimentación y retorna por el otro, cerrando los caminos, por un lado, a través de los condensadores de la LISN y por el otro, a través de los condensadores de desacoplo del detector y otros elementos parásitos que puedan existir. En este caso no existirá corriente circulante por el plano de masa.

En la Fig.5.22 se muestran las funciones de transferencia del ruido en modo común (rojo) y el ruido en modo diferencial (azul) del chip #1 de un prototipo de módulo HDI 1x2. Se observa que la TF del diferencial es mayor en prácticamente todo el rango de frecuencias por un factor de aproximadamente 2. Sólo en frecuencias puntuales las dos curvas se igualan. Este resultado se explica perfectamente con lo comentado anteriormente sobre los esquemas de conexionado de los ensayos. El hecho de tener una conexión de baja inductancia desde la línea de alimentación negativa al plano de referencia hace que la mayor parte del ruido que circula por esa línea retorne por el plano sin alcanzar el detector. Sin embargo, la corriente de la línea positiva entra al detector y retorna por la línea negativa para pasar al plano de referencia de nuevo. Por tanto, la mitad de la corriente de modo común, la de la línea positiva, se convierte a corriente diferencial al entrar al detector. Se puede concluir, que, si no existen caminos eficientes de modo común generados por capacidades parásitas del detector, el modo común se convierte en un modo diferencial con la mitad de la corriente inyectada, lo que explica el factor 2 observado en la medida.

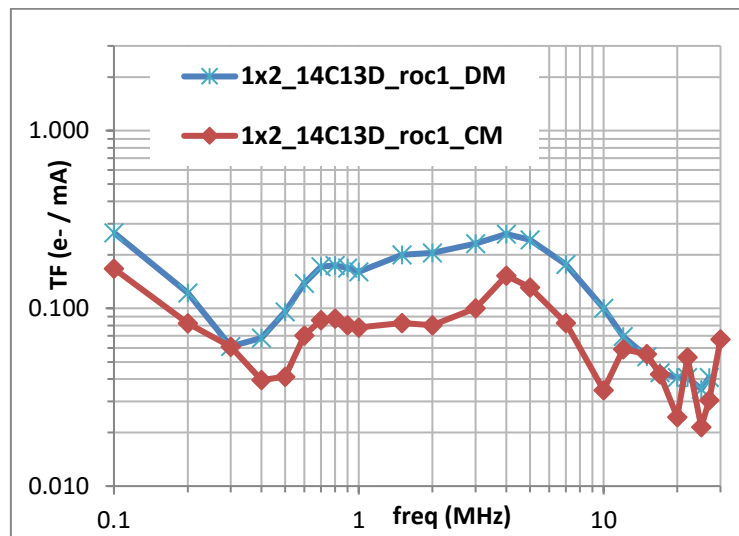


Fig.5.22. Comparativa de función de transferencia de CM y DM

Dados estos resultados, como norma general, se puede estimar la TF del modo diferencial conociendo la del modo común y viceversa.

### 5.3.2. Contribución del 'layout' de los módulos HDI

El diseño, desarrollo y construcción de los módulos HDI presenta numerosas limitaciones y restricciones. La principal de ellas es la necesidad de utilizar la menor cantidad posible de material para evitar distorsionar la física del detector. Por otro lado, también se requiere una alta eficiencia eléctrica para minimizar el consumo, la disipación y el calentamiento, lo que obliga a encontrar un equilibrio entre estos factores.

Desde el punto de vista funcional y de la sensibilidad al ruido conducido, lo ideal sería diseñar un HDI completamente simétrico en todos sus ejes. Esto garantizaría que la impedancia de las líneas y planos de alimentación, desde el conector de entrada hasta cada chip, sea lo más equilibrada posible. Así, tanto la corriente de alimentación DC como el ruido conducido que ingrese al sistema se distribuirán de manera uniforme entre todos los chips. Sin embargo, las restricciones mencionadas anteriormente complican la creación de un diseño perfectamente simétrico, lo que puede resultar en variaciones en la distribución del ruido conducido entre los distintos chips de un mismo módulo HDI. Para evaluar el impacto de este aspecto, se probaron dos prototipos diferentes de módulos HDI con sensores, como se muestra en la Figura 5.22: un módulo 2x2 (con 4 chips RD53A) con sensores planares y un módulo 1x2 (con 2 chips RD53A) con sensor 3D. Estos prototipos fueron seleccionados por ser desarrollos avanzados y realistas, con todos sus chips funcionales.

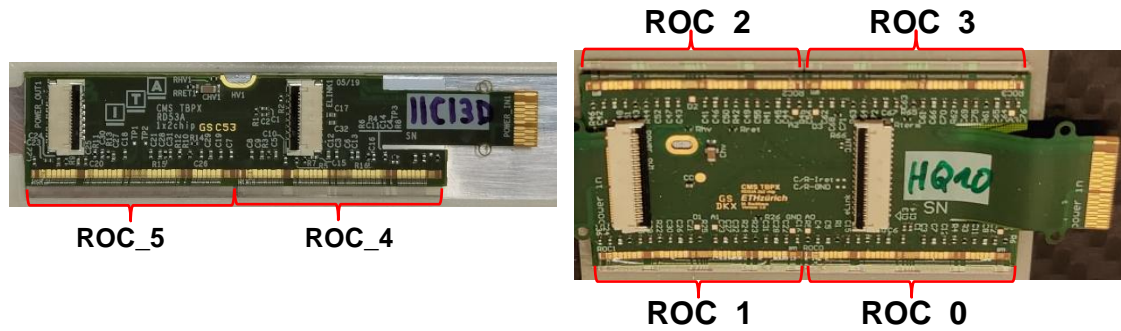


Fig.5.23. Prototipos de HDI 1x2 y 2x2 utilizados en estudios de impacto del layout en la sensibilidad al ruido

Las funciones de transferencia obtenidas de ambos HDI se muestran en las siguientes figuras.

En la TF de los chips del HDI 2x2 de Fig.5.24, se aprecia que el ROC3 sobresale bastante sobre los demás en las frecuencias alrededor de 1MHz tanto en CM como DM. En el peor caso, el ROC3 puede llegar a ser hasta 10 veces más sensible al ruido que el ROC1.

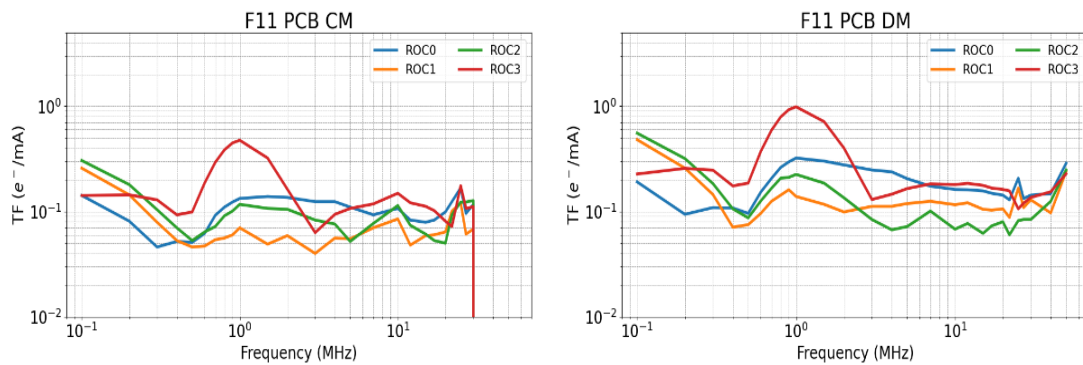


Fig.5.24. TF CM y DM de los chips del prototipo HDI 2x2

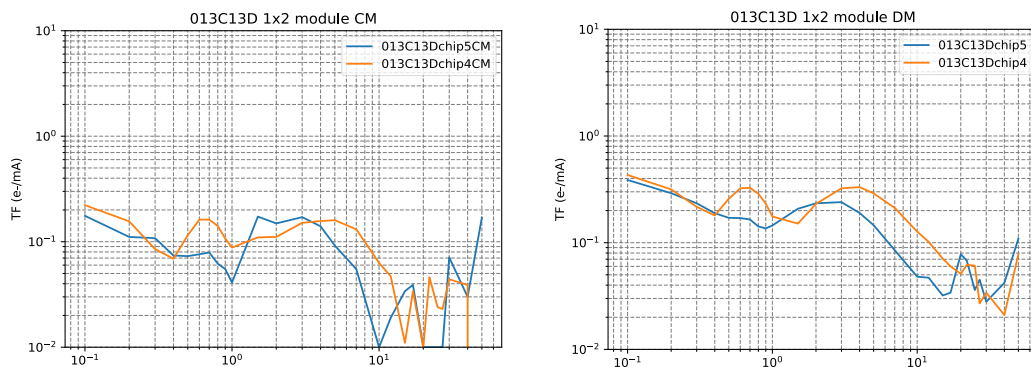


Fig.5.25. TF CM y DM de los chips del prototipo HDI 1x2

En la TF de los chips del HDI 1x2 en Fig.5.25, el chip 4 (ROC4) se muestra ligeramente más sensible que el chip 5 en la mayor parte de frecuencias y en ambos modos CM y DM. Tomando el peor caso, el ROC4 es aproximadamente

el doble de sensible que el ROC5. El módulo HDI 1x2 presenta una mayor uniformidad respecto a la sensibilidad al ruido de sus chips. Esto tiene dos motivos. Primero, el módulo 1x2 es una revisión basada en el diseño del 2x2 pero implementando algunas mejoras en el trazado de las pistas, y segundo, su estructura es más simple, ya que al integrar únicamente dos chips solo son necesarios pads de conexión en uno de los laterales de la placa. Tiene menos líneas de datos que interconectan los chips, y el trazado de las líneas de alimentación del sensor es menos intrusivo al poder colocarse en un lateral del HDI. Todo ello permite una mayor simetría y continuidad en las líneas de alimentación, lo que refuerza la estrategia de tratar en el diseño comentada anteriormente.

Otro estudio relacionado con el diseño del HDI y realizado sobre HDIs 2x2 sin sensores, muestra que el layout de la PCB tiene un impacto importante sobre la sensibilidad al ruido de cada uno de los píxeles del módulo. En la Fig.5.26 se muestran los resultados de una medida de ENC de los chips #0 y #1 de este módulo mientras se inyecta ruido en modo común a la frecuencia de 5MHz. Debajo de los mapas de ENC se puede ver el layout del HDI resaltando la superficie sobre la que está situado el chip utilizado.

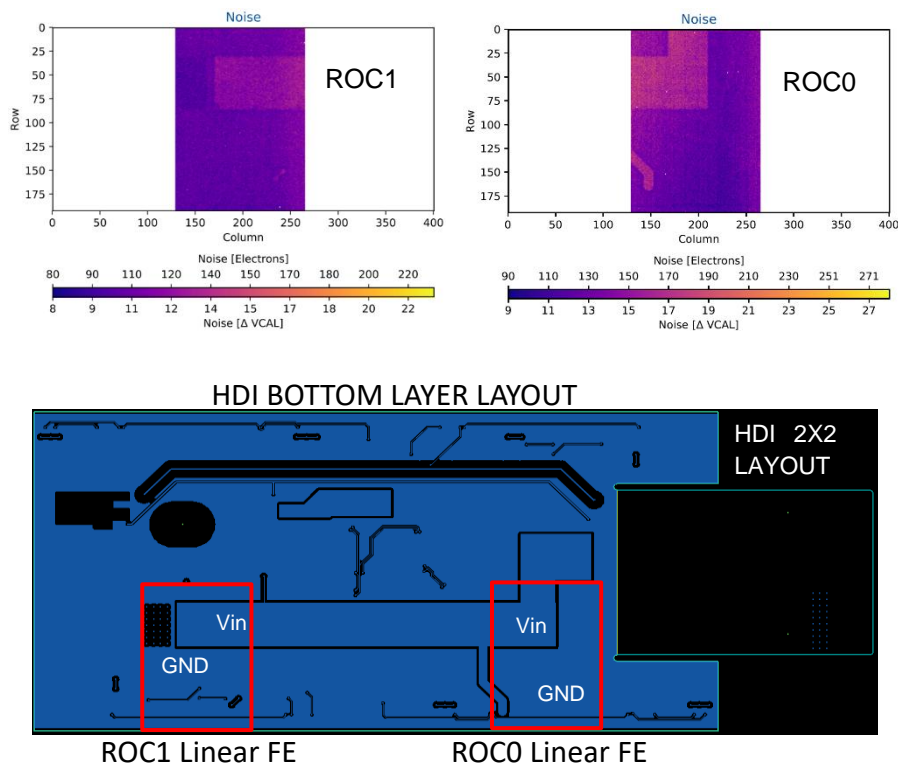


Fig.5.26. Acoplamiento de ruido a través de las pistas de alimentación

Desde el punto de vista teórico, el ruido inyectado tiende a circular en mayor medida a través de los condensadores de desacoplo de entrada de los chips, conectados entre Vin y GND. Sin embargo, hay un rango de frecuencia concreto donde existen caminos de retorno eficientes a través de los píxeles y sus FE

analógicos. Este efecto se muestra claramente en la figura anterior, donde los píxeles situados sobre las líneas de Vin (línea de entrada de la corriente de ruido inyectada) son mucho más susceptibles a captar ruido que los que están situados sobre el plano de GND. El mapa de ruido obtenido muestra una fotografía perfecta de las pistas de alimentación del HDI.

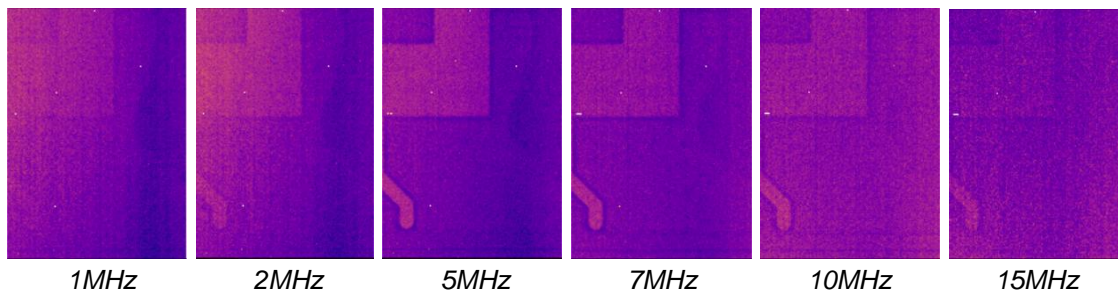


Fig.5.27. Acoplamiento de ruido desde las pistas del HDI dependiendo de la frecuencia

Analizando de forma cualitativa los mapas de ruido obtenidos a distintas frecuencias, Fig.5.27, se concluye que este efecto aparece de igual modo para inyección de ruido en CM y DM, y se concentra en el rango de frecuencias entre 1MHz y 15MHz aproximadamente, con el máximo en alrededor de 5MHz.

Como ya se ha comentado, este prototipo analizado monta únicamente **chips sin sensores**, y tal como se vio en el reciente apartado 5.2.3, el hecho de no tener un sensor entre el chip y el HDI aumenta drásticamente la sensibilidad al ruido de los chips. De hecho, si se compara el mapa de ENC a 5MHz del chip con y sin sensor se observa una diferencia clara.

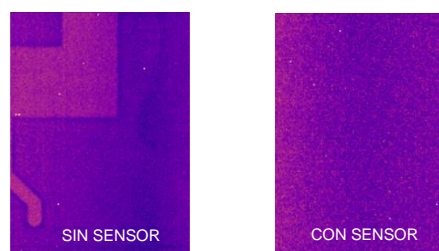


Fig.5.28. Comparativa de mapa de ruido con y sensor, inyectando ruido a 5MHz

A la hora de diseñar un módulo completo HDI+sensor+chip se presentan varias opciones de montaje respecto a la posición de cada elemento en el sándwich que forman. Esencialmente existen dos posibles diseños. Uno, que es el más usado por sencillez y facilidad desde el punto de vista mecánico, donde el sensor va colocado entre el HDI y el chip como se vio en la Fig.5.14. La segunda opción consiste en montar el chip entre los otros dos elementos. Desde un punto de vista disipativo, esta segunda opción tiene ciertas ventajas cuando se montan sensores con especificaciones muy estrictas de temperatura, ya que el sensor estará en contacto directo con el elemento refrigerante, asegurando un mejor

rendimiento del detector. Estos estudios de ruido han aportado mayor solidez y argumentos para elegir la primera opción que es la que se utilizará en la integración final del detector.

### 5.3.3. Efectos de referencias flotantes. Módulos en cadena serie

Una característica distintiva del sistema de alimentación híbrido es que cada módulo en una cadena en serie utiliza una tensión de referencia (GND) diferente. Esto significa que no se puede crear un plano de referencia común para todos los elementos de la cadena, lo cual es esencial para mantener una buena equipotencialidad y evitar fluctuaciones de GND que podrían afectar al sensible FE analógico. En esta configuración, cada módulo debe depender de su propio plano de GND generado localmente en cada HDI. Solo el último módulo de la cadena está conectado directamente a la GND del sistema. La estabilidad de estas GND locales depende principalmente de los reguladores SLDO y de los condensadores de desacoplo, que establecen las tensiones de trabajo. Esta diferencia con las topologías de alimentación en paralelo, utilizadas en detectores anteriores, plantea preocupaciones sobre la posible mayor susceptibilidad del sistema, o de algunos módulos específicos, al ruido externo.

Para analizar esta problemática se utilizó un prototipo con el mínimo número de módulos conectados en serie necesario para tener los 3 casos posibles de interés respecto a las referencias flotantes. En este caso, Fig.5.29, se utilizan 3 módulos HDI 2x2. Uno de ellos estará conectado al potencial positivo de la alimentación (TOP), otro al negativo o GND (BOTTOM), y finalmente, el módulo del medio está flotante respecto a las líneas de alimentación (MIDDLE).

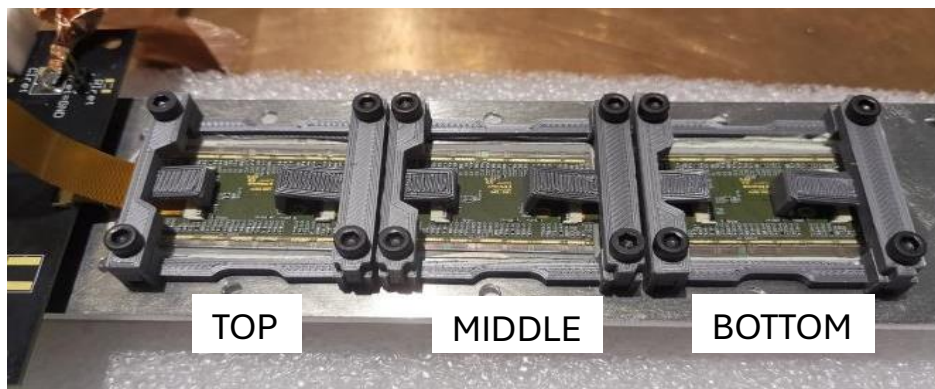


Fig.5.29. Prototipo utilizado para analizar el efecto de las referencias flotantes de una cadena serie en la sensibilidad al ruido

Para evitar que la medida se vea condicionada por la posible variabilidad de la sensibilidad entre distintos módulos y chips, se ha utilizado un único chip de un

mismo módulo. Este método alarga el tiempo de ensayo, ya que hay que ir recolocando este módulo en las distintas posiciones en la cadena serie, desmontando y volviendo a montar el delicado prototipo para cada una de las medidas, pero es necesario para obtener unos resultados fiables.

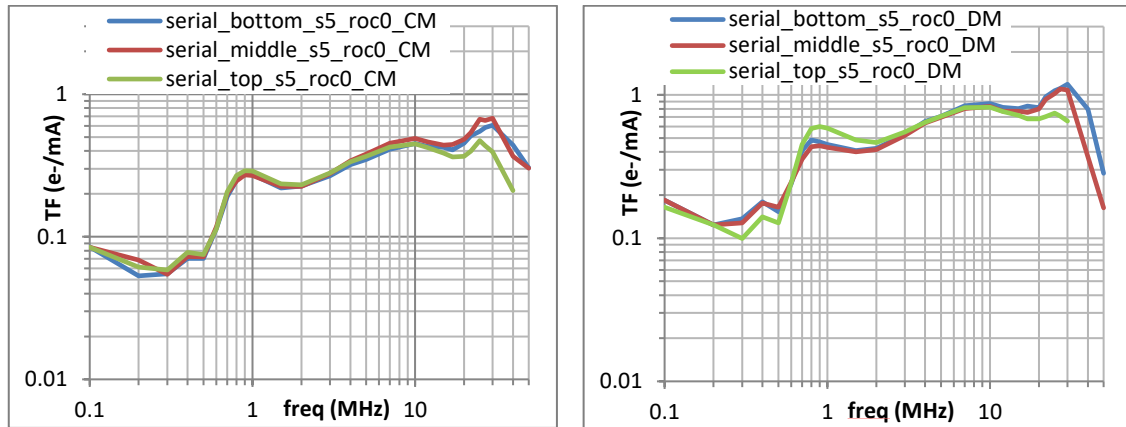


Fig.5.30. Función de transferencia para distintas posiciones en la cadena serie

Los resultados obtenidos se muestran en la Fig.5.30, al inyectar ruido en modo común (izquierda) y modo diferencial (derecha). Se puede concluir que las TF obtenidas en distintas posiciones de la cadena serie, con distinta referencia GND local, son prácticamente iguales. Las diferencias son mínimas en ambos modos de inyección de ruido. El hecho de utilizar pequeños planos de referencia locales no presenta contraindicaciones respecto a la susceptibilidad al ruido conducido. Estos resultados son importantes ya que refuerzan y aportan una mayor consistencia a la idea que ya se comentó en el capítulo 4 de que los sistemas de alimentación híbridos, a pesar de ser relativamente desconocidos, son muy estables y robustos.

#### 5.3.4. Conexión a tierra de la estructura de disipación.

Aunque el diseño mecánico de la actualización del detector de píxeles de CMS no está todavía completamente definido, se puede anticipar en cierto modo su montaje basándose en prototipos y versiones anteriores. De forma simplificada, los módulos conectados en serie dentro de un grupo del detector van montados sobre unos pequeños railes de aluminio, que a su vez van encima de una estructura de fibra de carbono que integra los tubos de refrigeración por CO<sub>2</sub>. Los tubos de refrigeración son metálicos y por seguridad tienen que estar conectados a tierra. La estructura de fibra de carbono puede ser un buen conductor eléctrico dependiendo del tipo, cantidad, tamaño y estructura de las fibras usadas, del tipo material utilizado en la matriz del compuesto, así como de

la frecuencia de la corriente/tensión a la que se ve sometido. Los tubos de refrigeración se fijan en contacto directo con la parte inferior de los raíles de fibra de carbono, lo que podría proporcionar una conexión eléctrica a tierra, aunque esto no siempre es seguro debido a diversos factores, como el tipo de fibra y los adhesivos utilizados. Por esta razón, en la fase actual de desarrollo, se está considerando realizar conexiones directas de los raíles a tierra para asegurar una unión fiable y no depender de conexiones indirectas o parásitas.

Los raíles de fibra de carbono son la estructura sobre la que los módulos HDI van montados, y sobre la que disiparán la potencia generada. Es importante analizar qué efectos conlleva su conexión a tierra porque se pueden generar nuevos caminos de circulación para las corrientes de modo común, lo cual puede afectar a la sensibilidad del detector.

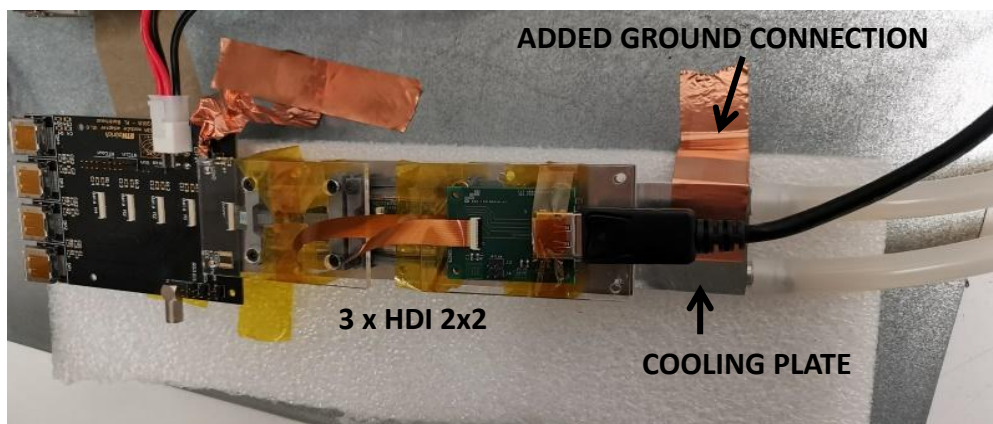


Fig.5.31. Montaje de ensayo para caracterizar el efecto de conectar la superficie disipativa al plano de referencia

Para el prototipo utilizado en estos ensayos no se dispone de fibra de carbono que componga la estructura, pero la placa de disipación de aluminio puede ser representativa de la versión final. Como se puede ver en Fig.5.31, se ha realizado una conexión directa entre el bloque disipativo y el plano de referencia, por medio de cinta de cobre conductora. Esta configuración, que representa un caso más restrictivo respecto a la configuración final, va a servir para estudiar los efectos de este tipo de conexiones.

La Fig.5.32 muestra las TF obtenidas con este prototipo, comparando el caso estándar en azul (sin conexión a tierra de la estructura), y el caso de conexión a tierra en un punto al final de la placa de refrigeración, en naranja.

Para este caso concreto se observa una resonancia en 25MHz que aumenta de forma drástica y puntual la sensibilidad al ruido en modo común. Los resultados para el resto de las frecuencias en CM y para el modo diferencial son prácticamente iguales en los dos casos.

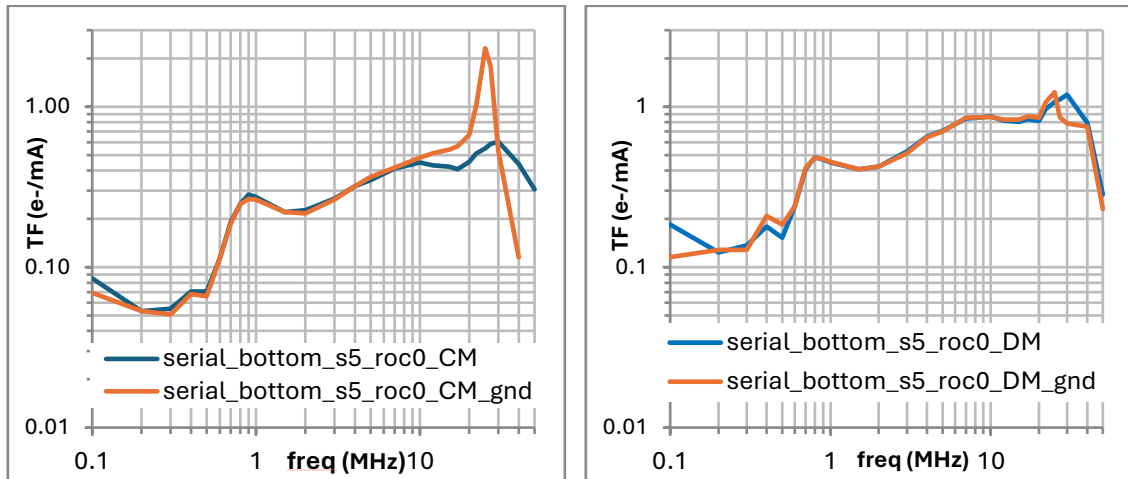


Fig.5.32. Efectos de la conexión a tierra del bloque de refrigeración

Como ya se ha comentado, añadir puntos extra de conexión a la tierra de referencia, puede generar nuevos caminos de circulación para la corriente de modo común en determinadas frecuencias. Con los resultados obtenidos se concluye que estos puntos de unión tienen un efecto mínimo sobre la sensibilidad al ruido, y únicamente en el rango de frecuencias altas se puede observar alguna resonancia que afecte negativamente al rendimiento del detector. Por ello, se plantea retomar estos estudios cuando se disponga de un prototipo con la estructura de materiales del detector final, para analizar en detalle las posibles conexiones de tierra y mitigar al máximo estas posibles resonancias.

### 5.3.5. Filtrado de interferencias RF a nivel de módulo y de sistema

La combinación de la topología de alimentación híbrida con los chips de lectura RD53A ha demostrado ser un sistema robusto y con baja sensibilidad al ruido conducido. Sin embargo, todavía pueden surgir problemas imprevistos o ser necesario aumentar la inmunidad al ruido para alcanzar un rendimiento óptimo del detector. Por esta razón, se decidió estudiar los posibles filtros que se podrían implementar en el detector y evaluar su efecto y rendimiento en un prototipo de varios módulos. Para este estudio, se utilizó el prototipo mostrado en la Fig.5.29, que incluye un sistema en serie de 3 módulos HDI 2x2. Como en estudios anteriores, las mediciones se realizaron exclusivamente sobre el HDI s5 y el chip #0 para evitar la influencia de otras variables o tolerancias, moviendo el módulo a distintas posiciones dentro de la cadena en serie.

Tras un análisis de las condiciones y requisitos del diseño del HDI, se concluyó que la única opción viable de filtrado era el uso de condensadores cerámicos. No se pueden utilizar elementos con núcleos magnéticos debido a que operan

en un entorno con densidades de campo magnético de hasta 4T, lo que saturaría cualquier material. Tampoco se pueden emplear resistencias para formar filtros R-C, ya que las líneas manejan baja tensión y corriente relativamente alta, lo que introduciría pérdidas significativas en el sistema. Por lo tanto, la solución se limita al uso de condensadores de pequeño tamaño para minimizar el incremento de material.

Los esquemas de la Fig.5.33 presentan cortes transversales simplificados del HDI, los cuales son muy útiles para entender la estructura de diseño de tres capas del HDI, la posición de los condensadores de desacoplo y la conexión en serie de varios HDI. En estos esquemas, lin representa la entrada de cada HDI y GND la referencia local. Iret se utiliza para el retorno de la corriente de toda la cadena en serie a través de los propios HDI, eliminando la necesidad de un conductor externo. Iret está conectado a la referencia "global" o GND".

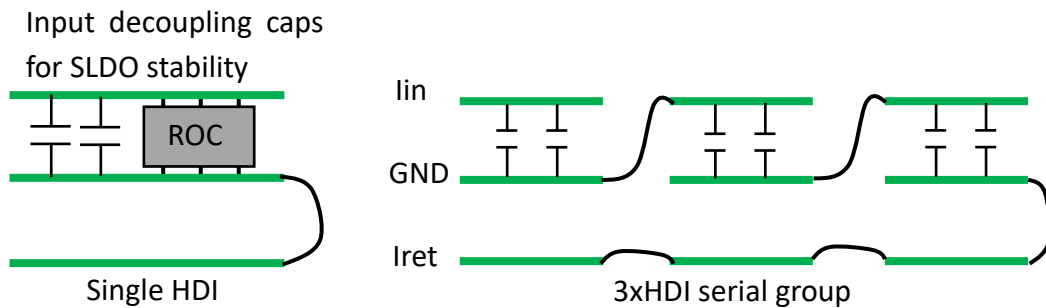


Fig.5.33. Corte esquemático del diseño a 3 capas de un HDI

Los condensadores del esquema representan a los condensadores de desacoplo necesarios para que el SLDO funcione de forma estable, por lo que se consideran elementos fijos ya que su valor está definido y no se puede modificar. Estos condensadores funcionan como filtro de forma local, pero no tienen ningún efecto a nivel de sistema. Se plantea entonces la posibilidad de incorporar condensadores que actúen como filtro a nivel de sistema, conectados entre Iret.y GND o entre Iret e lin. En la Fig.5.34 se han añadido en azul los condensadores de filtrado en todos los módulos, y en rojo el recorrido que realiza la corriente de ruido inyectada a lo largo de la cadena serie.

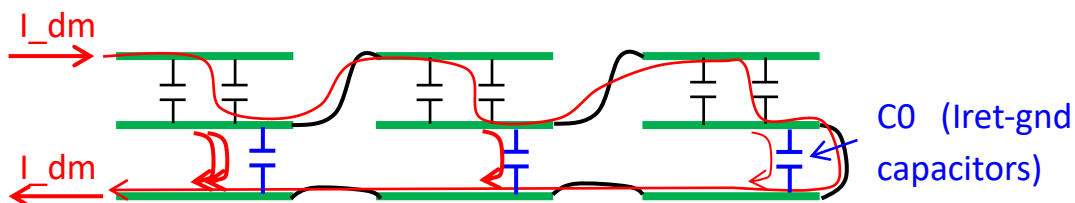
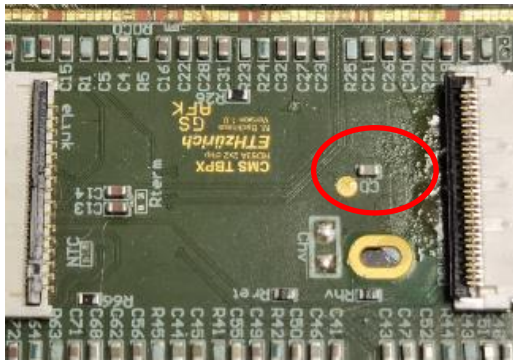
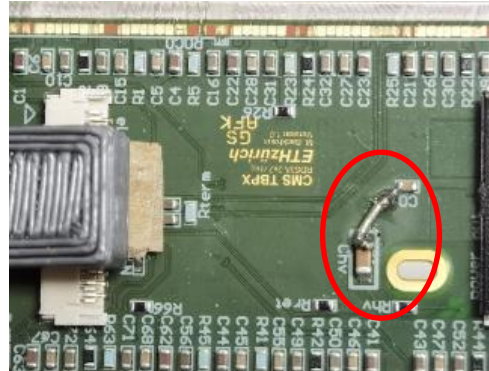


Fig.5.34. Corte esquemático que muestra la integración de condensadores de filtrado y recorrido de la corriente ruido conducido

Para estudiar el efecto del condensador de desacoplo a nivel de sistema, se incluyó el condensador C0 en el diseño del HDI 2x2. Idealmente, desde la perspectiva del filtrado, C0 debería montarse entre Vin e Iret y lo más cercano posible a la entrada. Sin embargo, durante la fase de prototipado del sistema, se conectó entre GND e Iret para facilitar su montaje.



C0 not connected



C0 connected to GND

Fig.5.35. Montaje de condensador de filtrado C0 en prototipo

En este prototipo, el condensador C0 está por defecto montado con un extremo conectado al plano Iref, y el otro extremo conectado a un pad circular al aire, como se puede apreciar en la Fig.5.35. Este pad es utilizado para tener una conexión flexible de C0 a la línea que se desee. En este caso, el pad se conecta a GND de la forma más directa posible, que es a través del pad del condensador Chv que se encuentra al lado de C0.

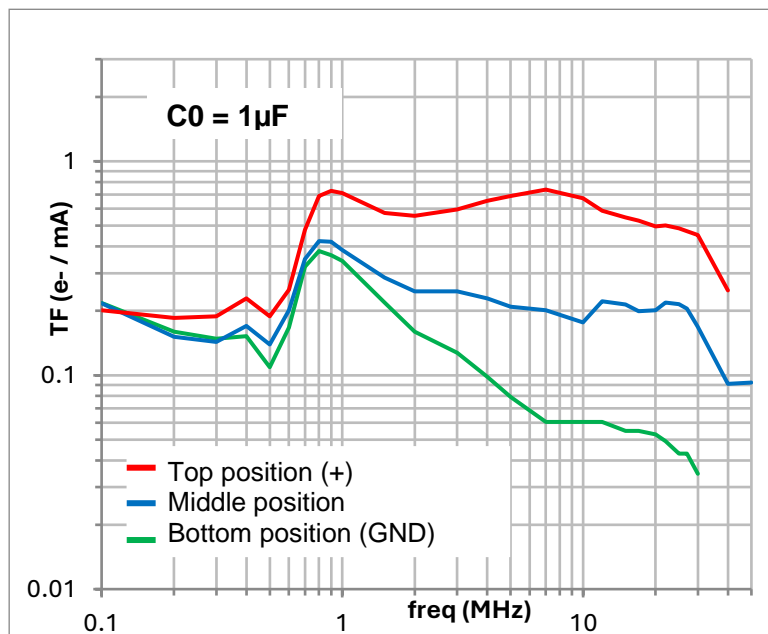


Fig.5.36. Resultados de TF para condensadores de filtrado C0 de 1µF en un prototipo serie de 3 HDI 2x2

La Fig.5.36 muestra los resultados de las funciones de transferencia medidas en cada una de las posiciones de la cadena serie (*top*, *middle* y *bottom*) con el condensador C0 montado y conectado en los 3 módulos. Se puede ver que el efecto del condensador reduce drásticamente la sensibilidad de los chips cuanto más nos alejamos de la posición TOP

En la Fig.5.37 se comparan las TF en la posición “bottom” para distintos valores de condensador de filtrado. Es una medida importante para conocer el rango de frecuencias en que van a ser más efectivos estos condensadores, en este diseño concreto de HDI. En caso de necesitar filtrar todo el rango de frecuencias estudiado, será necesaria una capacidad mayor de 1 $\mu$ F.

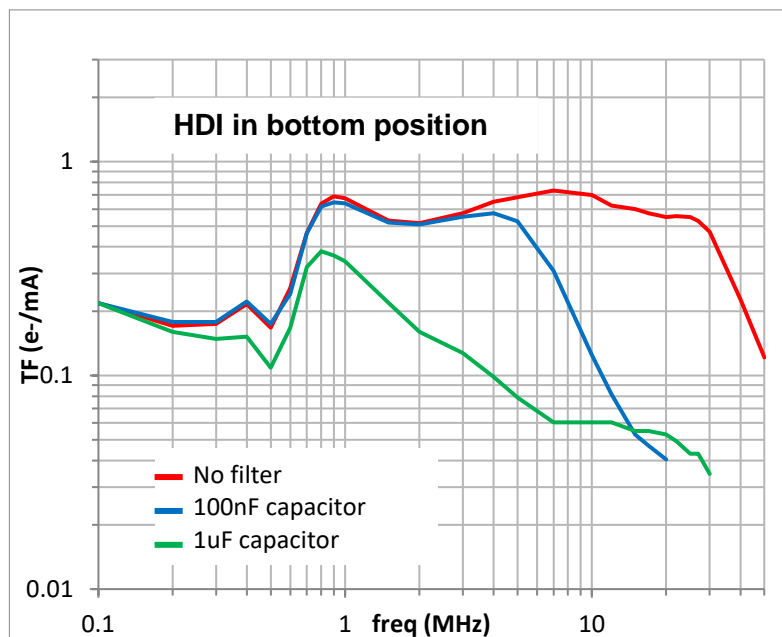


Fig.5.37. Resultados de TF para distintos valores de condensador de filtro C0 en un prototipo serie de 3 HDI 2x2

A pesar de disponer de muy pocas opciones de filtrado, únicamente capacitivo, estos resultados muestran que existe gran potencial de mejora de la TF en caso de que se observe una clara necesidad. Estos filtros se pueden prever e integrar tanto en el diseño de los HDI como en los adaptadores de conexiones previos, y ajustar su valor en las fases finales de desarrollo e integración justo antes de la instalación final en el experimento. Como conclusión de este estudio, se ha decidido implementar en el diseño final del HDI este condensador de desacoplo a nivel de sistema.

## *5.4. Niveles de ruido compatibles con el detector de píxeles de CMS.*

En el contexto de las fuentes de alimentación, los convertidores DC/DC desempeñan un papel fundamental. Sin embargo, generan ruido de alta frecuencia que se acopla a través de los cables y puede afectar al sistema. Para garantizar el rendimiento óptimo del detector, es primordial establecer límites de emisión compatibles con la electrónica del Front-End analógico. El objetivo último del trabajo realizado en este capítulo es el de definir unos límites de ruido conducido máximo a la entrada del detector, de forma que afecte lo menos posible a su rendimiento. Aunque no existen normativas específicas para detectores de píxeles, ya que son instalaciones singulares, se pueden definir límites internos basados en todos los estudios de caracterización que se han realizado previamente. Esta metodología se basa por tanto en trabajos anteriores como [5-9] [5-10].

El hecho de haber realizado una caracterización completa del detector de forma individualizada frente al ruido en modo común y diferencial nos va a permitir definir unos límites más precisos de ruido conducido presente en la alimentación del sistema, que asegure mínimos efectos sobre éste.

De igual modo y de forma inversa, midiendo el perfil de ruido en la alimentación en prototipos finales del detector, se puede estimar de forma precisa el efecto que tendrá sobre el front-end analógico aplicando las funciones de transferencia obtenidas en este trabajo.

Para estimar un perfil de ruido límite, se utiliza la inversa de las funciones de transferencia obtenida previamente. Este perfil emula armónicos de baja y alta frecuencia provenientes de fuentes de alimentación y otros sistemas. En resumen, se busca establecer límites internos para acotar el acoplamiento de ruido hacia el FE analógico y garantizar el correcto funcionamiento del detector de píxeles.

Para determinar estos límites se van a utilizar los datos obtenidos con el prototipo más próximo al sistema final que se ha podido ensayar hasta la fecha, y que debería ser por tanto el caso más representativo. El prototipo en cuestión se compone de 3 módulos HDI 1x2 de chips RD53A y sensores 3D, conectados en serie sobre una placa disipativa con refrigeración líquida, como se muestra en la Fig.5.38.

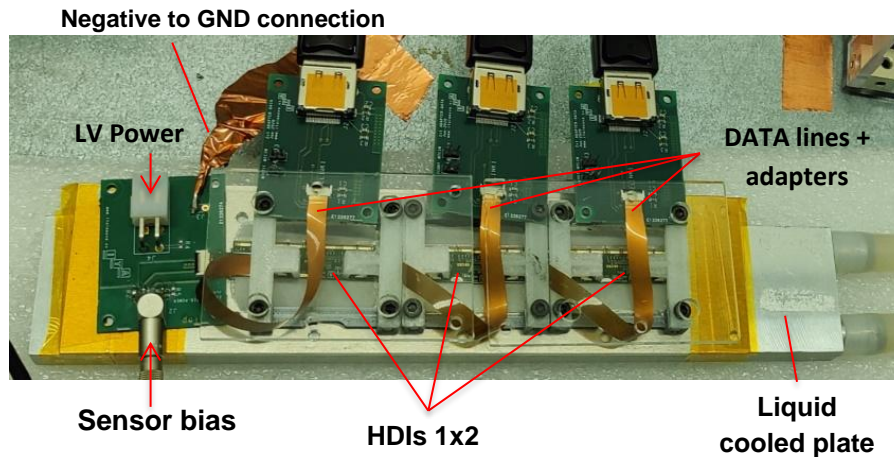


Fig.5.38. Foto del prototipo referencia final.

En el esquema de Fig.5.39 se puede ver con mayor detalle el montaje de los distintos elementos del sistema. Los tres módulos conectados en serie van montados sobre una placa de refrigeración de aluminio (*Cooling Plate*), por medio de una fina lámina de material cerámico aislante eléctrico, que a su vez hace la función de interfaz térmica para una buena disipación energética.

La conexión al plano de referencia (GND) del terminal negativo de alimentación, se realiza justo a la entrada del detector. En este caso, la estructura de refrigeración está aislada de GND, pero como se ha observado en el apartado anterior, este punto no supone un elemento crítico para la sensibilidad del sistema, y solo puede generar pequeñas diferencias en alta frecuencia.

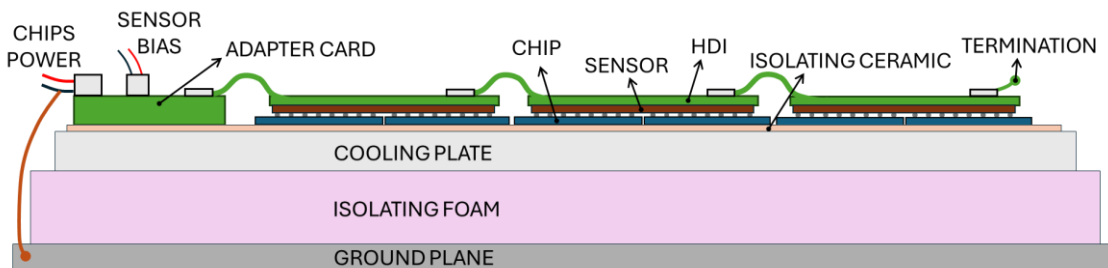


Fig.5.39. Esquema detallado de las capas del prototipo final.

En la Fig.5.40 se muestra la función de transferencia de los dos chips del módulo en la posición TOP, que es la más próxima a la tarjeta adaptadora. Esta sería la posición más restrictiva o peor caso para este prototipo, ya que este diseño de HDI integra un pequeño filtro de modo común cerca del conector de entrada, y por tanto el primer módulo sería el menos filtrado. Los chips están numerados como #4 y #5 según se vio en Fig.5.23.

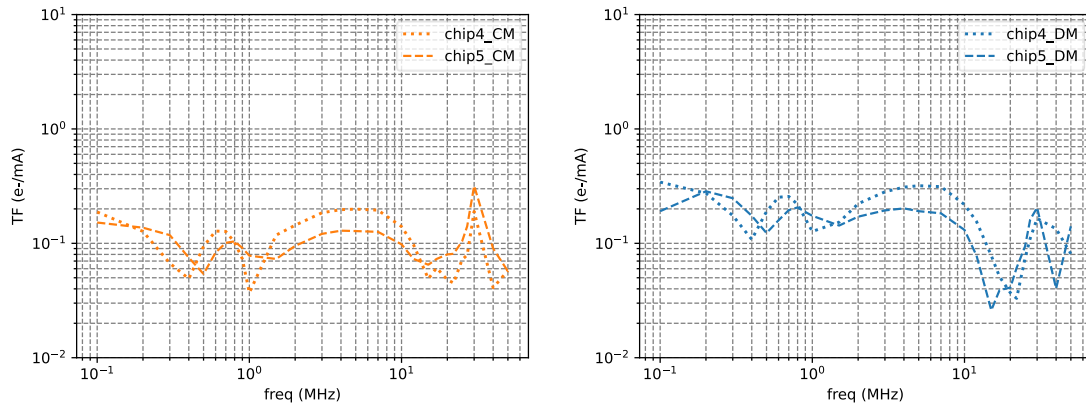


Fig.5.40. Función de transferencia del prototipo referencia final

Combinando los valores máximos de las TF de los dos chips se obtiene la función de transferencia de Fig.5.41. Estas TF contienen los valores máximos de sensibilidad del prototipo, por lo que se puede considerar el caso más restrictivo posible. De esta forma se cubren los niveles de sensibilidad de cualquier chip situado en la cadena serie del sistema.

A partir de estas funciones de transferencia se va a generar una especificación de límites máximos de ruido conducido, tanto en modo común como en diferencial, a la entrada del detector.

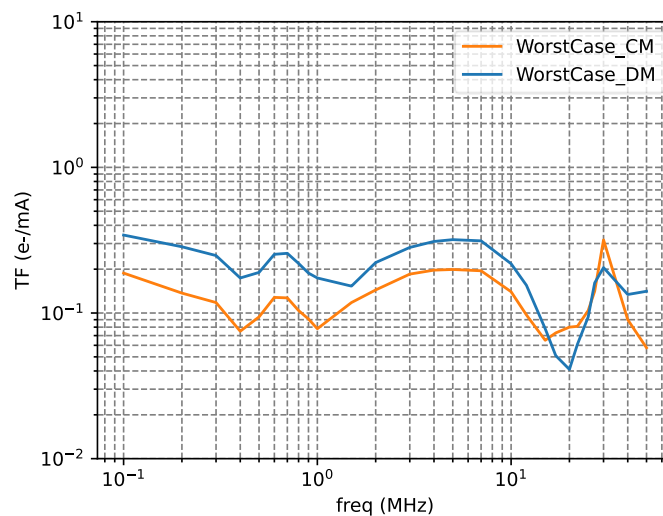


Fig.5.41. Función de transferencia para peor caso de CM y DM

Estos límites presentarán una forma inversa a la TF. De este modo, el límite será más estricto para los rangos de frecuencia más sensibles y más permisivo para las frecuencias menos afectadas por el ruido. Además de la TF, para generar este límite, se necesita previamente definir un perfil de fuente de ruido, es decir, necesitamos una fuente de ruido artificial de referencia. Para ello, se ha asumido un perfil de ruido compuesto por dos tipos de armónicos. Por un lado, a frecuencias inferiores a 10 MHz con presencia de armónicos múltiplos de 100 kHz y, por otro lado, por encima de frecuencias superiores a 10 MHz con

presencia de armónicos múltiples de 1 MHz. Este perfil de ruido trata de emular los armónicos que pueden aparecer en los cables de entrada al FE debido a la frecuencia de conmutación de las fuentes de alimentación (bajas frecuencias) o bien cualquier ruido que provenga de otros sistemas asociados a electrónica digital, relojes o transiciones electrónicas bruscas (alta frecuencia).

Para obtener unos límites más manejables y que se puedan aplicar con mayor facilidad, se procesa ligeramente la función de transferencia. Se le aplica un ajuste de suavizado, precisamente para evitar que los cambios bruscos presentes en la TF se plasmen directamente sobre los límites. En la Fig.5.42 pueden verse, a la izquierda, las funciones de transferencia de modo común y modo diferencial con su curva de ajuste, y a la derecha, los límites generados a partir de la inversa de la TF. Los límites se muestran en dB $\mu$ A siguiendo las unidades empleadas típicamente en normativa de emisión conducida.

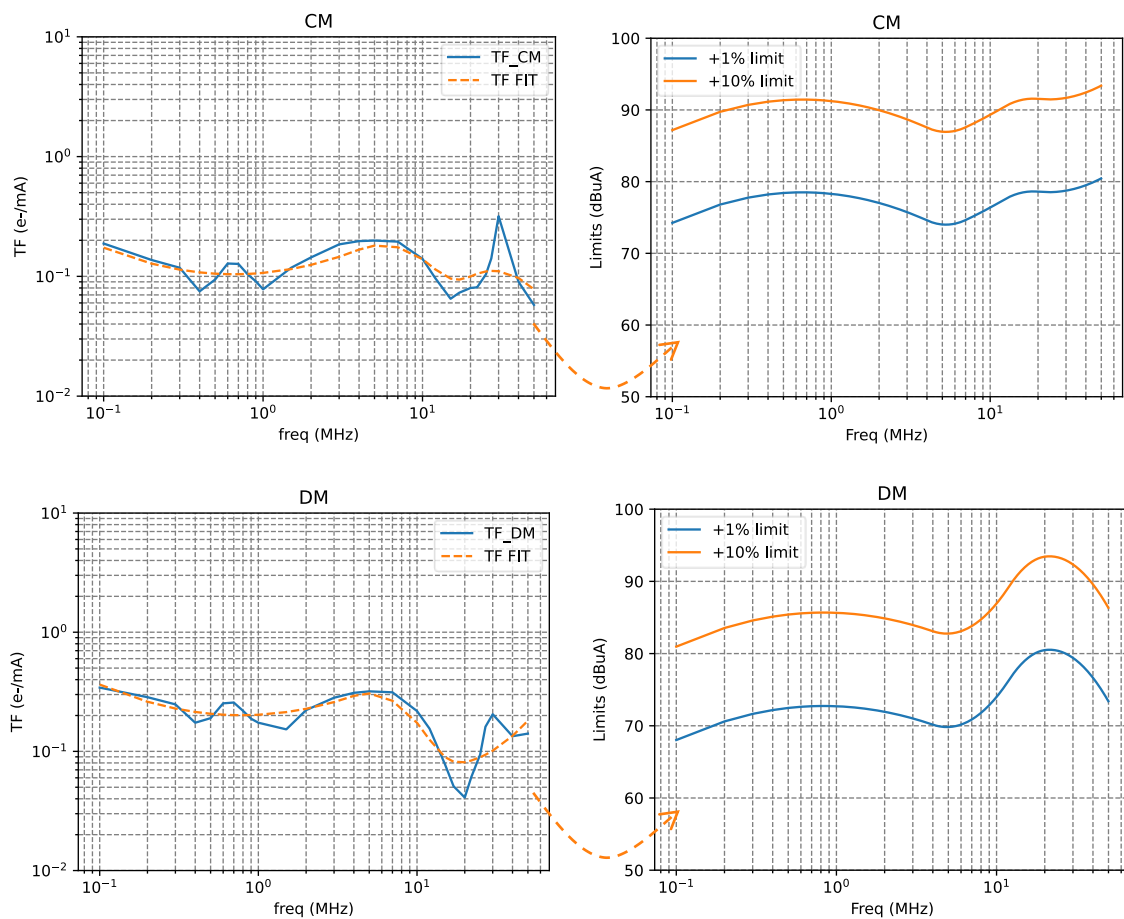


Fig.5.42. Límites de ruido a la entrada del detector para un incremento del ENC del 1% y 10%, para modo común (CM) y modo diferencial (DM)

Se muestran dos límites que indican el porcentaje de incremento del ENC del detector sobre una base ENC de referencia de 100 electrones, que es un valor típico de los chips RD53 con sensores. Por tanto, el límite del 1% indica que, si las amplitudes de los armónicos presentes a la entrada del detector se sitúan

justo a la altura del límite marcado, la ENC aumentará en un electrón o un 1%. Siempre asumiendo una fuente de ruido de referencia con el contenido armónico que se ha comentado anteriormente, con múltiplos de 100kHz y de 1MHz. Del mismo modo, el límite naranja del 10%, indica un incremento de 10e o del 10% de la ENC.

A modo meramente informativo, se ha realizado una comparativa (ver Fig.5.43) entre los límites del 1% obtenidos en la caracterización de este prototipo, con los requisitos de emisiones conducidas de una normativa de producto bastante común, la EN 55032:2015 para equipos multimedia. Esta norma establece unos límites de emisión conducida en valor de cuasi-pico para corriente en modo común. Se muestran dos niveles dependiendo del entorno de aplicación, Clase A y Clase B, siendo esta última la más restrictiva.

Desde un punto de vista lógico y de sentido común, se podría pensar que los límites de ruido a la entrada de un detector deberían ser menores que los aplicables a electrónica de consumo, ya que los requisitos de sensibilidad y precisión necesarios para las mediciones de física de altas energías son muy exigentes. Sin embargo, se puede observar que los límites obtenidos para el detector son mucho más elevados que el límite de Clase A, y por tanto mucho menos restrictivos, que los establecidos en las normas de equipos multimedia comunes.

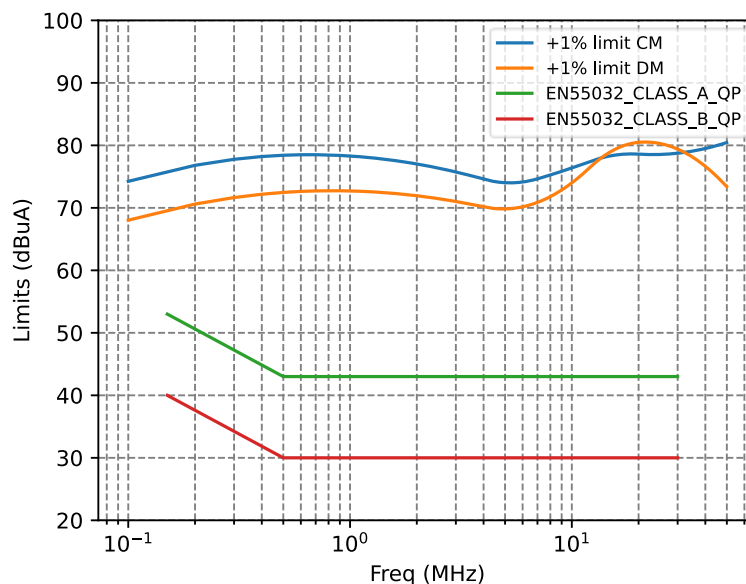


Fig.5.43. Comparativa de límites obtenidos con límites de norma EN55032:2015

Este es un punto realmente muy positivo, ya que permite cuantificar de una forma sencilla lo robusto que es este detector frente al ruido conducido. El sistema de alimentación híbrido serie-paralelo, junto al HDI, el FEE de RD53A y el regulador

SLDO integrado en el propio chip, demuestran ser una combinación óptima para evitar que el ruido conducido afecte al rendimiento del detector.

## 5.5. Conclusiones

En este capítulo se han abordado de manera exhaustiva los desafíos relacionados con la inmunidad y el control de interferencias de radiofrecuencia (RF) en un sistema de alimentación híbrido, en el contexto del detector de píxeles de CMS para la fase II. A través de una metodología rigurosa y detallada, se ha evaluado la susceptibilidad al ruido electromagnético conducido, tanto a nivel de ASIC como a nivel de sistema, desde las primeras fases de diseño del detector. Esto ha permitido implementar las mejoras detectadas a lo largo del desarrollo del mismo.

El estudio comparativo de las tres topologías de FE (Síncrona, Lineal y Diferencial) del chip RD53A reveló que la topología diferencial es la más robusta frente al ruido en todo el rango de medición. Las topologías síncrona y lineal mostraron diferentes comportamientos en respuesta al ruido, con la topología síncrona destacándose en bajas frecuencias y la lineal en altas.

Los resultados indicaron que el hecho de montar un sensor sobre el chip RD53A tiene un efecto mínimo en su sensibilidad al ruido conducido. Sin embargo, en los prototipos basados en HDIs, el montaje del sensor puede ayudar a mejorar la inmunidad al ruido al incrementar la separación entre el FE y el HDI, además de proporcionar un efecto de apantallamiento. La inclusión de sensores entre el chip y el HDI mostró beneficios en términos de reducción de acoplamiento de ruido.

La presencia del regulador SLDO en los chips RD53A demostró ser eficaz como un filtro activo integrado en el propio chip, mejorando la inmunidad al ruido conducido sin necesidad de filtros pasivos voluminosos. La configuración óptima del regulador SLDO y su respuesta en frecuencia fueron analizadas y optimizadas para reducir la susceptibilidad al ruido.

Los estudios a nivel de sistema, incluyendo la disposición de los módulos HDI y la cadena en serie, subrayaron la importancia del diseño del layout y la conexión a tierra para minimizar la sensibilidad al ruido. El uso de condensadores de filtrado a nivel de sistema fue identificado como una estrategia efectiva y de baja cantidad de material para mejorar la inmunidad al ruido.

Se establecieron límites de emisión de ruido compatibles con la electrónica del Front-End, asegurando un rendimiento óptimo del detector en condiciones operativas reales.

Los estudios realizados han permitido desarrollar una comprensión profunda de cómo el ruido electromagnético afecta al sistema de alimentación híbrido del detector de píxeles. La metodología empleada y los resultados obtenidos han sido cruciales para optimizar el diseño de los módulos HDI, mejorar la inmunidad al ruido y asegurar la estabilidad del sistema. Estos hallazgos no solo contribuyen al éxito del detector de píxeles de CMS, sino que también proporcionan una base sólida para futuros desarrollos en tecnologías de detección de partículas. En resumen, el trabajo realizado ha demostrado la eficacia de una estrategia integral que abarca desde el diseño inicial del chip hasta la integración final del sistema, garantizando un detector robusto y confiable para las futuras generaciones de experimentos en el CERN.

## *5.6. Referencias*

- [5-1] F.Arteche, C. Rivetta and F. Szoncsó. “Noise immunity analysis of the Forward Hadron Calorimeter FEE”. Proceedings of 8<sup>th</sup> Workshop on Electronics for LHC Experiments – LECC 2002, ISBN: 92-9083-202-9 Vol 1, pp 197-202, <https://doi.org/10.1109/ISEMC.2003.1236695>
- [5-2] F. Arteche, F.J. Arcega, C. Esteban, C. Rivetta, M. Iglesias. “Detector noise susceptibility issues for the future generation of High Energy Physics Experiments”. Proceedings 13<sup>th</sup> International Topical Workshop on Electronics for Particle Physics (ISBN: 97-892-9083324-6), Vol1, pp 533-538. September 2008
- [5-3] F. Arteche, C. Rivetta. “EM Immunity studies for front-end electronics in high-energy physics experiments”. ISBN-90-6144-990-1. Proceedings International Symposium on EMC - EMC Europe 2004, <https://doi.org/10.1109/ISEMC.2003.1236695>
- [5-4] MIL-STD-461G, 11 December 2015. Requirements for the control of electromagnetic interference characteristics of subsystems and equipment (United States Military Standard)
- [5-5] F. Arteche, C. Rivetta. “EMC Phenomena in HEP Detectors: Prevention and Cost Savings” SNIC Symposium, Standford, California. 3-6 April 2006.

- [5-6] M. Dass et al, "BDAQ53, a versatile pixel detector readout and test system for the ATLAS and CMS HL-LHC upgrades", NIMA Volume 986, 11 January 2021, 164721, <https://doi.org/10.1016/j.nima.2020.164721>
- [5-7] M. E. Dinardo et al, "The data acquisition system to test and characterise the pixel detector modules of the CMS inner tracker for the High Luminosity upgrade of LHC", IEEE NSS MIC (2021, Japan)
- [5-8] CMS Collaboration, "Beam test performance of prototype silicon detectors for the Outer Tracker for the Phase-2 Upgrade of CMS", Journal of Instrumentation, Volume 15, March 2020, <https://doi.org/10.1088/1748-0221/15/03/P03014>
- [5-9] M. Iglesias, "Caracterización electromagnética para la futura generación de detectores tipo vértice", Tesis Doctoral, Universidad de Zaragoza, 2019.
- [5-10] F. Arteché, "EMC: A Mapping for the CMS Experiment", Tesis Doctoral, Universidad de Oviedo, 2004, CERN Report: CERN-THESIS-2004-027, <http://cds.cern.ch/record/793178>



# *Capítulo 6:*

## *Diseño de HDI de baja masa, eficiente e inmune a transitorios*

---

En este capítulo se examina el diseño de los PCB flexibles, en los que se integran los chips de lectura y los sensores, comúnmente conocidos como HDI (*High Density Interconnect*). Estas placas de circuito impreso se distinguen por una mayor densidad de cableado, espacios más pequeños, vías más finas y, en general, una mayor densidad de conexiones en comparación con las PCB convencionales. Sin embargo, estas ventajas de integración traen consigo mayores desafíos en el diseño y la fabricación.

Los HDI son fundamentales en el diseño de detectores, especialmente debido a las exigentes condiciones ambientales, como altos niveles de radiación ionizante y campos magnéticos intensos. Estas condiciones imponen severas restricciones en su diseño y exigen la implementación de soluciones ingeniosas que aborden los aspectos críticos relacionados con los HDI, tales como la distribución de la alimentación y la disipación de energía, la reducción de elementos parásitos en la capacidad de desacople, el diseño de las líneas de comunicación de alta frecuencia y la resistencia al ruido conducido.

El diseño de los HDI se articula con los capítulos anteriores, permitiendo que los resultados obtenidos, tanto en estudios de transitorios como en la caracterización del ruido conducido, sirvan como base fundamental para desarrollar, mejorar y optimizar este diseño al máximo.

## 6.1. Diseño y optimización de módulos HDI

En estos estudios, se analiza el diseño de los HDI en el detector de píxeles de CMS, específicamente en la sección conocida como TBPX (*Tracker Barrel Pixel*). Como se explicó en el capítulo 2, esta es la parte del detector más cercana al punto de interacción de las partículas, y está formada por cuatro capas de cilindros concéntricos. Cada una de estas capas tiene un diseño de HDI adaptado a sus características y geometría únicas.

Para las dos capas internas del TBPX, se utilizarán módulos de dos chips (*double-module*), denominados HDI 1x2. En las dos capas externas, en cambio, se emplearán módulos de cuatro chips (*quad-module*), conocidos como HDI 2x2. Esta configuración se adopta para maximizar la cobertura de superficie del detector. Dado que los cilindros internos tienen un radio más pequeño, es necesario emplear módulos más compactos que se adapten perfectamente a la geometría del detector. Por su parte, los cilindros externos, que presentan menos restricciones, permiten el uso de módulos 2x2, que son de tamaño estándar y simplifican tanto el montaje como las conexiones externas.

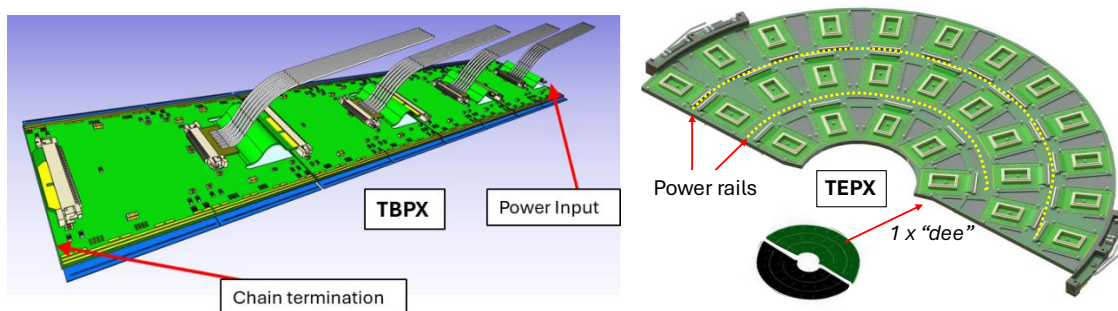
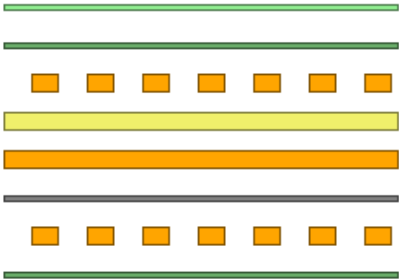


Fig.6.1. Distribución de alimentación de chips en el barrel (TBPX) y en los discos (TEPX)

El caso de la distribución de potencia de los HDIs del TBPX es ligeramente diferente al de los demás. Para conseguir un montaje más simple y compacto, la conexión en serie de los distintos módulos se realiza a través de una lengüeta (*pig-tail*) integrada en el propio HDI. De esta forma se evita la necesidad de añadir cableado o elementos extra para realizar las conexiones, que puede dificultar tanto el montaje como su fiabilidad. En el caso de las estructuras de discos del detector (TEPX y TFPX), no es posible esta conexión debido a la disposición de los módulos de forma radial en los *dees*, por lo que es necesaria una PCB de interconexión externa para distribuir la alimentación. Ver Fig.6.1.

Gracias a integrar la distribución de las líneas de potencia en el propio HDI, el diseño de los módulos del TBPX ofrece una solución más compacta y confiable. No obstante, este enfoque trae consigo un complejo desafío: la distribución de corriente se gestiona completamente a través de los HDI, lo que requiere una

mayor cantidad de cobre y una mayor disipación de potencia dentro del módulo. Con este reto en mente, se desarrolló un diseño inicial en colaboración con GS Swiss PCB, un fabricante con vasta experiencia en la producción de HDI de baja masa para otros detectores. GS Swiss PCB fue el único centro en el mundo que disponía de la tecnología necesaria para fabricar estos módulos. El objetivo fue crear un diseño compacto que cumpliera con todas las exigencias utilizando el menor número de capas posible. Con un diseño inicial a tres capas de 10 $\mu$ m, donde se dedica la capa superior a la corriente de entrada, la capa inferior a la referencia de GND local del módulo, y la capa interna para el retorno de corriente, se consiguió un HDI ultra-compacto de unos 100 $\mu$ m de espesor. En la Fig.6.2 se muestra el detalle de capas del prototipo.



	Layer Name	Type	Material	Thickness (mm)
<input checked="" type="checkbox"/>	Top Overlay	Overlay		
<input checked="" type="checkbox"/>	Top Solder	Solder Mask/Co...	Surface Material	0.01
<input checked="" type="checkbox"/>	Top Layer	Signal	Copper	0.01
<input checked="" type="checkbox"/>	Dielectric 1	Dielectric	Core	0.037
<input checked="" type="checkbox"/>	Internal Plane 1	Internal Plane	Copper	0.01
<input checked="" type="checkbox"/>	Dielectric 2	Dielectric	Film	0.012
<input checked="" type="checkbox"/>	Bottom Layer	Signal	Copper	0.01
<input checked="" type="checkbox"/>	Bottom Solder	Solder Mask/Co...	Surface Material	0.01

Fig.6.2. Detalle de capas del HDI-TBPX-RD53A

La mayor parte de los estudios que se realizan en este capítulo están dedicados a HDIs con chips RD53A, que tienen un tamaño y consumo algo menores que los chips con el formato final, RD53B (CROC\_v1) y RD53C (CROC\_v2). Sin embargo, todas las soluciones desarrolladas mediante este proceso están siendo aplicadas a las versiones finales, lo que constituye el primer diseño de un PCBflex en el que aspectos de EMC, integridad de señal y potencia son tenidos en cuenta de forma simultánea durante la fase de diseño.

## 6.2. Diseño y optimización de líneas de potencia

Las líneas de potencia presentan varios aspectos críticos que deben ser considerados. El objetivo principal para un diseño óptimo es lograr un equilibrio entre la disipación de potencia y la cantidad de material utilizado, lo que implica ajustar la cantidad de cobre tanto como sea posible. Además, es crucial optimizar el enrutamiento y trazado de estas líneas para alcanzar la máxima eficiencia con una cantidad determinada de material, asegurando una distribución uniforme de la potencia disipada y evitando la formación de puntos calientes. Para sistemas serie alimentados en corriente, es vital mantener una buena simetría entre las líneas de entrada de alimentación de cada chip, asegurando que la impedancia

de la red de alimentación sea lo más uniforme posible para evitar distribuciones de corriente desiguales y la generación de transitorios no equilibrados.

Dado que no existían requisitos específicos sobre la potencia disipada por el HDI, se establecieron valores que el sistema de refrigeración pudiera manejar. Se determinó que el máximo permitido fuese el 10% de la potencia nominal de los chips del módulo, con un valor recomendado del 5%, como se indica en la Tabla 6.1.

Tabla 6.1. Especificaciones de potencia disipada por los HDI-TBPX-RD53A

	$I_{in}$ (A)	$V_{in}$ (V)	P (mW)	10% P (mW)	5% P (mW)
HDI RD53A 2x2	5	1.5	7500	750	375
HDI RD53A 1x2	2.5	1.5	3750	375	187

### 6.2.1. Disipación, densidad de corriente y cantidad de material

El primer aspecto que se ha optimizado es la disipación de potencia en el HDI para evitar la formación de puntos calientes. Para ello, se han desarrollado modelos de elementos finitos (FEM) en Ansys Siwave. Estos modelos 3D han permitido determinar con precisión la distribución de corriente y la potencia disipada en el HDI, utilizando los archivos de fabricación generados con software de diseño de PCB, como Altium o Cadence.

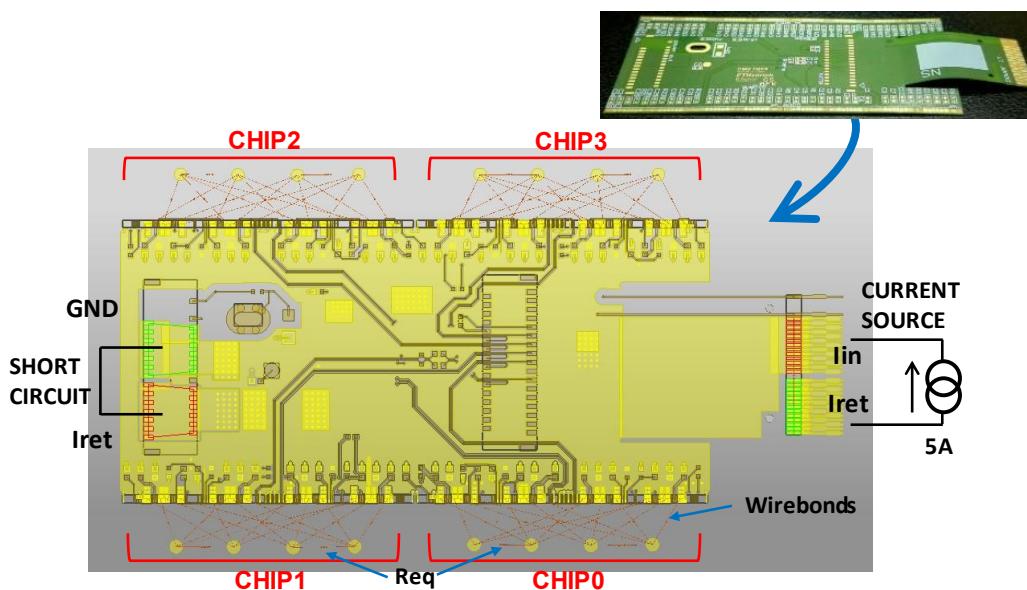


Fig.6.3. Modelo Ansys de HDI-TBPX 2x2 para simulación de líneas de alimentación

Para simular el modelo, es esencial agregar elementos auxiliares clave, como se muestra en la Fig.6.3. En un circuito de alimentación en serie, se deben incluir tanto la fuente de corriente como la terminación. Un módulo 2x2 requiere un total de 5 A y un módulo 1x2, 2,5 A, considerando el consumo típico de 1,25 A por chip RD53A. La terminación se modela con una resistencia de pocos miliohmios para cerrar el circuito. Además, es necesario simular la carga de los chips. Cada regulador SLDO puede modelarse como una resistencia equivalente ( $R_{eq}$ ) sin tener en cuenta el voltaje de offset en la simulación del HDI. Así, cada chip se representa mediante dos resistencias simples: una para el dominio digital y otra para el dominio analógico.

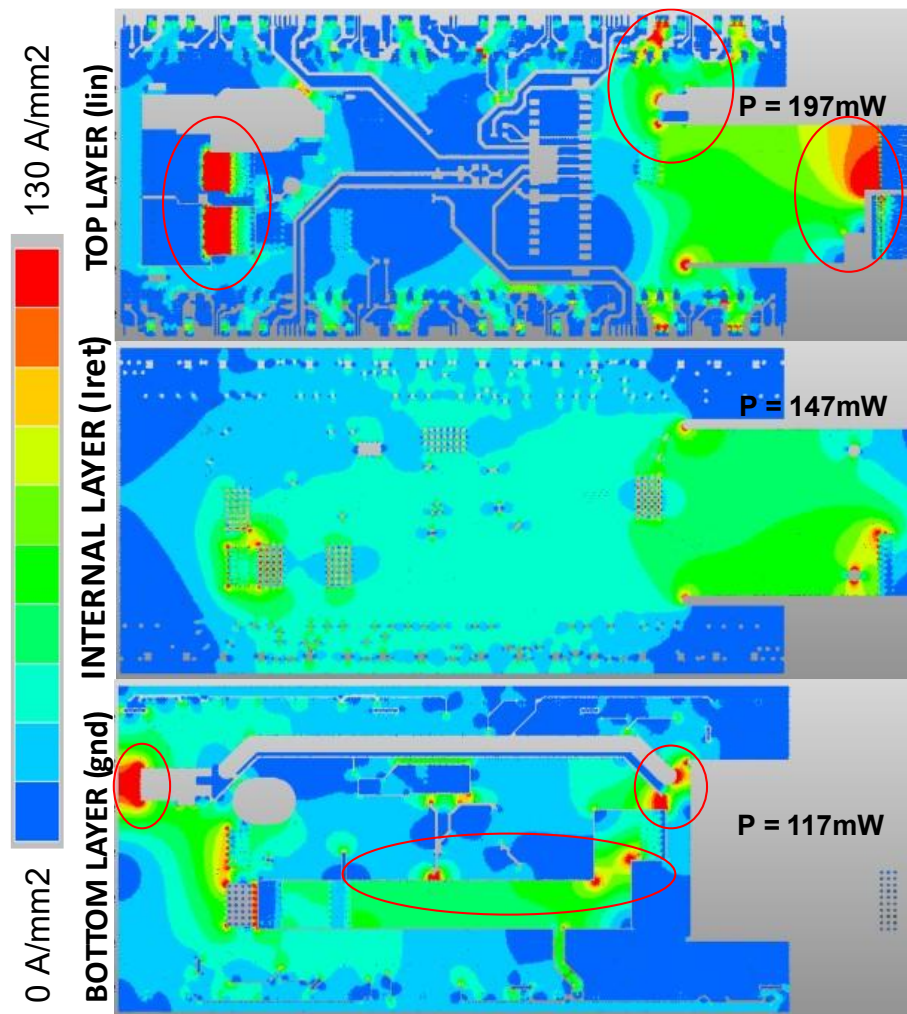


Fig.6.4. Resultados de densidad de corriente en HDI-TBPX-RD53A 2x2 V1

Es fundamental definir con precisión las cargas y su conexión, ya que una configuración incorrecta puede causar variaciones significativas en la distribución de corrientes a través del HDI, lo que podría conducir a resultados erróneos. Por este motivo, se ha desarrollado un modelo lo más detallado posible, en el que cada chip se representa mediante dos resistencias equivalentes ( $R_{eq}$ ) conectadas a los *pads* del HDI a través de los micro-cables

de conexión (*wirebonds*). Estas conexiones se modelan utilizando una resistencia basada en las especificaciones de longitud, sección y número de cables por “pad”.

En la Fig.6.4 se presentan los mapas de calor que muestran la densidad de corriente en las diferentes capas del HDI 2x2, así como su potencia total disipada. Aunque es complejo evaluar la calidad de un diseño solo a partir de los valores absolutos de densidad de corriente, este parámetro es extremadamente útil para visualizar áreas con concentración excesiva de corriente o puntos calientes (*hot spots*). Es importante identificar estos puntos, ya que pueden generar pequeñas diferencias de temperatura a lo largo del módulo, y afectar al funcionamiento de los chips o los sensores.

A partir de estos resultados se identificaron varios puntos calientes en las capas superior e inferior, debido principalmente a pistas o planos excesivamente estrechos en algunas zonas, y a distribución de vías no optimizada. Tras varias iteraciones de optimización del diseño, se llegó a la versión final que se muestra en Fig.6.5.

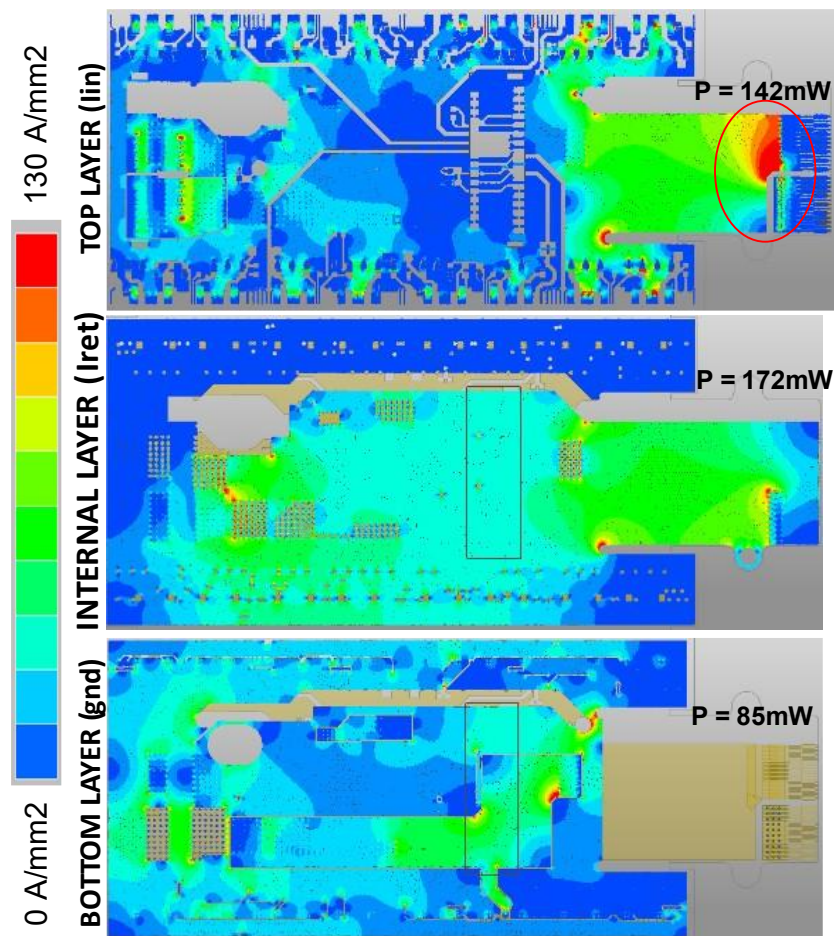


Fig.6.5. Resultados de densidad de corriente en HDI-TBPX 2x2 V4

Los resultados de este proceso de optimización muestran que excepto el punto caliente de la cara superior en la lengüeta de conexión, que con este diseño de capas no se puede mejorar, el resto de las concentraciones de corriente se han reducido drásticamente. Gracias a estas mejoras, no solo se reducen posibles puntos calientes que pueden generar diferencias de temperatura, sino que se consigue que la corriente se distribuya de forma óptima mejorando la disipación global del HDI. La capa interna ha empeorado ligeramente la disipación debido a la necesidad de cortar el plano para aumentar el aislamiento de las líneas de alto voltaje de polarización del sensor. Por esto, finalmente se ha aumentado levemente la disipación, pero también se ha reducido la cantidad de cobre, que es el material más denso que se utiliza en estas PCB.

Tabla 6.2. Resumen de disipación de potencia de las distintas versiones del HDI-TBPX-RD53A 2x2

lin (A)	P <sub>TOTAL</sub> (mW) V1 2018	P <sub>TOTAL</sub> (mW) V2 2019	P <sub>TOTAL</sub> (mW) V3 2019	P <sub>TOTAL</sub> (mW) V4 2020
3	166	155	146	144
4	295	276	260	256
<b>5</b>	<b>460</b>	<b>431</b>	<b>406</b>	<b>400</b>
6	662	620	585	576
8	1180	1103	1040	1024

En la Tabla 6.2 se muestra la evolución de la disipación total del HDI a lo largo de las distintas versiones que se han ido generando. Se destaca la disipación a la corriente nominal, y se añaden otros valores informativos. Se puede decir, que gracias a este estudio se ha conseguido reducir la disipación total en un 15% utilizando además menor cantidad de material respecto al diseño inicial.

Este tipo de estudios y metodología se han introducido como parte del proceso de diseño de otros HDIs para el detector de píxeles de CMS, como los HDI-TBPX-RD53A 1x2, o los más nuevos 2x2 y 1x2 basados en los chips de tamaño final, CROC\_v1 y CROC\_v2.

### 6.2.2. Simetría y distribución de corrientes

Como se ha mencionado anteriormente, desde la perspectiva de la entrada, el regulador SLDO puede ser modelado de forma simplificada como un diodo Zener, que representa la tensión de offset, en serie con una resistencia equivalente. Dado que en cada chip se integran dos reguladores conectados en paralelo, el chip en su conjunto puede ser representado mediante un circuito equivalente, considerando la resistencia resultante de la combinación en paralelo

de las dos resistencias individuales. Este modelo simplificado (Fig. 6.6) es fundamental para comprender las implicaciones del diseño del HDI en la distribución de las corrientes.

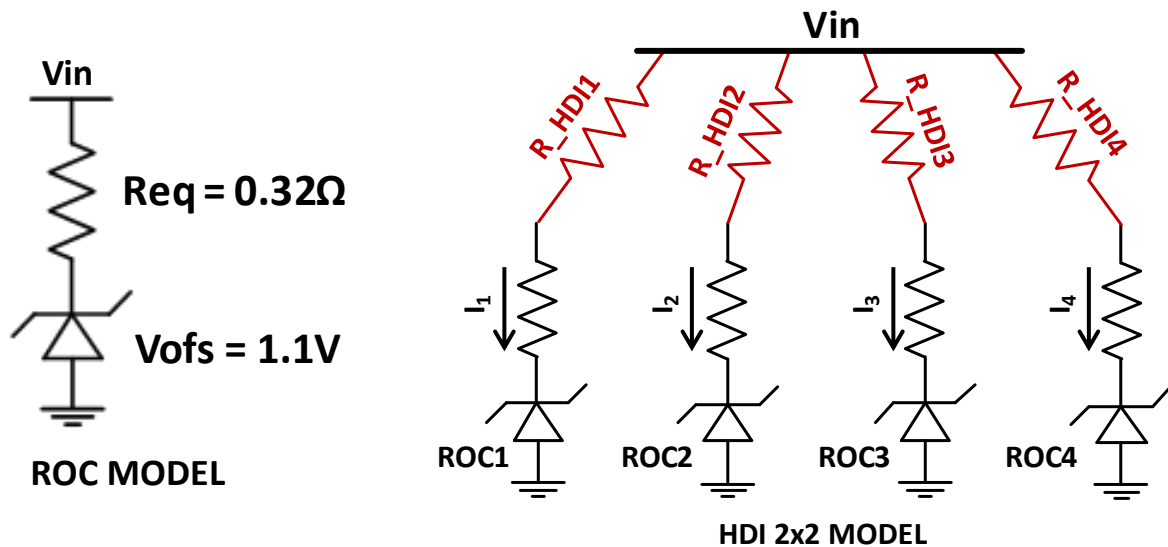


Fig.6.6. Modelos simplificados  $V_{ofs}$ - $R_{eq}$  de chip y de HDI 2x2

Para este estudio se ha definido una tensión de offset de 1.1V, una tensión  $V_{in}$  objetivo de 1.5V, y el consumo nominal de 1.25A por chip. Al ser alimentado en corriente, la tensión de entrada dependerá de la  $R_{eq}$  de los chips. Con estos datos se obtiene una  $R_{eq}$  por chip de  $(1.5-1.1) / 1.25 = 0.32\Omega$ . Como se ve en la Fig.6.6, el modelo del HDI queda definido como un divisor resistivo de corriente de 4 elementos, donde la resistencia de cada chip tiene contribución del SLDO ( $R_{eq}$ ) y del HDI ( $R_{HDI}$ ). Al ser  $R_{eq}$  un valor relativamente bajo de resistencia, pequeñas variaciones de la resistencia del HDI pueden generar cambios relevantes de corriente entre los distintos chips. Estas diferencias de corriente pueden afectar a la estabilidad y fiabilidad del sistema. Los SLDO se configuran por defecto para consumir una corriente extra del 25% (*headroom current*) sobre el consumo nominal del FE, que sirve para absorber picos de consumo y las posibles tolerancias del sistema, manteniendo la corriente de la cadena serie constante. Si en algún momento se supera este margen, deja de funcionar el regulador shunt y la cadena serie se puede volver inestable.

Mediante la utilización del modelo de simulación descrito en la Fig.6.3, y bajo la premisa de que todos los chips poseen una resistencia equivalente ( $R_{eq}$ ) idéntica, se ha analizado la distribución de corrientes entre los chips de un HDI. La Fig.6.7 muestra un diagrama de barras que representa dicha distribución de corriente para varios valores de  $R_{eq}$ . Como se explicó en el capítulo 3, los reguladores SLDO pueden operar en el mismo punto de trabajo con distintas combinaciones de  $R_{eq}$  y  $V_{ofs}$ . En este análisis, se remarca el valor de  $R_{eq}$  que se ha adoptado inicialmente como nominal, sin embargo, los demás valores también podrían ser utilizados con distinta combinación de  $V_{ofs}$ . Este resultado

es importante para entender que con pendientes de la curva I-V (Req) reducidas, se maximiza la contribución de la impedancia del HDI al reparto de corrientes de los chips.

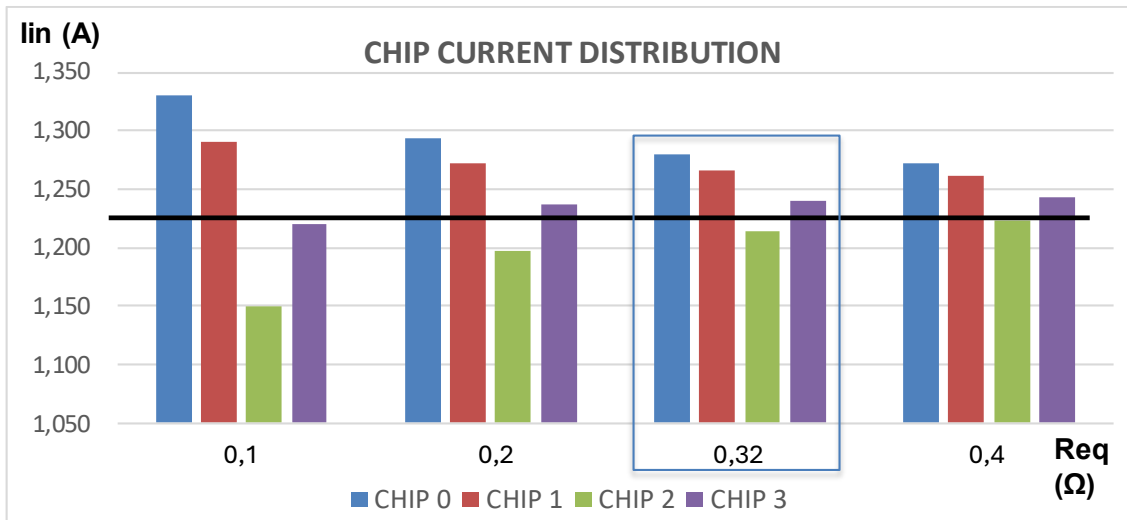


Fig.6.7. Distribución de corrientes en HDI-TBPX-RD53A 2x2 V1

En la siguiente tabla se plasma el porcentaje de desviación máxima (*max mismatch*) de la corriente consumida por los chips respecto a su corriente nominal.

Tabla 6.3. Variación máxima de corriente entre chips en función de Req en HDI-TBPX-RD53A V1

	Req (Ω)	Max mismatch (%)
HDI RD53A 2x2 V1	0.40	3.5
	0.32	4.9
	0.20	7.7
	0.10	14.4

Este valor proporciona una indicación de cuán cerca o lejos se está de sobrepasar la corriente de *headroom*. Para evitar un impacto significativo en la corriente adicional de los reguladores SLDO, se ha especificado que la variación máxima de corriente entre dos chips, como consecuencia del enrutado del HDI, debe ser inferior al 5%. La versión V1 de este HDI cumple con esta especificación bajo la configuración típica con una resistencia de 0.32Ω, aunque se encuentra al límite de lo permitido. Si se utilizaran resistencias equivalentes más bajas, se debería tener cuidado, ya que la variación de corriente podría aumentar de manera considerable. Esto indica que el diseño V1 no estaba completamente optimizado en términos de simetría y uniformidad de las líneas de alimentación.

A lo largo de las distintas versiones de HDIs que se han desarrollado, se han implementado mejoras para reducir estas variaciones. Los resultados finales se muestran en la siguiente tabla.

Tabla 6.4. Resumen de diferencia de consumo de corriente entre chips para las distintas versiones de HDI-TBPX diseñadas

2x2 HDI version	Max current mismatch (%)		1x2 HDI version	Max current mismatch (%)
2x2 RD53A 3-layers V1	4.90			
2x2 RD53A 3-layers V2	2.50		1x2 RD53A 3-layers V1	0.30
<b>2x2 RD53A 3-layers V4</b>	<b>2.20</b>		<b>1x2 RD53A 3-layers V2</b>	<b>0.29</b>
2x2 CROC 3-layers	1.20			
<b>2x2 CROC 4-layers</b>	<b>0.75</b>		<b>1x2 CROC 4-layers</b>	<b>0.31</b>

\*RD53A Req=0.32    \*CROC Req=0.25

La tabla presenta las distintas versiones de HDI desarrolladas, ordenadas cronológicamente de arriba hacia abajo. A la izquierda se encuentran los modelos HDI 2x2, y a la derecha, los modelos 1x2. El HDI 1x2 ha tenido un menor número de versiones, dado que su diseño se basó en el modelo 2x2, una vez corregidos los errores iniciales y perfeccionados algunos detalles.

Los estudios realizados han permitido que la variación de corriente entre chips en el HDI 2x2 mejore de manera constante a lo largo de las diferentes versiones, reduciéndose del 4.9% en la versión inicial al 0.75% en la última versión del chip CROC.

El HDI 1x2 es un diseño realizado completamente por el ITA. En este caso, desde la primera versión se hizo hincapié en la simetría de las líneas de alimentación, basándose en lo aprendido de los estudios preliminares del HDI 2x2. Como resultado, la variación de corriente entre chips ha permanecido prácticamente inalterada entre versiones, alcanzando un valor prácticamente insignificante del 0.3%.

### 6.3. Optimización de elementos parásitos de los condensadores de desacoplo

Para que los reguladores SLDO funcionen de forma estable y fiable, es necesario mantener una inductancia parásita en la red de los condensadores de desacoplo lo más baja posible. Esto aplica a los condensadores tanto de la entrada como de las salidas. Como se analizó en detalle en el capítulo 4, para asegurar la estabilidad del regulador, la inductancia parásita debe mantenerse en un valor menor que 5nH, pero es recomendable que sea menor que 2nH, para evitar

oscilaciones de alta frecuencia (*ringing*) en las transiciones de regulación, que puede generar ruido adicional dentro del propio chip.

La inductancia parásita efectiva de los condensadores de desacoplo de un chip se compone de varias contribuciones, que son principalmente las siguientes:

- Inductancia propia del encapsulado del condensador
- Inductancia por el enrutado de las pistas de la PCB
- Inductancia debida a los *wirebonds* que conectan los chips al HDI

En este estudio se pretende analizar la contribución de cada uno de estos elementos con el fin de optimizarlos para reducir la inductancia al mínimo posible.

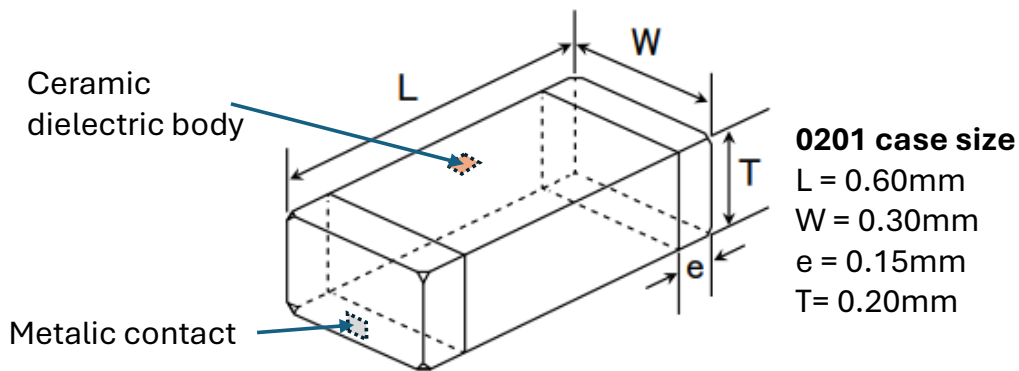


Fig.6.8. Dimensiones típicas de encapsulado de condensador 0201 utilizado en el diseño de los HDIs

Dado que en las versiones finales de los HDI se utilizarán componentes con encapsulados del menor tamaño posible para reducir al máximo la cantidad de material, para el presente estudio se han seleccionado encapsulados de tamaño 0201 para los condensadores de desacoplo (ver Fig.6.8).

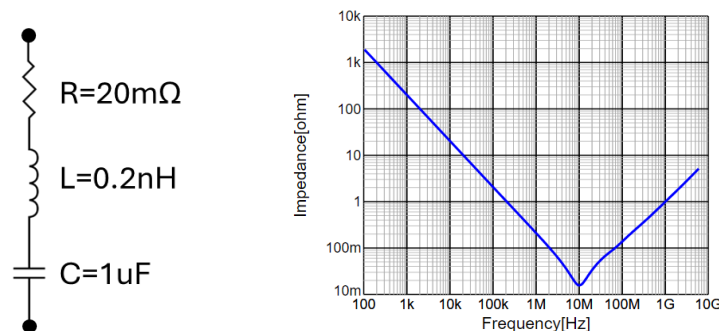


Fig.6.9. Respuesta en frecuencia ( $Z$ ) de un condensador 0201 de  $1\mu F$

Estos encapsulados tienen una inductancia parásita asociada, típicamente en el rango de 200 pH. Esto permite definir un modelo RLC simplificado para los condensadores de desacoplo. En la Fig.6.9 se ilustra la respuesta en frecuencia de uno de los condensadores de desacoplo de  $1\mu F$  empleados en estos HDIs.

Por lo general, esta respuesta en frecuencia específica puede obtenerse a partir de la información proporcionada por el fabricante del componente.

### 6.3.1. Diseño de red de desacoplo por simulación

Para calcular con precisión las inductancias parásitas de las pistas del HDI y de los *wirebonds*, es imprescindible emplear herramientas de simulación por elementos finitos, como Ansys Siwave. En la Fig.6.10 se presenta un diseño de la red de desacoplo que servirá como referencia para el estudio de este apartado. En dicho diseño se han incluido todos los componentes que determinan el valor total de la inductancia parásita.

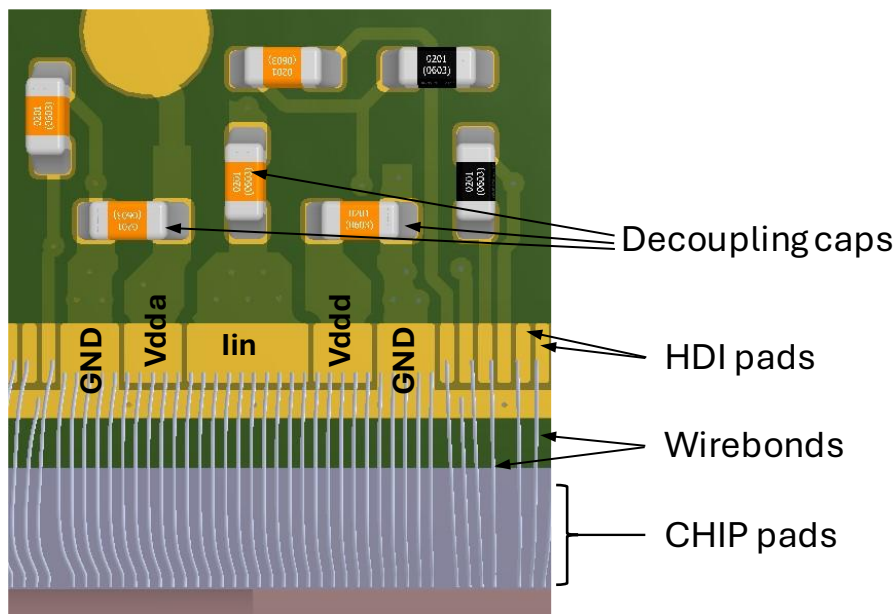


Fig.6.10. Diseño de ejemplo de red de desacoplo de HDI-TBPX-CROCV2 1x2

El primer elemento a considerar son los condensadores de desacoplo, uno por cada línea de alimentación:  $V_{in}$  (Entrada),  $V_{dda}$  (Salida analógica) y  $V_{ddd}$  (Salida digital). En la figura anterior se muestra únicamente una parte de la red de desacoplo de uno de los chips. Esta estructura se repite cuatro veces a lo largo del chip, lo que permite disponer de una capacidad distribuida que debería contribuir a reducir la inductancia conjunta efectiva.

El segundo elemento a tener en cuenta es la inductancia del encapsulado, cuyo valor es conocido y proporcionado con precisión por el fabricante.

Finalmente, el último componente a considerar en el modelo es la inductancia asociada a las pistas del HDI. Para estimar estos valores de forma precisa, se lleva a cabo un proceso específico. En primer lugar, se coloca un condensador ideal de valor conocido (10 nF) en el lugar de los condensadores de desacoplo

de cada una de las líneas de alimentación, y se deshabilitan los *wirebonds*. Con esta configuración, se obtiene la respuesta en frecuencia medida desde los pads del HDI, donde la frecuencia de resonancia estará definida por el condensador de 10 nF y la inductancia parásita del diseño del HDI, de tal manera que:

$$f_{res} = \frac{1}{2\pi\sqrt{LC}} \rightarrow L = \frac{1}{(2\pi f_{res})^2 C} \quad (6.1)$$

Para obtener la inductancia debida a los *wirebonds* se repite el mismo proceso añadiendo los cables al modelo de simulación, y midiendo la respuesta en frecuencia desde los pads del chip. De esta forma se obtiene la inductancia parásita completa de la que hay que sustraer el valor de la inductancia del HDI.

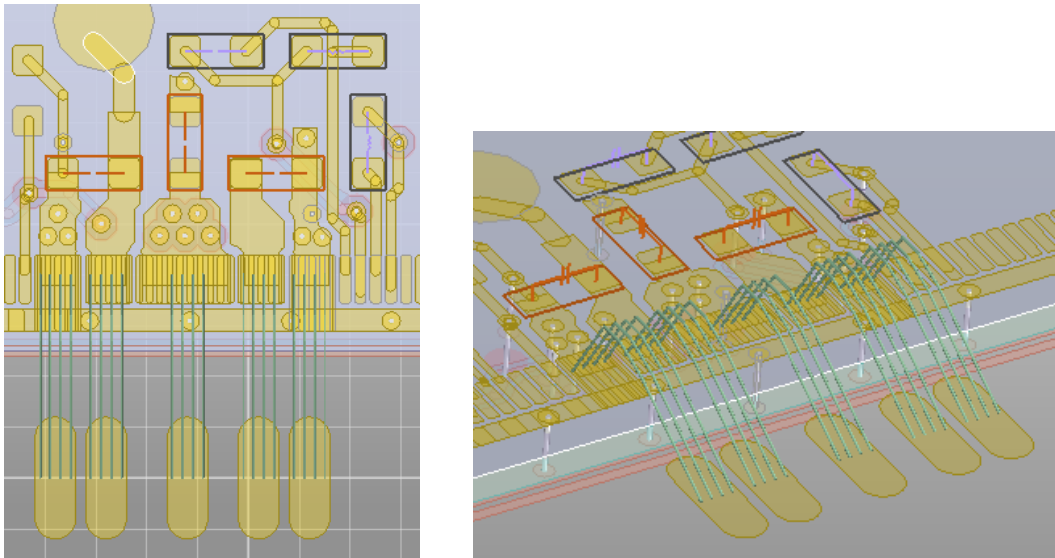


Fig.6.11. Modelo generado en Ansys Siwave de red de desacoplo

Primero se ha simulado la estructura básica que se muestra en Fig.6.10 y Fig.6.11. Los resultados se muestran a continuación.

Net	$f_{res}$ (MHz)	R (mΩ)	L (nH)
lin	111	21.8	0.206
Vddd	124.5	18.9	0.164
Vdda	124.5	18.9	0.164

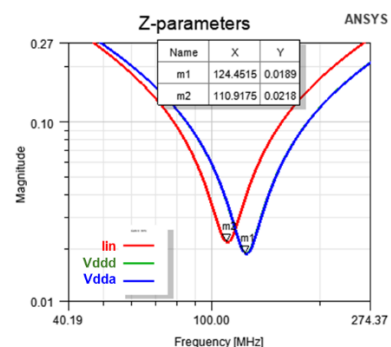


Fig.6.12. Impedancia de la estructura básica de líneas de alimentación del HDI

En la Fig.6.12 se muestra la impedancia obtenida debida únicamente a las líneas de alimentación del HDI. La inductancia parásita es muy baja en todos los casos

y se encuentra en el orden del valor de inductancia del encapsulado de los condensadores. Esto es debido a que se ha hecho especial énfasis en realizar conexiones de baja impedancia. Las pistas de conexionado son muy cortas y el retorno (GND) se realiza a través de un gran plano conectado por medio de varias vías. El reducido espesor del HDI (~100µm) hace que la inductancia de estas líneas de alimentación sea muy reducida.

En la Tabla 6.5 se muestran los resultados de la estructura básica incluyendo además un *wirebond* por cada conexión al chip. A partir de estos cálculos se puede extraer directamente la contribución de cada cable. De los resultados de la estructura básica se extrae que la impedancia debida a los *wirebonds* es claramente dominante en la red de desacoplo, con una inductancia parásita entre 15 y 20 veces superior a la del *layout* del HDI.

Tabla 6.5. Impedancia de estructura básica de líneas de alimentación del HDI incluyendo *wirebonds*

Net	$f_{res}$ (MHz)	R (mΩ)	L (nH)	$L_{wb}$ (nH)
lin	26.3	167	3.66	3.45
Vddd	27.5	164	3.34	3.18
Vdda	27.9	165	3.26	3.00

Aparte de las consideraciones y cálculos anteriormente comentados, se integran diferentes opciones de diseño con el objetivo de minimizar el efecto de estas inductancias. En primer lugar, se implementan 4 redes de desacoplo por cada chip completo (ver Fig.6.13). Esto implica que, teóricamente se va a conseguir reducir notablemente esta inductancia parásita de ~3.5nH, que ya de por sí cumple con el valor máximo especificado, pero no con el recomendado.

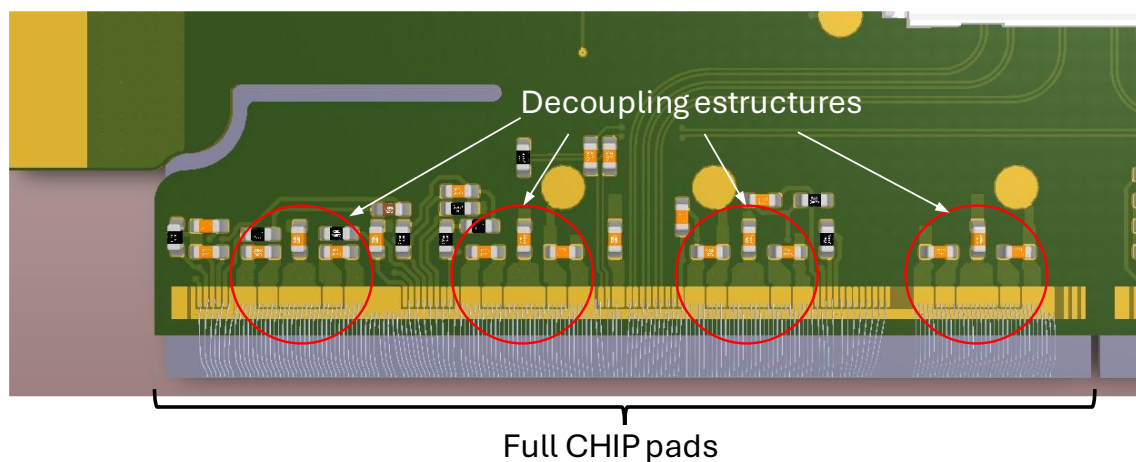


Fig.6.13. Red de desacoplo completa por cada chip en HDI-TBPX-CROCv2 1x2

Adicionalmente, para reducir la impedancia introducida por los *wirebonds*, se montan varios cables de conexión (*wirebonds*) por cada *pad* de alimentación. Estos *pads* son bastante grandes y permiten soldar de forma segura hasta un máximo de 4 unidades.

Basado en dicho modelo, se realizaron los cálculos de todos los componentes parásitos para diferentes configuraciones de diseño, específicamente en relación con el número de *wirebonds*. Los resultados de estos cálculos se resumen en la Tabla 6.6, que muestra un compendio de los valores obtenidos para la red completa, así como para las distintas opciones de *wirebonds* conectados por *pad*.

Tabla 6.6. Impedancia de estructura líneas de alimentación de chip completo en HDI, en función del número de *wirebonds*

	Net	f <sub>res</sub> (MHz)	R (mΩ)	L (nH)	L <sub>wb</sub> (nH)
NO WB	lin	110.9	5.6	0.051	-
	Vddd	125.9	4.9	0.040	-
	Vdda	124.5	5.0	0.041	-
1 WB	lin	25.1	43.1	1.00	0.95
	Vddd	26.3	45.0	0.92	0.88
	Vdda	26.9	42.0	0.87	0.83
2 WB	lin	27.9	25.9	0.82	0.76
	Vddd	30.2	28.2	0.69	0.65
	Vdda	29.5	25.3	0.73	0.69
4 WB	lin	28.8	17.9	0.76	0.71
	Vddd	61.6	20.3	0.63	0.59
	Vdda	30.5	17.6	0.68	0.64

Los resultados obtenidos indican que la configuración sin incluir *wirebonds*, con cuatro estructuras distribuidas en paralelo a lo largo del chip, reduce tanto la resistencia como la inductancia a una cuarta parte de su valor original. Aunque añadir más *wirebonds* por *pad* disminuye la inductancia parásita, este efecto es marginal: pasar de 1 a 2 *wirebonds* reduce la inductancia en un 20%, pero incrementar de 2 a 4 solo mejora en un 7% adicional. Dado el escaso beneficio adicional y la mayor complejidad de ensamblaje, no se justifica el uso de más de 2 *wirebonds* por *pad*. En todos los casos, la inductancia parásita permanece por debajo de 1 nH, lo cual es ideal para el funcionamiento del SLDO.

## 6.4. Diseño y optimización de líneas de comunicación de alta frecuencia

Los chips de lectura de los detectores poseen varias líneas de señal diferenciales dedicadas a la comunicación con el exterior. Se utiliza este tipo de señal ya que permite transmitir datos a alta velocidad con una alta inmunidad al ruido por su naturaleza diferencial. En este apartado se va a realizar el diseño de estas líneas de comunicación en el HDI, y se va a estudiar y optimizar los distintos elementos que pueden tener efecto en la calidad de la señal.

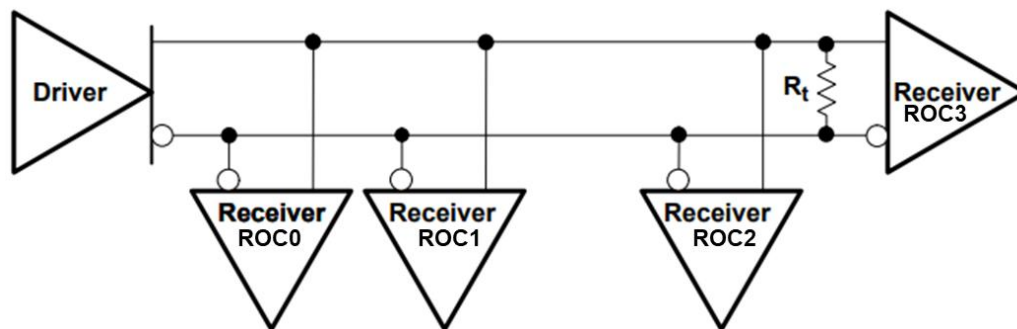


Fig.6.14. Esquema de topología de la línea de control y comandos o downlink

Por un lado, se tiene una línea de control (*downlink* o *control link*) con una velocidad de transmisión de 160Mbit/s con detección de errores, que se conecta a todos los chips de un mismo módulo (ver Fig.6.14), y se utiliza para la configuración y control en tiempo real de los chips (triggers, reset, etc.). Esta es una línea únicamente de entrada al chip (RX) que utiliza un receptor de tipo LVDS (*Low-Voltage Differential Signal*). Además, esta señal transporta el reloj de referencia de 40MHz que es reconstruido por un circuito CDR (*Clock Data Recovery*) basado en un PLL (*Phase Lock Loop*) integrado en el chip [6-1]. Gracias a un oscilador controlado en voltaje (VCO), este circuito es capaz de generar un reloj sincronizado con la señal de 160Mbit/s, que permite alinear de forma precisa el muestreo de los píxeles con las colisiones del acelerador del LHC que se producen cada 25ns. Por tanto, aunque no es una línea de datos de muy alta frecuencia, la integridad de señal del *downlink* es esencial para el correcto funcionamiento del chip. La extensa verificación y caracterización que se ha llevado a cabo del circuito CDR [6-2] dentro de la colaboración RD53 muestra que la limpieza de los flancos de transición y el *jitter* de la señal tienen un impacto crítico en su fiabilidad.

Por otro lado, existen hasta 4 líneas de lectura de datos (*uplink* o *readout lanes*) de 1.28Gbits/s por chip, que se utilizan para leer y monitorizar la información adquirida y procesada por el chip. Estas líneas son únicamente de salida del chip (TX) y utilizan un circuito transmisor diferencial de tipo CML (*Current Mode Logic*)

[6-3]. En este caso es una conexión punto a punto unidireccional como se muestra en la Fig.6.15.

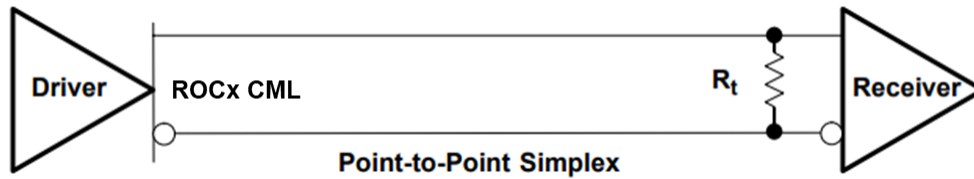


Fig.6.15. Esquema de topología de la línea de datos o uplink

Las líneas de lectura de datos de varios chips se pueden agrupar para reducir el número de líneas que salen hacia el exterior del módulo, y por tanto simplificar el cableado y conexiones. De esta forma, existe una gran cantidad de opciones de configuración para el *uplink* de los módulos, lo que permite optimizar el número de líneas utilizadas dependiendo de las necesidades de ancho banda de cada parte del detector. Por ejemplo, los módulos más próximos al punto de interacción del colisionador, detectan mayor número de eventos por unidad de tiempo (*hit rate*) y por tanto necesitan un mayor ancho de banda para transferir los datos adquiridos.

### 6.4.1. Impedancia diferencial

Desde el punto de vista del diseño del HDI y la distribución de las líneas de comunicación de alta frecuencia, existen varios puntos críticos a tener en cuenta:

- Impedancia del par diferencial: Las líneas CML y LVDS utilizan una impedancia diferencial de  $100\Omega$  que debe ser mantenida y respetada por todos los elementos de estas líneas de comunicación: transmisor (driver o buffer), línea de transmisión y terminación. Esta impedancia es crucial para mantener la integridad de la señal y minimizar las reflexiones en la transmisión.
- Transiciones: Se debe evitar en lo posible cualquier transición brusca en las líneas de señal como son: cambios en la geometría de las pistas, conectores, cambios de capa a través de vías, etc.
- Terminaciones: Debe existir una única terminación de  $100\Omega$  y colocada lo más cerca posible del receptor. En algunos casos, impedancias superiores a  $100\Omega$  pueden ser utilizadas si se necesita aumentar la amplitud de la señal en el receptor, sin embargo, esto puede generar reflexiones que afecten muy negativamente a la integridad de la señal.
- Longitud de líneas: La longitud de las dos líneas del par diferencial debe ser exactamente igual para mantener la integridad de la señal. Pequeñas diferencias de longitud generan pequeños desfases temporales entre las dos líneas, lo que distorsiona la señal diferencial.

Para obtener la impedancia característica de las líneas diferenciales de un diseño de PCB de forma precisa, se ha utilizado de nuevo un modelo de simulación en Ansys Siwave, que es capaz de simular el acoplamiento electromagnético entre las líneas y el plano de tierra.

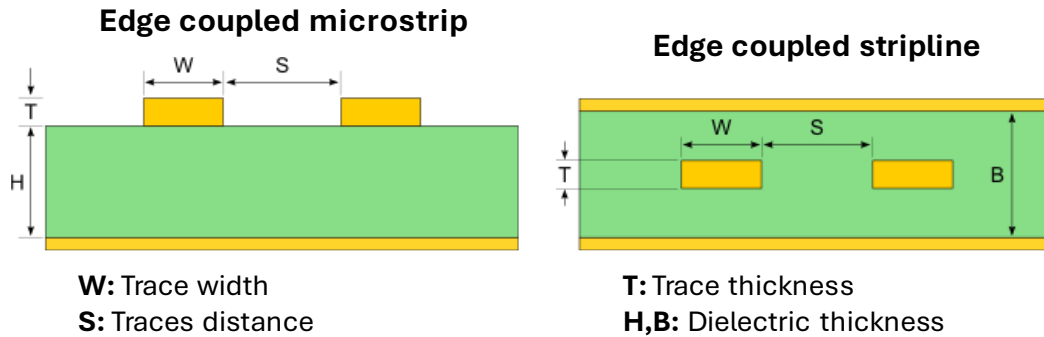


Fig.6.16. Corte transversal de diseño de líneas diferenciales en soporte PCB. Con un solo plano de referencia (microstrip) o dos planos (stripline).

El diseño de las líneas diferenciales en la PCB se realiza por medio de *microstrips*. Esta topología presenta un mismo plano de referencia para las dos líneas del par diferencial, lo que aporta una buena inmunidad al ruido. Al mismo tiempo requiere de menor cantidad de material que una *stripline*, donde las líneas se encuentran embebidas entre dos planos. Ver Fig.6.16.

Se realizó un primer diseño base de las líneas de alta frecuencia del HDI-TBPX-RD53A 2x2 V1, utilizando modelos aproximados de líneas diferenciales (*edge coupled microstrips*) basados en fórmulas empíricas (6.2) como las proporcionadas en [6-4], para tener unos valores iniciales de espesor y distancia entre pistas necesarios para la impedancia diferencial objetivo de 100Ω. Se ha definido como requisito que la impedancia característica debe estar comprendida en el rango de 100±10Ω. El material aislante base utilizado en estas PCB flexibles es una Poliimida, también conocido comúnmente como Kapton, marca registrada de la empresa Dupont. En este caso, el fabricante da un valor típico de constante dieléctrica de  $\epsilon_r = 3.2$ .

$$Z_d = \frac{174}{\sqrt{\epsilon_r + 1.41}} \times \ln\left(\frac{5.98H}{0.8W + T}\right) \times \left[1 - 0.48e^{(-0.96\frac{S}{H})}\right] \quad (6.2)$$

Utilizando el modelo aproximado y las dimensiones siguiendo el formato de la Fig.6.16, se obtiene que para los valores:  $W = 60\mu\text{m}$ ,  $T = 10\mu\text{m}$ ,  $S = 40\mu\text{m}$  y  $H = 37\mu\text{m}$ , la impedancia característica diferencial de la línea de transmisión es de  $Z_d = 102\Omega$ , muy próximo al valor objetivo.

Estos valores son los utilizados en el diseño base que se va a analizar y optimizar posteriormente con los modelos más precisos y detallados de elementos finitos en Ansys.

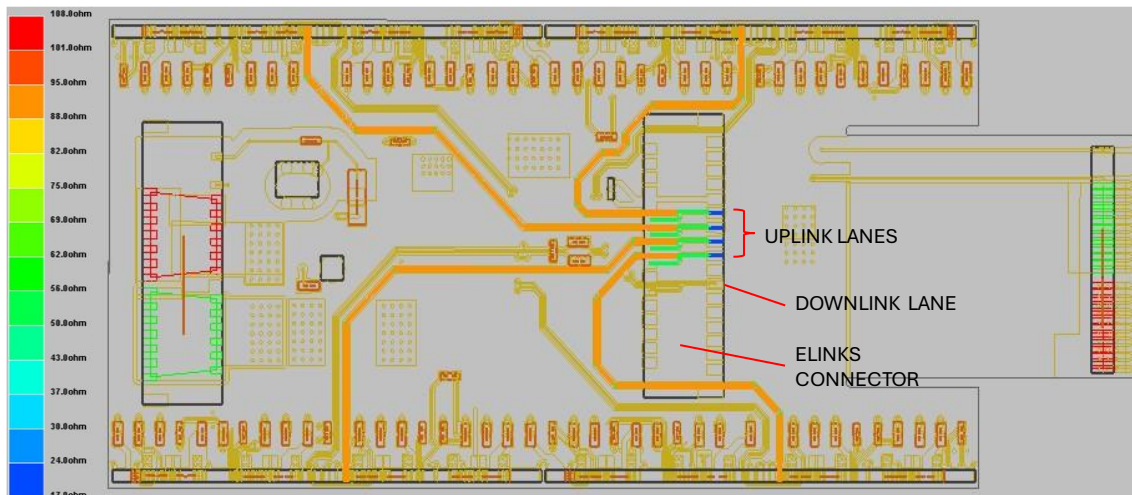


Fig.6.17. Modelo Ansys mostrando la impedancia diferencial de las líneas de datos (uplink). HDI-TBPX-2x2 V1

El modelo en Ansys Siwave puede verse en la Fig.6.17. Para ajustar la impedancia de línea se han simulado únicamente las líneas del *uplink*. Como sólo se quiere analizar la impedancia característica de la línea, no es necesario simularlas todas ya que van a tener exactamente la misma geometría. En la figura se muestran las pistas diferenciales resaltadas en color naranja, que indica un valor de impedancia  $Z_0 = 93\Omega$ . Este valor difiere respecto al del modelo aproximado, pero sigue estando dentro del rango de la especificación. Únicamente en la zona próxima al conector, por una cuestión física inevitable en este caso, se separa el par diferencial y se pierde la continuidad de la impedancia diferencial.

Para la segunda versión de la PCB, HDI-TBPX-RD53A 2x2 V2, se mejoró el modelo de simulación añadiendo la contribución de la máscara de soldadura. La máscara de soldadura es una fina capa dieléctrica, cuyas funciones principales son la de aislamiento de las pistas de cobre y su protección frente a la corrosión. Sin embargo, es un material dieléctrico en contacto directo con las *microstrips*, que, aunque no se tiene en cuenta en el modelo aproximado, puede tener incidencia en la impedancia característica. Para estos modelos más complejos, que pueden integrar varias capas de dieléctrico con distintas características, es necesario el uso de herramientas que simulen los campos electromagnéticos implicados. Al añadir este nuevo dieléctrico se obtiene una impedancia todavía menor de  $Z_0 = 83\Omega$ .

En base a este último modelo, se modificó la geometría de las pistas para ajustar el valor de impedancia lo más próximo posible a  $100\Omega$ .

Como se muestra en el resumen de la Tabla 6.7, mediante un pequeño ajuste de la distancia entre las pistas que forman el par diferencial, se consigue una impedancia exacta de  $100\Omega$ . Se ha calculado la distancia para los dos espesores de cobre que da como opción este fabricante, 7 y  $10\mu\text{m}$ .

Tabla 6.7. Impedancia característica de las líneas diferenciales del HDI para distinta geometría y modelos de simulación

Traces (W, S, T)	$Z_0$ ( $\Omega$ )		
	Approx. model	EM model V1	EM model V2
60 $\mu$ m, 40 $\mu$ m, 10 $\mu$ m	102	93	83
60 $\mu$ m, 70 $\mu$ m, 10 $\mu$ m	109	105	100
60 $\mu$ m, 60 $\mu$ m, 7 $\mu$ m	109	104	100

Las tolerancias del proceso de fabricación y los acabados superficiales dan lugar a una cierta variabilidad de la impedancia característica. Esto se acentúa más en PCB flexibles tan compactas y de reducido espesor como es el caso. Por ello está previsto realizar prototipos dedicados específicamente a medir la impedancia de las líneas para validar el modelo de simulación y asegurar que se cumple con la especificación.

Se han realizado estudios similares con anterioridad [6-5], donde los modelos de campos electromagnéticos de Ansys han resultado ser muy fiables, por lo que el nivel de incertidumbre es reducido.

#### 6.4.2. Topología de distribución de la línea de control y comandos, “downlink”

A cada HDI llega una única señal diferencial de control (*downlink*) que se distribuye a todos los chips del módulo. Los comandos que se envían por esta línea llevan asociada una identificación (*chip ID*), para que únicamente el chip objetivo lea e interprete la instrucción.

Para realizar la distribución de esta señal en un HDI 2x2, se plantean dos posibles soluciones:

- *Single-point* o “estrella”: Se coloca la terminación de 100 $\Omega$  en el centro del HDI, y a partir de ese punto común se distribuye a todos los chips en forma de estrella, con líneas de la misma longitud. Esta distribución es óptima desde el punto de vista temporal, ya que la señal llega en fase a todos los chips. Sin embargo, no es una buena solución para integridad de señal, ya que después de la terminación se conectan derivaciones de unos 20mm a cada uno de los chips. Esto puede distorsionar la impedancia de línea y generar reflexiones que afecten a la calidad de la señal. Además, las líneas cruzan por el medio del HDI, lo que hace necesario realizar varios cambios de capa a través de vías, lo que implica transiciones de impedancia y efectos negativos en la calidad de la señal.

La Fig.6.18 muestra el modelo de simulación Ansys para analizar la topología *single-point*. La terminación, en azul y rojo, está colocada en la zona central del HDI, y a partir de ahí se distribuye a los chips.

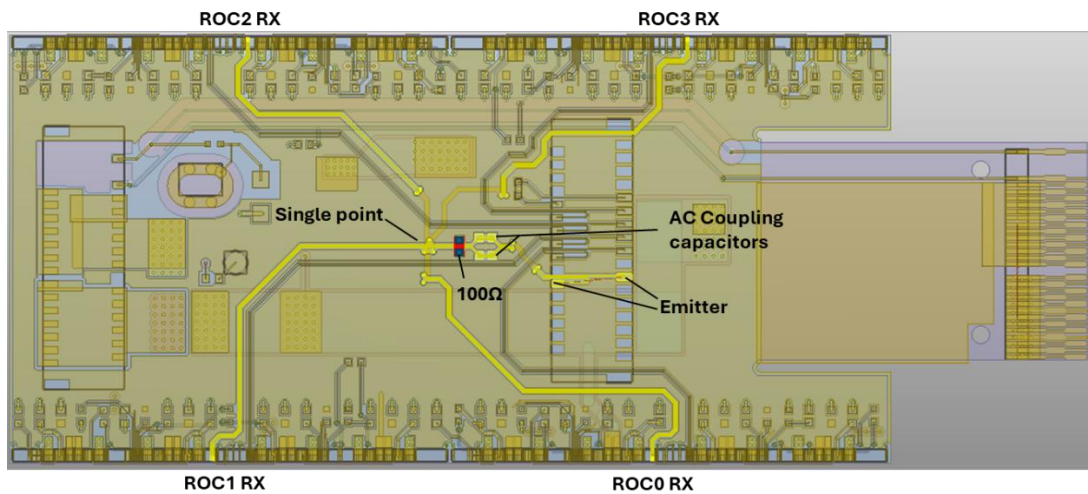


Fig.6.18. Modelo Ansys del *downlink* con distribución *single-point* de diseño HDI-TBPX-RD53A 2x2 V1

- *Multi-point*: La línea recorre todos los chips uno a uno desde el ROC0 hasta el ROC3, y la terminación se coloca en el extremo final. Es una topología óptima desde el punto de vista de integridad de señal, ya que las derivaciones de conexión a cada chip son lo más cortas posible, y la terminación se conecta al final de la línea de transmisión. En este caso la señal llega en distintos momentos temporales a cada chip, con una diferencia máxima entre el primero y el último que ronda los 0.5ns. Aunque es preferible que no existan retardos entre chips, este no es crítico, ya que es muy reducido y además los chips tienen la funcionalidad de compensar pequeños desfases.

La Fig.6.19 muestra la topología *multi-point* en el modelo de simulación de Ansys. En este caso, se ha tenido que adaptar y diseñar un HDI ligeramente más grande para permitir el paso de esta línea diferencial por la zona exterior de la PCB.

Debido a que el tamaño del HDI es reducido, y por tanto las líneas de distribución de las señales son relativamente cortas (30mm en el peor caso), se decidió realizar el primer diseño de HDI (Fig.6.18) siguiendo la topología *single-point*. Se partió de este diseño para asegurar que no existiera desfase alguno entre los chips, y asumiendo que las derivaciones debidas a la conexión en “estrella” son lo suficientemente cortas para no afectar de forma sensible a la integridad de la señal. Durante las pruebas de verificación del prototipo se detectaron problemas para establecer la comunicación con algunos de los chips en distintos módulos. Esto hacía necesario reiniciar la electrónica varias veces, hasta que finalmente se conseguía enlazar correctamente.

La aparición de este problema llevó a iniciar un análisis más exhaustivo de la distribución de la señal del *downlink*, para determinar si los problemas de comunicación eran fruto del diseño del HDI o de algún elemento externo. De este modo, se realizó un segundo diseño (Fig.6.19) integrando la topología alternativa, *multi-point*, con el fin de comparar el rendimiento de ambas soluciones.

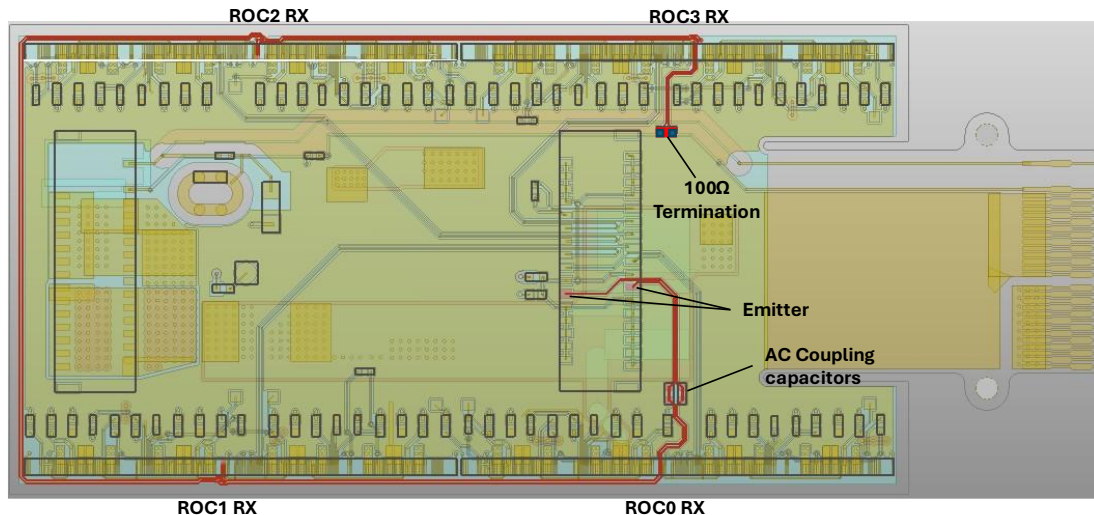


Fig.6.19. Modelo Ansys del *downlink* con distribución *multi-point* de diseño HDI-TBPX-RD53A 2x2 V2

Utilizando los modelos de las figuras anteriores, se obtiene primero la impedancia vista desde el emisor en función de la frecuencia. Esta simulación nos da información importante sobre la adecuación de la distribución, midiendo la desviación de su impedancia característica respecto a la referencia de 100Ω.

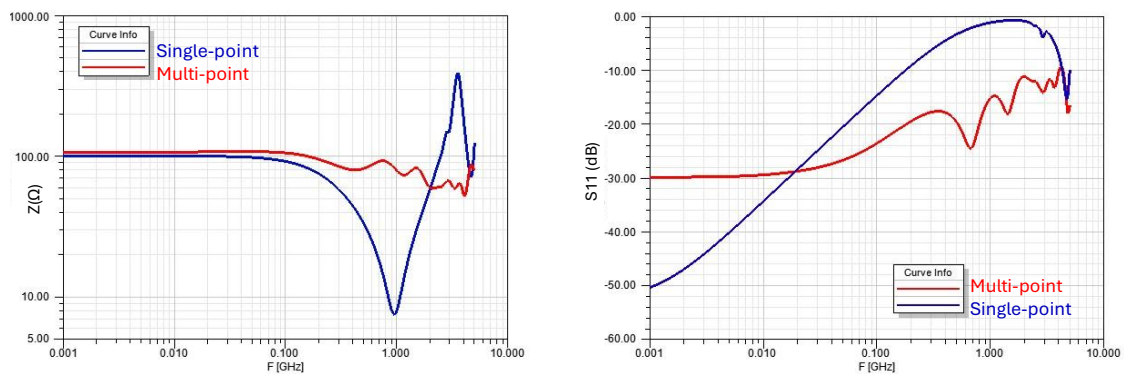


Fig.6.20. Resultado simulación *downlink*. Impedancia Z y coeficiente de reflexión S11

Los resultados muestran una clara ventaja de la topología *multi-point*, presentando una impedancia más estable a lo largo de todo el rango de frecuencias analizado, con un valor comprendido entre 60 Ω y 100Ω.

Por otro lado, la topología *single-point* presenta una fuerte resonancia a 1GHz, lo que provoca que la impedancia tenga grandes variaciones a lo largo del rango

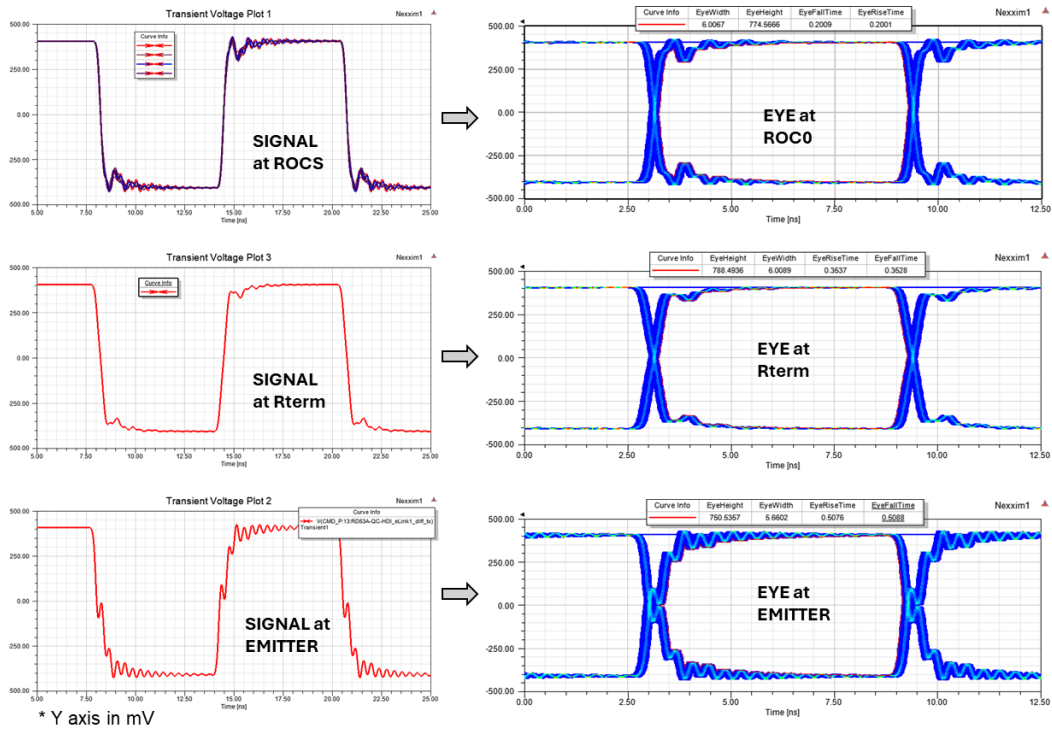
frecuencial, desde  $8\Omega$  hasta  $400\Omega$ . Esto provoca que prácticamente el 100% de la señal sea reflejada para las frecuencias comprendidas entre 1GHz y 2GHz. Aunque el *downlink* posee un ancho de banda de transferencia relativamente bajo (160Mbits/s), se debe asegurar que la línea de transmisión es adecuada hasta frecuencias incluso por encima del GHz, ya que las transiciones de subida y bajada pueden presentar un contenido armónico de elevada frecuencia.

Para determinar el efecto real de cada una de estas topologías sobre la integridad de señal, se realizan simulaciones en el dominio del tiempo y se representan los diagramas de ojo en distintos puntos de la línea de transmisión. Los diagramas de ojo se obtienen a partir de una muestra de la simulación transitoria en el dominio del tiempo. Para obtener un diagrama de ojo que proporcione información fiable, se utilizan al menos 10000 ciclos de una señal diferencial pseudo-aleatoria o PRBS (*Pseudo Random Bit Sequence*), de 160Mbits/s.

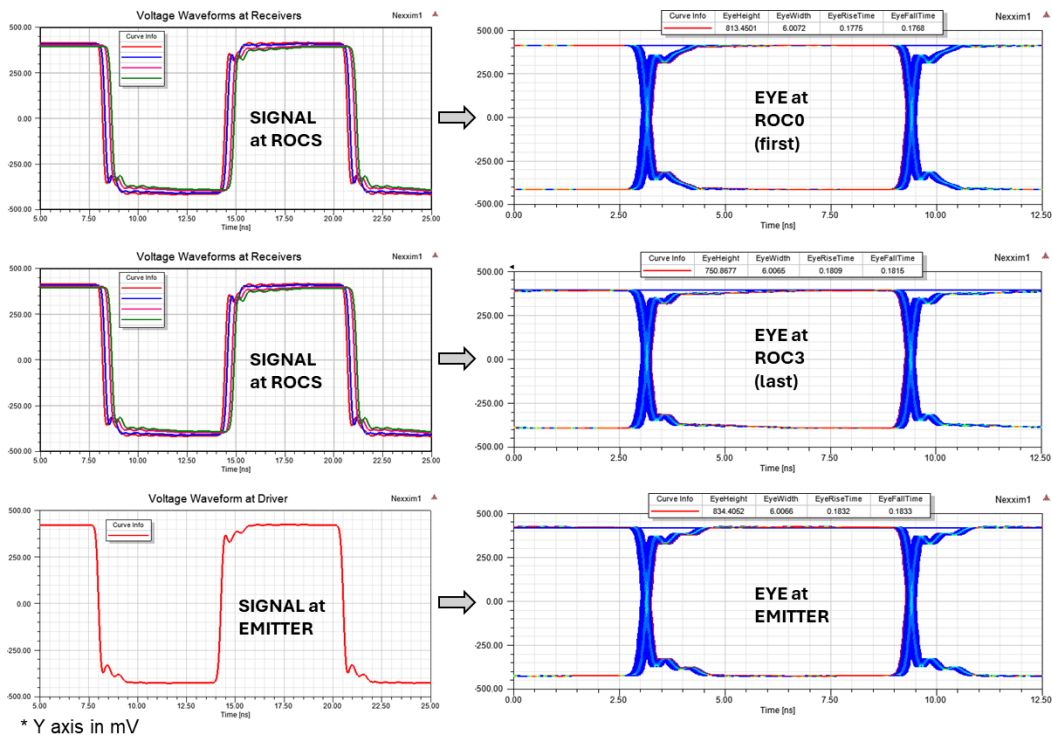
Para tener un modelo del sistema de comunicación realista, se utiliza como emisor un modelo IBIS del driver de salida LVDS de una FPGA Xilinx Kintex 7. Este driver presenta una impedancia diferencial de  $100\Omega$  y unos tiempos de subida y de bajada menores que 200ps según las hojas de datos del fabricante. Se utiliza esta FPGA ya que es la que se integra en los principales sistemas de lectura y verificación de los chips RD53, tanto de CMS como de ATLAS. Los modelos IBIS que son proporcionados directamente por el fabricante de la FPGA (Xilinx o AMD en este caso), son bastante precisos e incluyen componentes parásitos y efectos no lineales para emular con precisión el driver de salida.

En la Fig.6.21 se puede ver la respuesta transitoria y el diagrama de ojo a la entrada del ROC0, en la resistencia de terminación, y en el emisor justo en los pads del conector de entrada.

La gráfica superior izquierda muestra que la señal de control llega a todos los chips sin desfase alguno gracias a la distribución en “estrella”. Sin embargo, también se pueden ver los efectos de las reflexiones en la integridad de la señal, distorsionando principalmente los flancos de las transiciones y la parte del ojo después de estas. Este efecto es claramente más acusado en la señal del emisor. Al ser el HDI un elemento de reducido tamaño, las reflexiones retornan muy rápido al emisor. Por ello se produce ese efecto oscilante después de una transición, que corresponde a la señal reflejada que va y vuelve varias veces hasta que se atenúa completamente.



Analizando de forma cualitativa el resultado de la distribución *multi-point* que se ve en la Fig.6.22, la señal temporal y diagramas de ojo se ven mucho más limpios y con transiciones más abruptas que en el caso del *single-point*.



Como inconveniente del *multi-point*, la señal transitoria de los chips muestra un pequeño desfase temporal entre cada uno de ellos.

La Tabla 6.8 muestra una comparativa de los parámetros medidos en el diagrama de ojo, para las dos topologías. En general, la distribución multi-point arroja mejores resultados y, de manera significativa, mejora el comportamiento en los transitorios (rise y fall time), así como su uniformidad a lo largo de la línea de transmisión.

Tabla 6.8. Parámetros obtenidos del diagrama de ojo de las dos opciones de distribución del *downlink* en un HDI-TBPX-RD53A 2x2

Measurement point	Eye Height (mV)		Eye Width (ns)		Eye rise time (ps)		Eye fall time (ps)	
	SP	MP	SP	MP	SP	MP	SP	MP
ROC 0	774.6	813.5	6.01	6.01	200	177	201	177
Term. Resistor	788.5	750.9	6.01	6.01	354	181	353	181
Emitter	750.5	834.4	5.66	6.01	508	183	509	183

\* SP: Single-Point MP: Multi-Point

Además de las simulaciones previamente mencionadas, se realizaron medidas en laboratorio sobre el prototipo V1, para analizar la integridad de la señal y validar el modelo de simulación.

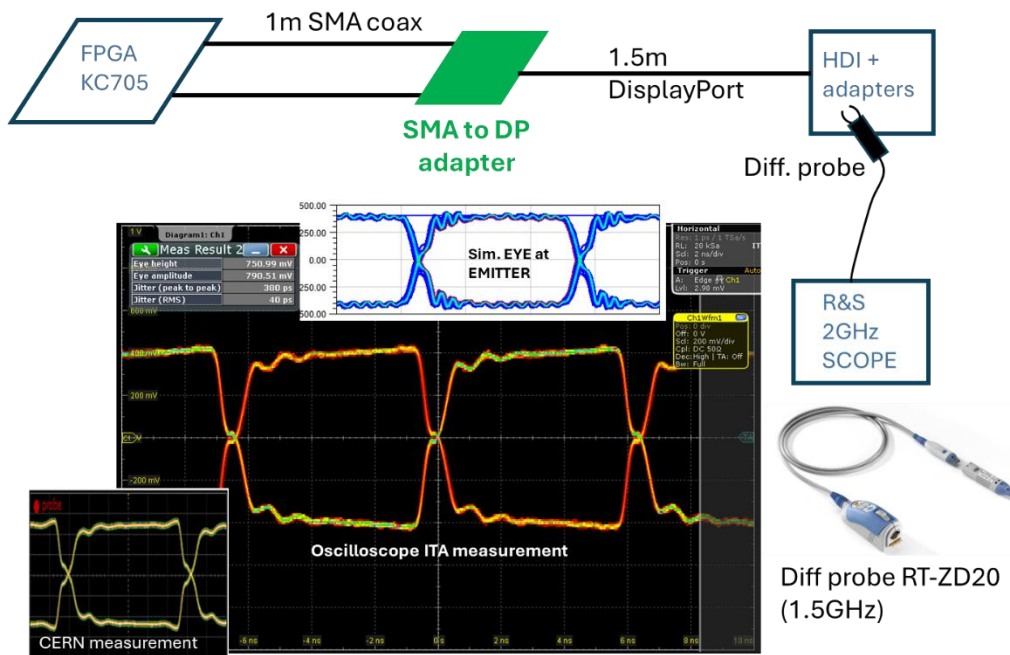


Fig.6.23. Esquema de medida de línea *downlink* a la entrada del HDI y diagramas de ojo medidos y simulado

La Fig.6.23 muestra un esquema simplificado del montaje de medida, y se compara el diagrama de ojo en simulación de la señal del *downlink* con las medidas realizadas en ITA y en el CERN. Las medidas con osciloscopio se

realizaron en el conector de entrada al HDI, por ser el único punto donde se podía posicionar la sonda diferencial con cierta facilidad. Se puede ver que en las dos medidas del osciloscopio se repite el patrón de distorsión de las transiciones de la señal que se obtiene en la simulación.

De esta forma se confirmó que existía un problema con la integridad de la señal de control, y para corregirlo e incrementar la robustez y fiabilidad del sistema, se realizó un nuevo diseño utilizando la distribución *multi-point*. El desfase temporal entre chips que presenta esta topología es mínimo, y puede ser compensado en caso de generar algún problema. Gracias a este nuevo diseño, durante las pruebas de validación, la tasa de fallo de comunicación se redujo drásticamente.

### 6.4.3. *Diseño a nivel de sistema. Contribución de los elementos de integración*

En el apartado anterior, se ha analizado el diseño de las líneas de señal de alta frecuencia desde un punto de vista de HDI aislado. En este apartado se va a estudiar cómo afectan los distintos elementos a nivel de sistema o de integración, y que también forman parte de estas líneas de comunicación. Algunos ejemplos de estos elementos son: los *wirebonds*, la impedancia de entrada del receptor LVDS del chip, los condensadores de acoplamiento AC, adaptadores y cableado intermedio, etc.

Como base para este estudio se utiliza un modelo de simulación un poco más complejo que también incluye cables coaxiales para la conexión del emisor al HDI. Cuando se simulan líneas de transmisión muy cortas, como es el caso del HDI, las reflexiones o distorsiones de las señales pueden quedar ocultas u opacadas en la proximidad de las transiciones. El hecho de introducir cables en el modelo permite generar un cierto desfase temporal entre la señal del emisor y la señal en el HDI, para poder analizar el efecto de las reflexiones con mayor detalle a nivel de sistema.

En la parte superior de la Fig.6.24 se muestra el esquema descriptivo del modelo de simulación a nivel de sistema. Para implementar este modelo en Ansys se utiliza la aplicación *Electronics Desktop*. Esta aplicación utiliza esquemas eléctricos estándar, y nos permite integrar distintos elementos o subsistemas definidos por sus parámetros S. De esta forma, se pueden crear modelos de sistemas mucho más grandes y complejos. En la parte baja de la figura, se muestra el modelo del sistema completo. En este caso, se incluye el modelo de parámetros S del HDI.

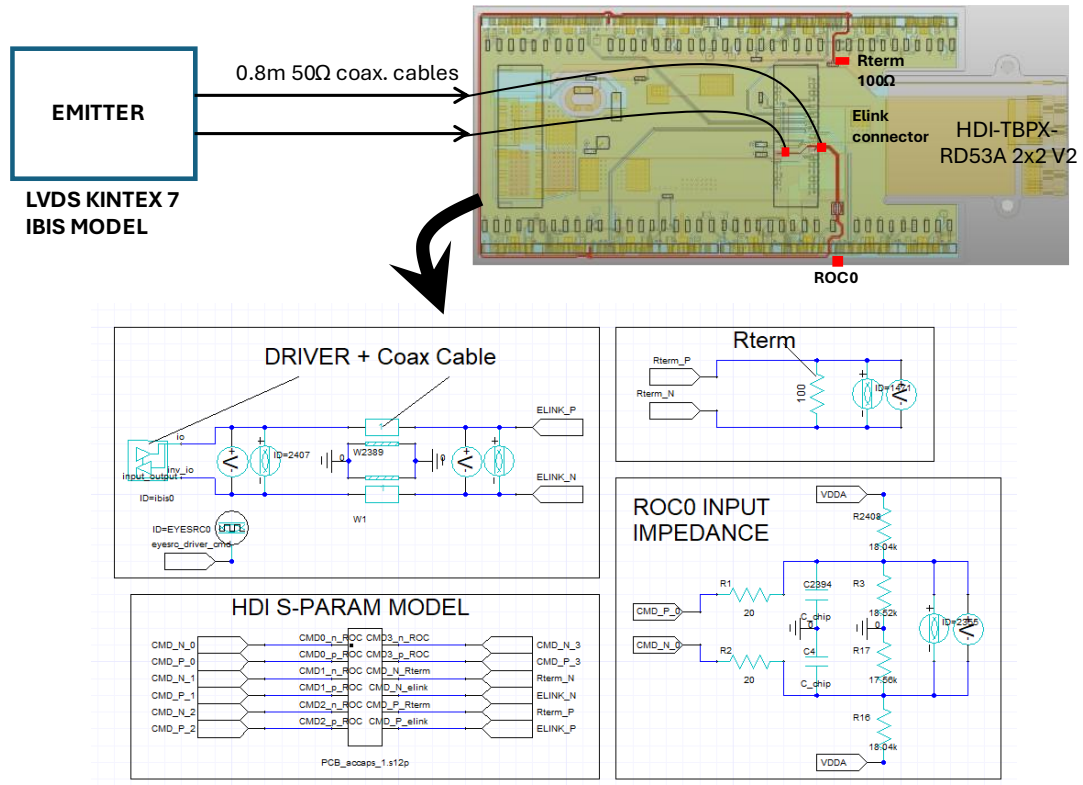


Fig.6.24. Esquema descriptivo del modelo de simulación a nivel de sistema (arriba) y esquemas en Ansys Electronics Desktop (abajo).

### 6.4.3.1. Etapa de entrada del chip y wirebonds

Los *wirebonds* son las pequeñas microsoldaduras que conectan el chip a los pads del HDI. Como se vio en el apartado de las líneas de potencia, para obtener una respuesta fiable de estas estructuras, es necesario un modelo de simulación de campos electromagnéticos preciso.

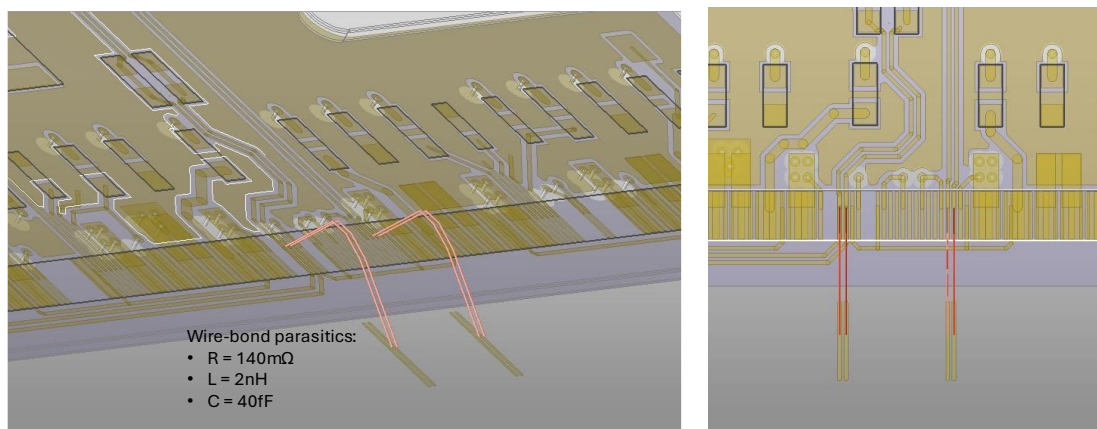


Fig.6.25. Modelo ANSYS de las líneas de alta frecuencia de un HDI, incluyendo los *wirebonds*.

En la Fig.6.25 se muestra el modelo 3D de los *wirebonds* conectando los pads del HDI con los pads de uno de los chips. Se pueden ver dos pares diferenciales que se corresponden con el *uplink* y el *downlink*.

A diferencia de las líneas de potencia, en este caso no es necesario manejar corriente elevadas, por lo que se utilizan pads mucho más pequeños y estrechos, que permiten la conexión de forma fiable de un único *wirebond*.

Por otro lado, el chip presenta una impedancia de entrada para las líneas de control LVDS, definida por las resistencias de polarización, y elementos de protección y parásitos.

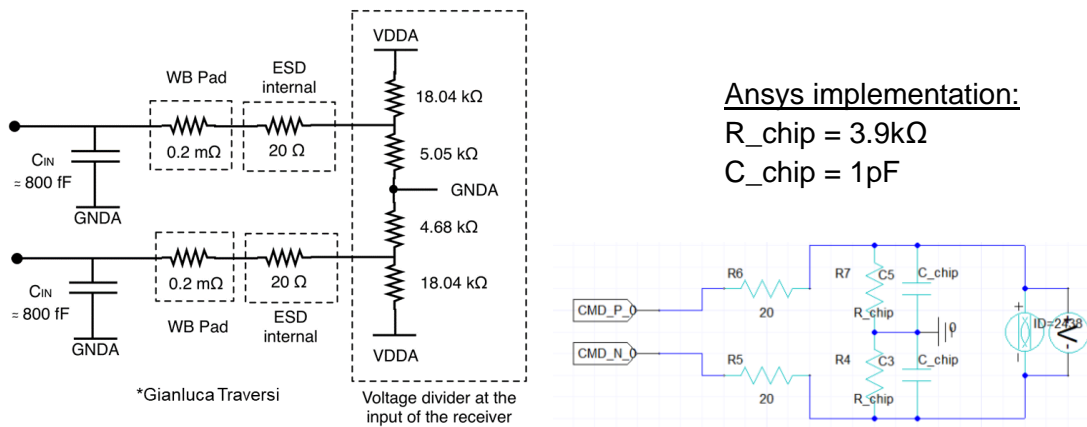


Fig.6.26. Esquema de impedancia de entrada del receptor LVDS del chip RD53A y su implementación en Ansys.

En la Fig.6.26 se muestra el esquema de la etapa de entrada del chip RD53A, proporcionado por su diseñador, y su implementación simplificada en Ansys.

En la Fig.6.27 se presentan los resultados de la impedancia vista desde el emisor en función de la frecuencia. Se observa que la inclusión de los *wirebonds* deteriora ligeramente el comportamiento tanto del *downlink* como del *uplink*, aunque solo se aprecian efectos claros para frecuencias muy elevadas (>3GHz), por lo que no son un elemento crítico.

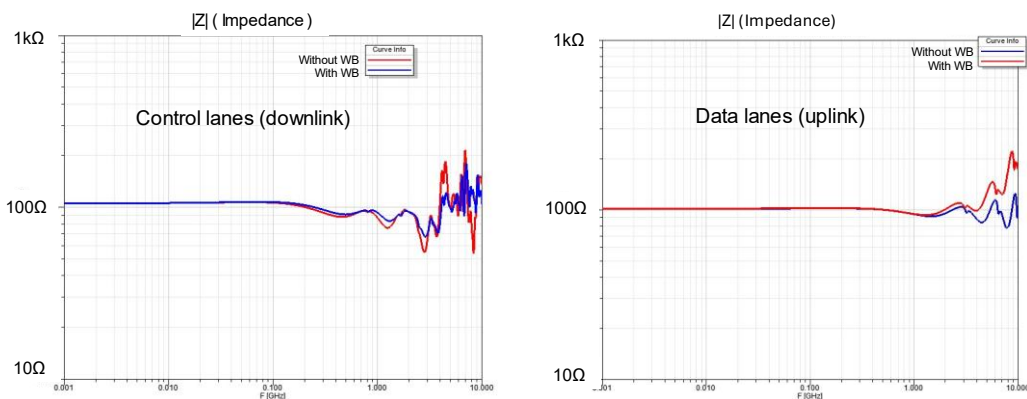


Fig.6.27. Resultados de impedancia de las líneas diferenciales incorporando los *wirebonds*.

A partir de estos resultados se puede extraer que las líneas del *uplink* presentan una impedancia más constante y estable con la frecuencia. Esto es esperable, ya que su enrutamiento está situado únicamente en la capa superior del HDI, lo que reduce posibles transiciones de impedancias en los distintos cambios de capas a través de vías.

En la Fig.6.28 se añade la impedancia del conjunto incluyendo la del receptor del chip para el *downlink*. La impedancia de entrada del chip genera una distorsión importante en la impedancia de línea a altas frecuencias, mostrando varias resonancias que provocan variaciones desde 10Ω hasta 1kΩ.

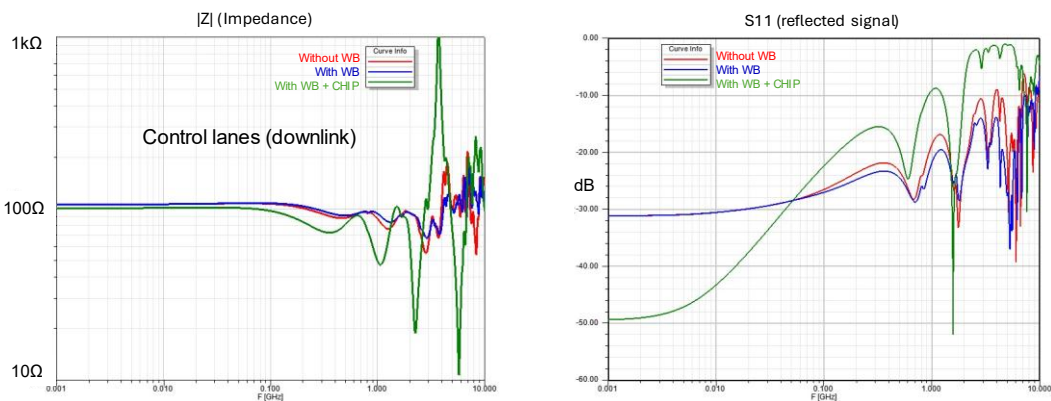


Fig.6.28. Resultados de impedancia de las líneas de control incorporando los *wirebonds* y la impedancia de entrada del chip.

Para entender cómo se traduce el efecto de estas distorsiones en la impedancia sobre la integridad de la señal, se realiza la simulación en el dominio temporal.

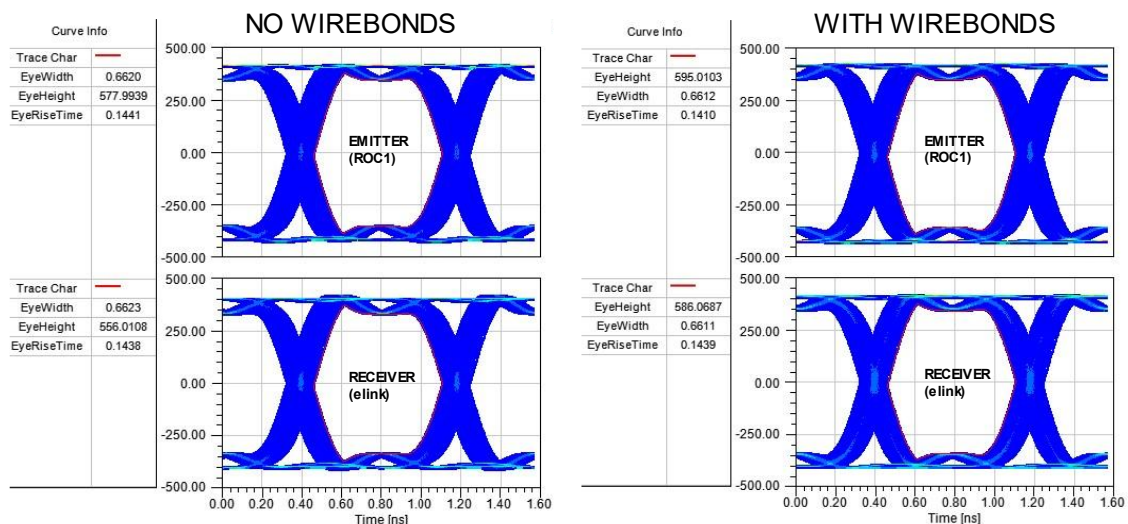


Fig.6.29. Efecto de los *wirebonds* en el diagrama de ojo del *uplink*

Se muestran primero los diagramas de ojo del *uplink* en la Fig.6.29, donde no se observa prácticamente ninguna diferencia entre los dos casos de estudio. Centrándonos en los valores objetivos de las medidas de los diagramas de ojo,

no se observa degradación de ninguno de los parámetros estudiados (altura y anchura del ojo, y tiempo del flanco de subida).

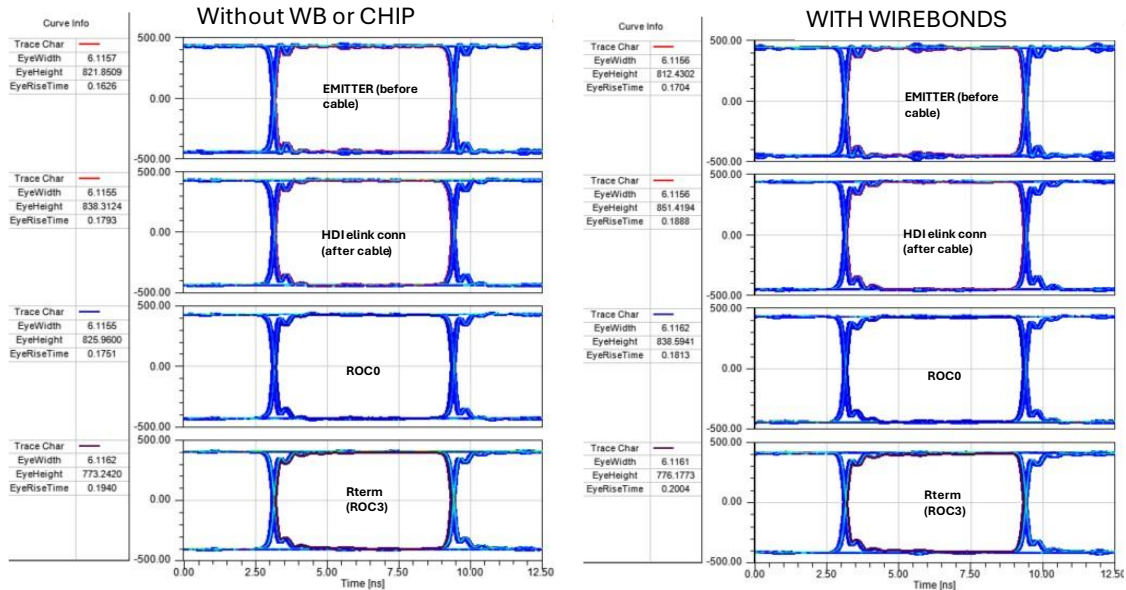


Fig.6.30. Efecto de los *wirebonds* (WB) en el diagrama de ojo del *downlink*

En el caso del *downlink*, como se muestra en la Fig.6.30, la degradación de la señal debida a la inclusión de los *wirebonds* es igualmente mínima.

En la Fig.6.31 se muestran los resultados incorporando tanto los *wirebonds* como la impedancia de entrada del chip. En este caso sí que se observa una degradación de la señal más evidente.

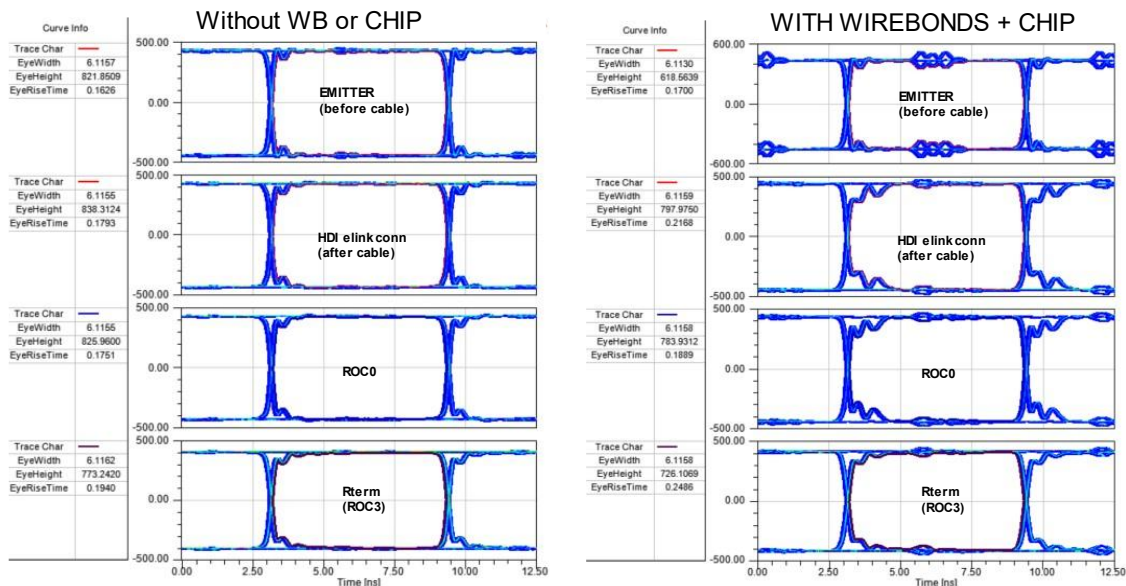


Fig.6.31. Efecto de la impedancia de entrada del chip en el diagrama de ojo del *downlink*

La señal en el emisor presenta más claramente los efectos de las señales reflejadas, que, debido al desfase generado por los cables incorporados en el

modelo, ahora muestran sus efectos en el centro de un ciclo de señal y no en puntos próximos a los flancos como sucedía antes. Desde un punto de vista cuantitativo, la impedancia del chip empeora todos los parámetros medidos en el diagrama de ojo, por lo que es un factor a tener en cuenta. Esta impedancia es un parámetro de diseño del chip que no se puede modificar, pero es importante conocer su contribución para cuantificar la contribución del resto de elementos durante el diseño del HDI.

Para ello, se realizó un nuevo análisis variando los valores de las resistencias de la etapa de entrada del chip (Fig.6.32), con el fin de determinar qué elementos de ésta contribuyen en mayor medida a la distorsión de la señal, e intentar optimizarlos en la medida de lo posible.

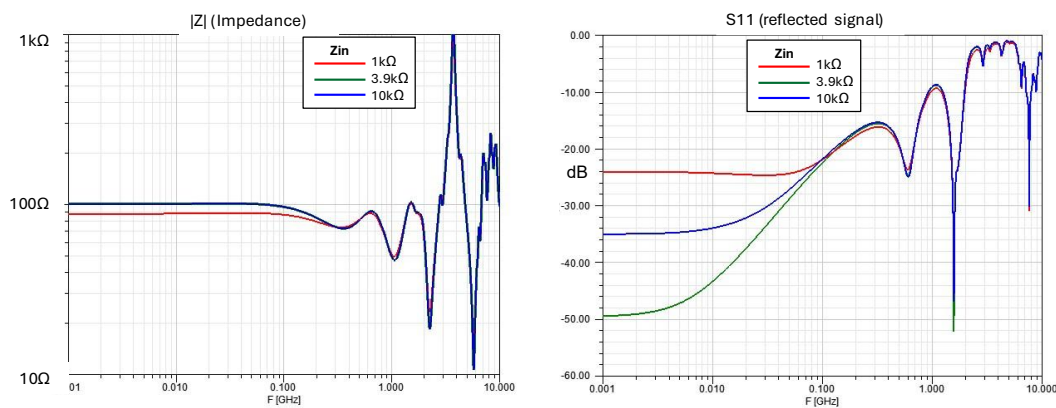


Fig.6.32. Efecto de la resistencia de entrada del chip en la impedancia de la línea de transmisión vista desde el emisor

Se observó que los valores de las resistencias afectan únicamente y de forma muy leve al valor de impedancia en DC o en bajas frecuencias, mientras que la capacidad es la causante principal de las resonancias y efectos de distorsión que se han observado en las frecuencias de interés. Se simularon varios valores de resistencia, ya que es el único parámetro que se puede modificar de la etapa de entrada LVDS, con el objetivo de intentar mejorar la respuesta en frecuencia del sistema. El valor de la capacidad está extraído de los modelos detallados de diseño del chip en Cadence Virtuoso, y es debida principalmente a la capacidad parásita de las estructuras de protección ESD (Descarga Electroestática) integradas en los pads del propio chip, por lo que es un parámetro fijo que no se puede modificar.

#### 6.4.3.2. Capacidad de acoplamiento AC

Todas las líneas de señal de los HDI presentan acoplamiento capacitivo AC, es decir, montan un condensador en serie en cada una de las líneas para absorber diferencias de tensión continua. Básicamente, actúan como un filtro pasa alto. Este acoplamiento es necesario debido a la diferencia de tensión de tierra de

referencia existente entre cada uno de los módulos, por ser un sistema de alimentación serie. Estos condensadores se cargan a la diferencia de tensión existente entre cada módulo y el sistema de adquisición, bloqueando así el paso de corriente continua. Debido a esto, en el caso más restrictivo deberán ser capaces de soportar la tensión máxima de la cadena serie completa, por lo que es necesario utilizar condensadores con un mínimo de 25V de tensión de funcionamiento. Para garantizar un amplio margen de seguridad, dado que el detector operará bajo dosis extremas de radiación ionizante, se establece un margen de seguridad que duplica la tensión máxima de trabajo, es decir, que los condensadores deberán soportar hasta 50V.

Estos condensadores se colocan generalmente en el lado del receptor, próximos a la resistencia de terminación, por lo que las líneas de salida de datos no presentan capacidades en el HDI. Para el conexionado de estos condensadores existen dos topologías posibles desde el punto de vista de la línea del *downlink*:

- Acoplamiento AC único: Se utilizan únicamente 2 condensadores por módulo, 1 por cada línea del par diferencial.
- Acoplamiento AC múltiple: Se utilizan 2 condensadores por chip, es decir, 8 condensadores para el caso de un HDI 2x2. Se trata de un acoplamiento individual para cada chip.

En la Fig.6.33 se muestran los esquemas simplificados de estas dos topologías, resaltando el rojo los condensadores de acoplamiento AC.

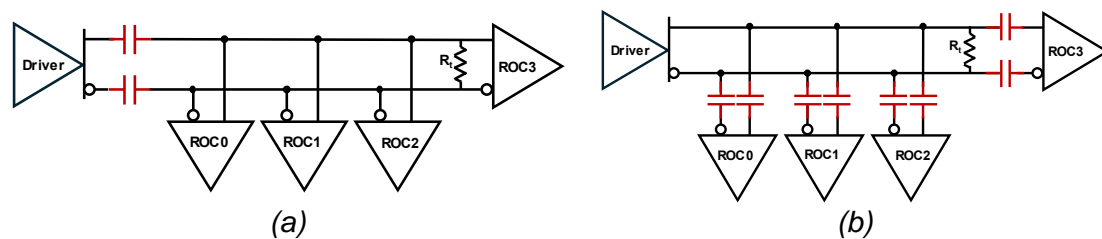


Fig.6.33. Esquemas de acoplamiento AC único (a) y AC múltiple (b)

Utilizar un acoplamiento único tiene la ventaja de simplificar el diseño, ya que únicamente se necesita conectar 2 condensadores. Al mismo tiempo, esto debería ser también positivo respecto a la integridad de la señal porque se tiene menor número de interrupciones de la línea de transmisión, y las conexiones a cada chip pueden ser ligeramente más cortas y directas.

El acoplamiento múltiple aporta un acoplamiento capacitivo entre los distintos chips de un módulo, lo que confiere un mayor aislamiento de las líneas del *downlink* entre ellos. Esto proporciona mayor robustez al sistema, ya que, si sucede algún problema en la entrada LVDS de uno de los chips, éste puede quedar localizado en un único chip sin afectar al resto del módulo.

Se ha realizado un análisis por simulación de estas dos topologías para determinar y cuantificar las diferencias existentes entre ellas. Los resultados de la Fig.6.34 indican una ligera degradación de la señal al utilizar la topología de acoplamiento múltiple (*multi-coupling*). El modelo de la simulación del *multi-coupling* es una primera versión del diseño que se realizó para poder tener una comparativa directa con la topología *single-coupling*, por lo que no es un diseño optimizado. No obstante, y a pesar de ello, no se observan diferencias críticas entre ambos casos.

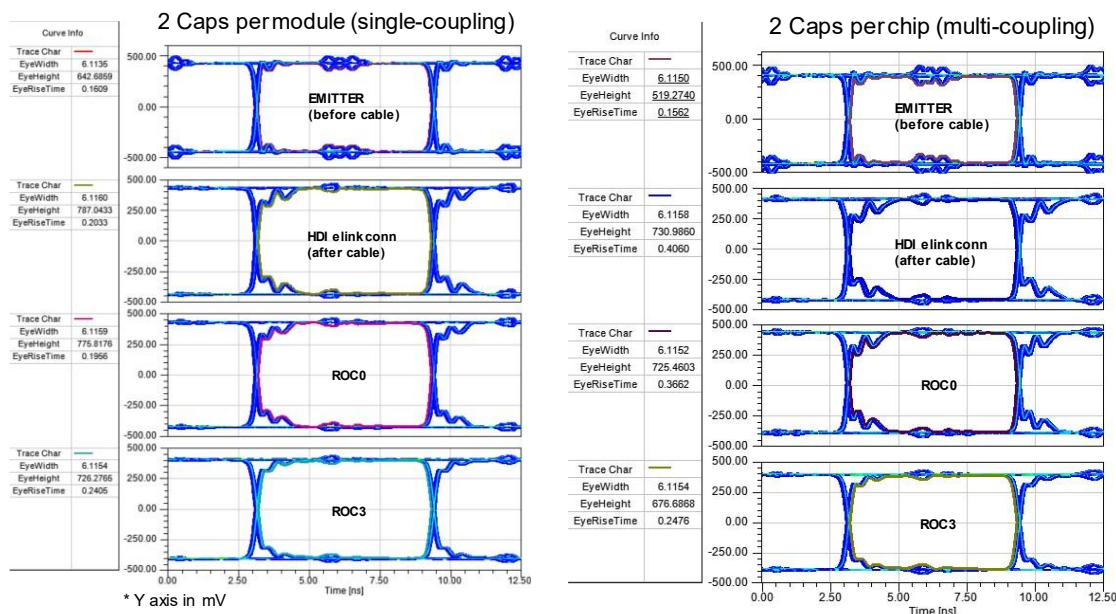


Fig.6.34. Efecto de la topología de condensadores de acoplamiento AC en el diagrama de ojo del downlink

Un punto clave para analizar, y que diferencia a estas dos topologías, es el del valor de la capacidad de los condensadores de acoplamiento AC. El valor del condensador debe ser lo suficientemente grande para que sea capaz de mantener la tensión DC estable a lo largo de la transmisión. Si el condensador es excesivamente pequeño, no será capaz de mantener la tensión DC estable, se cargará y descargará continuamente a lo largo de cada bit transmitido, y esto afectará inevitablemente a la integridad de la señal. En la Fig.6.35 se muestran los resultados del diagrama de ojo para distintos valores de condensador, comparando las dos topologías que se están analizando.

En este caso, se observa una clara ventaja del *multi-coupling* que permite utilizar capacidades muy pequeñas, menores que 1nF, manteniendo la integridad de la señal intacta. En el caso del *single-coupling*, para valores de alrededor de 10nF, ya se ven efectos claros de reducción de la altura del ojo, lo cual puede comprometer la comunicación. Este efecto viene definido por el circuito C-R del filtro pasa alto que “ve” el driver LVDS, y que determina la constante de tiempo

de carga y descarga de los condensadores de acoplamiento. Esta constante es totalmente distinta para cada una de las topologías.

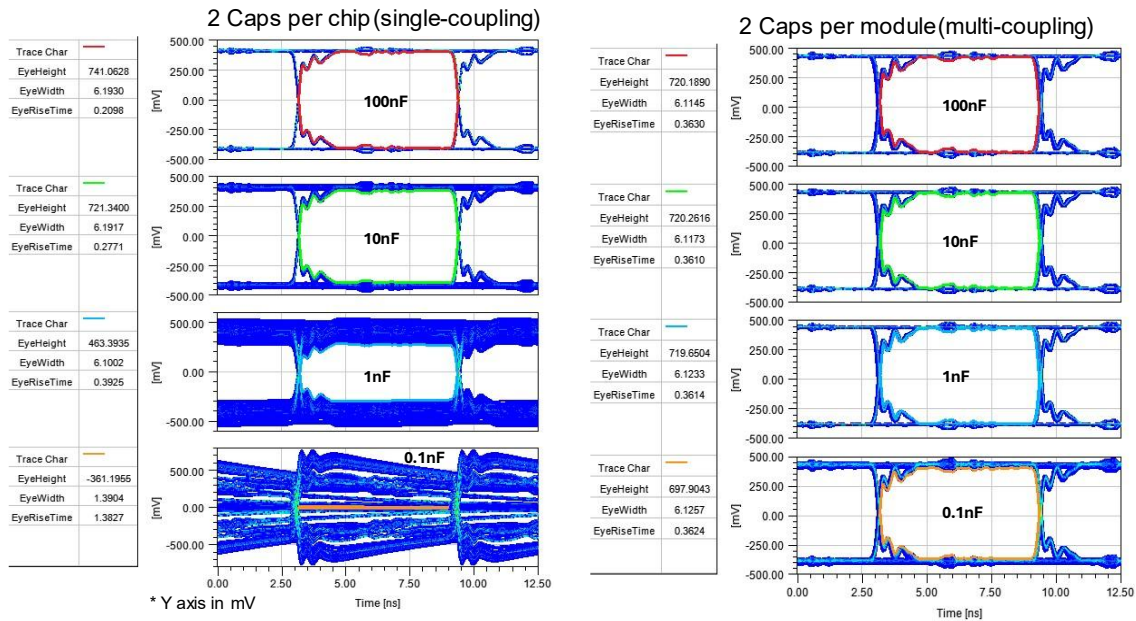


Fig.6.35. Diagrama de ojo del downlink en ROC0 para distintos valores de capacidad AC, y para las dos topologías propuestas

En la Fig.6.36 se muestra un esquema simplificado de cada una de las topologías, destacando las impedancias que forman parte de este circuito C-R. Si suponemos la misma capacidad en ambos casos, la principal diferencia entre ellos es que la resistencia de terminación ( $R_t$ ) no forma parte del circuito C-R del *multi-coupling*, al estar colocada antes del desacoplo. Para el *single-coupling* la resistencia está dominada por  $R_t = 100\Omega$ , y en *multi-coupling* la resistencia es  $R_{ROC} = 18k\Omega$ . Por tanto, la constante C-R será hasta  $\sim 180$  veces mayor en *multi* que en *single*.

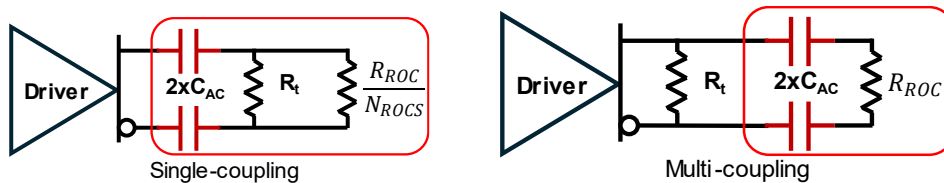


Fig.6.36. Esquema simplificado de impedancias C-R del downlink vistas desde el driver LVDS

Estos resultados indican que se pueden utilizar condensadores con una capacidad hasta 180 veces menor en el caso del *multi-coupling*, para obtener la misma calidad de señal. Este punto es importante ya que esta topología utiliza 8 condensadores en lugar de 2, pero al tener un tamaño mucho menor, se pueden utilizar encapsulados más reducidos para no incrementar o incluso reducir la cantidad de material del conjunto.

En base a estos estudios se pueden definir unos valores mínimos aproximados de capacidad de 100nF para *single-coupling* y de 1nF para *multi-coupling*.

### 6.4.3.3. Inductancia parásita de los condensadores de acoplamiento AC

Los condensadores de acoplamiento AC se conectan en serie con las líneas de transmisión diferenciales, como mencionamos previamente. Al formar parte de la línea de transmisión, cualquier componente parásito que se incorpore puede afectar negativamente a la integridad de estas señales.

En la Fig.6.37 se muestran resultados de integridad de señal para distintos valores de inductancia parásita, para el caso de topología *multi-coupling* con condensadores de 1nF, y para la topología *single-coupling* con condensadores de 100nF. De estos resultados se infiere que para valores de inductancia menores que 1nH no hay ninguna degradación observable de la señal del *downlink*. Solo para valores muy elevados como 5nH, y de forma más acusada para el caso *multi-coupling*, se puede ver que la señal se empieza a degradar mostrando mayores oscilaciones o resonancias después de cada transición.

Para la topología *multi-coupling* se utilizan condensadores de tamaño de encapsulado 0201 o menor. Para este tamaño, la inductancia parásita típica es siempre menor que 0.2nH, por lo que no va a tener ningún efecto sobre la integridad de la señal. Sin embargo, para *single-coupling*, los condensadores serán ligeramente mayores, con encapsulado 0402 o menor, y poseen una inductancia parásita típica menor que 0.4nH. La inductancia es ligeramente mayor, pero atendiendo a los resultados de la simulación, tampoco tendrá efecto alguno sobre la señal diferencial.

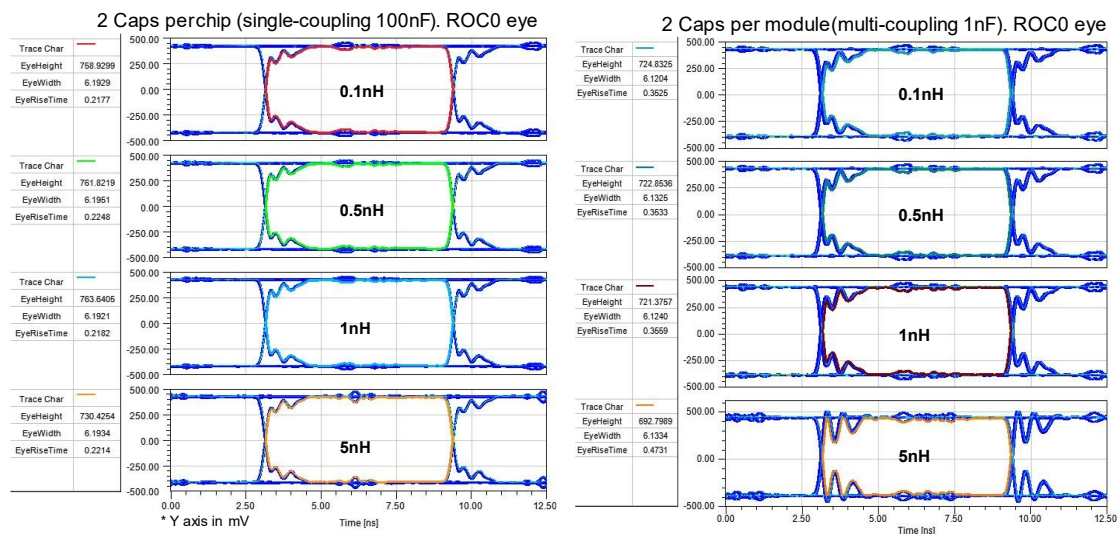


Fig.6.37. Diagrama de ojo del downlink en ROC0 para distintos valores de inductancia parásita de los condensadores AC

Por otro lado, es importante destacar que las líneas de datos (*uplink*) son de mayor frecuencia y lógicamente pueden ser más sensibles a variaciones en la línea de transmisión. Sin embargo, los condensadores de acoplamiento AC se montan próximos al dispositivo receptor, por lo que en este caso no serían parte del diseño del HDI sino del receptor externo. En el detector final, este receptor será el módulo LPGBT que actúa como transeceptor de señal eléctrica a óptica.

## 6.5. Conclusiones

En este capítulo se ha realizado el diseño de un HDI desde el punto de vista de las líneas de distribución de potencia, y desde el de las líneas de señal de alta frecuencia. Los modelos de simulación por elementos finitos en Ansys han demostrado ser una herramienta muy útil para incorporar en el proceso de diseño y desarrollo de los HDI.

Desde el punto de vista de la distribución de potencia, esta metodología de trabajo ha conseguido un diseño más eficiente y minimizando cantidad de material, reduciendo además los puntos calientes para una disipación de potencia más uniforme. Además, se ha optimizado la simetría del HDI mejorando la distribución de corriente entre los chips de un mismo módulo, de forma que la variación máxima de corriente entre chips se mantiene menor al 1% en todos los diseños finales.

Se ha realizado un diseño de la red de desacoplo con especial hincapié en la reducción de las inductancias parásitas. La principal contribución a la inductancia parásita viene de parte de los *wirebonds* que conectan HDI con el chip. Realizando un diseño de desacoplo distribuido en varios bloques de condensadores y *wirebonds*, se ha conseguido mantener la inductancia parásita del conjunto en valores menores que 1nH.

Desde el punto de vista de las líneas de señal, los modelos de simulación detallados han permitido ajustar la impedancia característica de las líneas de transmisión de forma mucho más precisa que con modelos aproximados.

Se ha determinado que una topología de distribución multipunto para la línea de control (*downlink*), es mucho más fiable desde el punto de vista de integridad de la señal, y los desfases que se pueden generar entre chips son muy reducidos y pueden ser compensados por la electrónica del chip en caso de causar algún problema.

Los estudios de las líneas de señal han permitido analizar la contribución y efecto que tienen el resto de los elementos que forman parte de estas líneas, como los

*wirebonds*, chips o condensadores de acoplo AC. Se ha determinado que el componente principal que afecta a la integridad de señal del *downlink* es la capacidad parásita a la entrada del chip, pero esta capacidad es fija y no se puede modificar. Por último, cabe señalar que el efecto de los *wirebonds* y condensadores de acoplo es prácticamente insignificante, siempre que se lleve a cabo un diseño cuidadoso que contemple los aspectos clave para optimizar su rendimiento.

## 6.6. Referencias

- [6-1] P. Rymaszewski et al, “A Clock and Data Recovery Circuit for the ALTAS/CMS HL-LHC Pixel Front End Chip in 65 nm CMOS Technology”, TWEPP 2019 proceedings, Proceedings of Science V370, <https://doi.org/10.22323/1.370.0046>
- [6-2] P. Rymaszewski PHD thesis, Bonn University, “Design and characterization of pixel IC electronics and sensors for new pixel detector generations.”, Marzo 2022, <https://bonndoc.ulb.uni-bonn.de/xmlui/handle/20.500.11811/9695>
- [6-3] T. Wang, T. Hemperek, H. Krüger, K. Moustakas, P. Rymaszewski and M. Vogt, “A high speed transmitter circuit for the ATLAS/CMS HL-LHC pixel readout chip”, PoS TWEPP2018 (2019) 098, <https://doi.org/10.22323/1.343.0098>
- [6-4] IPC-2141A “Design Guide for High-Speed Controlled Impedance Circuit Boards”, Association Connecting Electronics Industry, Marzo 2004, <https://www.ipc.org/TOC/IPC-2141A.pdf>
- [6-5] G. Blanchot, F. De Canio, T. Gadek, A. Honma, M. Kovacs, P. Rosea and G. Traversi, “Transmission lines implementation on HDI flex circuits for the CMS tracker upgrade”, 2016 JINST 11 C01081, <https://doi.org/10.1088/1748-0221/11/01/C01081>



# *Capítulo 7:*

## *Resumen*

---

La presente tesis ha abordado de manera exhaustiva el diseño, desarrollo y validación de un sistema de alimentación híbrido serie-paralelo, destinado a los futuros detectores de píxeles del Gran Colisionador de Hadrones (LHC) en el CERN, con un enfoque particular en el detector de píxeles de segunda generación del experimento CMS. Este trabajo pionero se ha distinguido por integrar múltiples perspectivas clave desde las etapas iniciales del diseño, abarcando tanto el análisis estático y funcional como el comportamiento ante transitorios y la inmunidad a interferencias electromagnéticas. Adicionalmente, la investigación ha profundizado en las complejas implicaciones de la integración del sistema, asegurando un diseño robusto y eficiente, apto para operar en entornos complejos y con alta radiación ionizante, características propias del LHC.

El contexto en el que se desarrolla esta investigación se enmarca en los esfuerzos globales para mejorar la precisión y eficiencia de los experimentos de física de partículas, especialmente con miras a la actualización del LHC a su versión de alta luminosidad (HL-LHC). Este nuevo entorno demandará tecnologías de detección y alimentación de alta precisión y resiliencia, capaces de manejar las intensas condiciones de operación y las altas tasas de datos que se esperan. Dentro de este panorama, el desarrollo de un sistema de alimentación robusto para los detectores de píxeles no solo es crucial para el éxito del experimento CMS, sino que también establece un precedente para futuros desarrollos tecnológicos en la física de partículas.

### Diseño Estático y Funcional

El capítulo dedicado al diseño estático y funcional del sistema de alimentación híbrido ha sentado las bases para la optimización de la distribución de potencia en los detectores de alta energía. Este diseño híbrido, que combina la alimentación en serie y en paralelo, permite una mayor eficiencia energética y estabilidad operativa en el detector de píxeles del CMS. La elección de esta topología no es casual, sino que responde a la necesidad de minimizar las pérdidas de energía y gestionar eficientemente el calor generado, lo cual es fundamental para mantener la operatividad del detector en un entorno tan exigente como el del HL-LHC.

El regulador Shunt-LDO (SLDO) ha emergido como un componente central en este sistema, desarrollado en tecnología CMOS de 65nm. Este regulador garantiza una alimentación estable para sistemas conectados en serie, donde la corriente debe mantenerse constante y bien definida por la fuente de alimentación. A lo largo de este capítulo, se ha demostrado que tanto la configuración como el punto de operación del SLDO son críticos para el rendimiento global del sistema, estableciéndose un punto de operación nominal de 1.5V-1A, que equilibra de manera óptima la eficiencia energética y la estabilidad operativa.

**Los estudios realizados, que han sido detallados con rigurosidad, indican que un margen de corriente del 20-25% es óptimo para gestionar las variaciones en el consumo de los chips.** Este margen asegura que el sistema funcione de manera adecuada incluso en condiciones subóptimas, lo cual es un logro significativo en el diseño de sistemas de alta fiabilidad. Además, **se identificó que la tensión de offset ( $V_{ofs}$ ) tiene un impacto considerable en la estabilidad de la corriente**, lo que resalta la importancia de una configuración precisa y controlada del SLDO para evitar posibles desestabilizaciones que podrían comprometer el rendimiento del detector.

### Inmunidad y Control de Transitorios

El análisis de la inmunidad y control de transitorios ha sido fundamental para asegurar la fiabilidad del sistema de alimentación en el detector de píxeles, especialmente en el desafiante entorno del HL-LHC. Este estudio, realizado mediante simulaciones en Cadence Virtuoso y con medidas reales en prototipos, evaluó con precisión el comportamiento dinámico del SLDO, tomando en cuenta factores como capacitancias, inductancias y resistencias parásitas, que pueden afectar la estabilidad del sistema en escenarios de operación real.

Los resultados obtenidos subrayan la importancia de una correcta selección de los condensadores de desacoplo y un diseño de PCB adecuado, elementos clave para mantener la estabilidad del regulador. Se destacó la necesidad de ajustar cuidadosamente los parámetros del SLDO, como la tensión de offset y la

resistencia equivalente, para optimizar su respuesta a transitorios y garantizar la estabilidad a largo plazo. Además, **se presentaron soluciones específicas** para abordar problemas de arranque a bajas temperaturas, incluyendo un nuevo **circuito en el lazo de control del SLDO que mejora la estabilidad inicial y habilita un modo de funcionamiento de bajo consumo (circuito totalmente desarrollado y validado en la presente tesis)**, que permite arrancar el detector bajo condiciones de refrigeración limitadas. Estos desarrollos son cruciales para la operatividad del detector en las duras condiciones de temperatura y radiación del LHC.

El capítulo concluye que una correcta configuración y validación de los componentes del sistema de alimentación es esencial para garantizar la fiabilidad y el rendimiento del detector de píxeles. Esta afirmación no solo se basa en simulaciones con complejos modelos lo más realistas posible, sino que está respaldada por ensayos y pruebas realizadas en condiciones controladas tanto en el laboratorio de electrónica de potencia y EMC del ITA como en los laboratorios de CMS en el CERN. Todo ello **ha demostrado la resiliencia del sistema ante variaciones de temperatura, cargas y otros factores adversos que podrían comprometer su funcionamiento.**

#### *Inmunidad a Interferencias de Radiofrecuencia Conducidas*

Otro aspecto crítico abordado en la tesis es la inmunidad a las interferencias de radiofrecuencia (RF) conducidas. El análisis de la susceptibilidad al ruido electromagnético, tanto a nivel de ASIC como de sistema, se evaluó minuciosamente desde las primeras fases del diseño, lo que permitió implementar mejoras significativas a lo largo del desarrollo del sistema de alimentación serie-paralelo. **Es la primera vez que se lleva a cabo este análisis en un detector de píxeles con sensores planares y sensores 3D, desde la fase inicial de diseño.**

El trabajo comparativo realizado sobre las diferentes topologías del *Front-End* (FE) del chip RD53A demostró que la topología diferencial es la más robusta frente al ruido en todo el rango de medición. Esta robustez es particularmente importante en el contexto del HL-LHC, donde las condiciones operativas extremas pueden generar niveles significativos de ruido electromagnético que, si no son controlados, podrían interferir en la correcta detección de partículas.

Además, se observó que el regulador SLDO en los chips RD53A funciona eficazmente como filtro activo integrado, mejorando notablemente la inmunidad al ruido sin la necesidad de recurrir a filtros pasivos voluminosos, los cuales podrían no ser viables debido a las restricciones de espacio y peso en el detector. Los estudios a nivel de sistema resaltaron también la importancia del diseño del *layout* y la conexión a tierra para minimizar la sensibilidad al ruido, aspectos que fueron considerados cuidadosamente durante el diseño.

**Se establecieron límites de emisión de ruido que son compatibles con la electrónica del *Front-End*, garantizando un rendimiento óptimo del detector en condiciones operativas reales.** Estos límites resultaron ser notablemente mayores a los definidos por algunos estándares de EMC. Este enfoque no solo ha permitido optimizar el diseño del sistema de alimentación, sino que también ha proporcionado una base sólida para futuras mejoras y adaptaciones del detector ante posibles cambios en los requisitos operativos.

### *Diseño de HDI y su Integración en el Sistema*

El capítulo sobre el diseño de las PCB flexibles de alta densidad (HDI) destaca el enfoque integral adoptado en esta tesis, abarcando tanto la distribución de potencia como las señales de alta frecuencia. Los modelos de simulación por elementos finitos en Ansys demostraron ser herramientas valiosas para el desarrollo y optimización de los HDI, permitiendo realizar ajustes precisos que resultaron en una distribución de corriente más eficiente y una disipación térmica mejorada. Esta es la primera vez que en un detector de física de altas energías se usan estas herramientas para optimizar el diseño de un híbrido.

El diseño de la red de desacoplo, con un enfoque en la minimización de inductancias parásitas, ha sido crucial para mantener la integridad de la señal y la estabilidad del sistema. **Este enfoque ha permitido que los HDI diseñados ofrezcan un rendimiento superior, minimizando los efectos negativos de las capacitancias e inductancias parásitas, que podrían comprometer la calidad de las señales de alta frecuencia transmitidas.**

El análisis detallado de las líneas de señal ha mostrado que, con un diseño cuidadoso, el impacto de los elementos parásitos puede ser prácticamente despreciable. Esto es un logro significativo, dado que la calidad de la señal es un factor crítico para el correcto funcionamiento del detector, especialmente en la transmisión de datos a altas velocidades. Además, el diseño de los HDI se ha centrado en la reducción de material, lo que no solo mejora la eficiencia energética del sistema, sino que también contribuye a la reducción de peso, un factor importante en el diseño de detectores de partículas.

# Capítulo 8:

## Conclusiones

---

Esta tesis ha logrado desarrollar el diseño de sistema de alimentación robusto, eficiente y adaptativo para los futuros detectores de píxeles del LHC, con un enfoque particular en el experimento CMS. A lo largo del trabajo se ha demostrado que el enfoque integral adoptado, abarcando desde el diseño estático y funcional hasta la inmunidad a transitorios y a interferencias electromagnéticas, ha permitido desarrollar un sistema que no solo cumple con los exigentes requisitos operativos actuales, sino que también es adaptable a futuras necesidades y mejoras tecnológicas.

El regulador *Shunt-LDO*, como componente central del sistema, ha mostrado ser un elemento esencial para garantizar la estabilidad y eficiencia operativa del detector, incluso en los escenarios más exigentes. Los ensayos y simulaciones realizados han confirmado la robustez del diseño, validando su aplicabilidad en condiciones extremas y asegurando la fiabilidad del sistema a largo plazo.

**Este trabajo no solo representa un avance técnico significativo en el campo de la física de partículas, sino que también establece un precedente importante para futuras investigaciones y desarrollos tecnológicos en experimentos de alta energía.** La contribución de esta tesis se extiende más allá del contexto inmediato del LHC, proporcionando conocimientos y soluciones que serán fundamentales para la próxima generación de detectores de partículas y experimentos científicos a nivel mundial.

El impacto de esta investigación radica en su capacidad para mejorar las infraestructuras tecnológicas utilizadas en experimentos de alta energía, fortaleciendo las capacidades de descubrimiento.

Es importante destacar que el desarrollo de un prototipo de módulo de dos chips (1x2 RD53A-TBPX) para el detector de píxeles de CMS ha marcado un hito significativo para los grupos españoles de investigación aplicada a la física de altas energías, en particular para los equipos del IMB-CNM, IFCA e ITA. **Es la primera vez que se construye un prototipo totalmente funcional de un detector de píxeles de nueva generación, cuyos componentes han sido diseñados, construidos e integrados mayoritariamente por grupos españoles**, en colaboración con prestigiosos centros internacionales.

El ITA se encargó del diseño de los HDI y las tarjetas adaptadoras, mientras que el IMB-NM diseñó y fabricó los sensores 3D. Los chips RD53A fueron el resultado de una colaboración entre más de 20 centros de investigación durante 10 años, incluyendo al ITA, la Universidad de Sevilla y el CERN. El ensamblaje de todos los elementos fue realizado por el IFCA en colaboración con el ETHZ (Escuela Politécnica Federal de Zurich) y el INFN (Instituto Nacional de Física Nuclear de Italia).

Del presente trabajo se desprenden varias líneas que podrían continuar con trabajos de investigación más extensos:

- **Eficiencia Energética:** Explorar nuevas topologías de alimentación y tecnologías de bajo consumo que puedan reducir aún más las pérdidas energéticas, combinando topologías serie y paralelo, y nuevas tecnologías de transistores de banda ancha. Por ejemplo, con el uso de convertidores DC/DC intermedios con tecnología de Nitruro de Galio (GaN).
- **Diseño de sistemas sensibles de bajo ruido:** Implementar mejoras en el protocolo y metodología de caracterización de los chips de lectura (ROC) frente al ruido conducido o radiado, y adaptar su aplicación a otro tipo de detectores. Profundizar en el estudio y comprensión de los modos de acoplamiento del ruido en la electrónica de *front-end*.
- **Diseño de microelectrónica:** Como resultado de este trabajo de tesis, el ITA ha dado sus primeros pasos en el diseño y verificación de circuitos integrados tolerantes a la radiación, sumándose a la iniciativa europea EURORACTICE-IC. Esto ha permitido acceder a herramientas avanzadas de diseño y prototipado de microchips, así como a cursos especializados que refuerzan nuestro conocimiento y experiencia en el área. Esta colaboración puede abrir la puerta al futuro desarrollo de microelectrónica para aplicaciones industriales.

- **Optimización de la Resistencia a la Radiación:** Mejorar la capacidad de los componentes para soportar condiciones aún más extremas, aprovechando nuevas tecnologías y avances en materiales. Desarrollar sistemas para evaluar el comportamiento de la electrónica bajo condiciones de radiación ionizante en tiempo real.

Las líneas de investigación en eficiencia energética para la distribución de potencia y el diseño de sistemas de bajo ruido electromagnético van a continuar su desarrollo dentro del grupo a través de dos proyectos aprobados por la colaboración DRD7 del CERN. DRD7 es un grupo de trabajo o colaboración dentro de un marco más amplio y general llamado DRD, *Detector Research and Development collaboration*, destinado a la investigación de tecnologías novedosas para los futuros detectores. El grupo 7 en particular se centra en la temática de “*Electronics and (on-detector) data processing*”. Estos proyectos son:

- “Development of high efficiency power distribution schemes based on GaN DC-DC converters for powering Next Generation Detector Systems.”
- “Development of high-precision and high-deterministic timing distribution techniques based on White Rabbit technology 4D/5D detectors.”.



# *Glosario*

---

**AC** - Alternating Current

**ADC** - Analog-to-Digital Converter

**AFE** - Analog Front-End

**ALICE** - A Large Ion Collider Experiment

**ASIC** - Application Specific Integrated Circuit

**ATLAS** - *A Toroidal LHC ApparatuS*

**BDAQ53** - Bonn Data Acquisition System for RD53

**BSM** - Beyond Standard Model

**CDR** - Clock Data Recovery

**CM** - Common Mode

**CML** - Current Mode Logic

**CMOS** - Complementary Metal-Oxide-Semiconductor

**CMS** - Compact Muon Solenoid

**CROC** - *CMS Read-Out Chip*

**DAC** - Digital-to-Analog Converter

**DAQ** - Data Acquisition

**DC** - Direct Current

**DM** - Differential Mode

**ECAL** - Electromagnetic Calorimeter

**EMC** - Electromagnetic Compatibility

**ENC** - Equivalent Noise Charge

**ESD** - Electrostatic Discharge

**EUT** - Equipment Under Test

**FEE** - Front-End Electronics

**FMC** - FPGA Mezzanine Card

**FPGA** - Field-Programmable Gate Array

**GEM** - Gas Electron Multiplier

**HCAL** - Hadron Calorimeter

**HDI** - High-Density Interconnect

**HEP** - High Energy Physics

**HL-LHC** - High Luminosity Large Hadron Collider

**HPM** - High Power Mode

**HRPWM** - High Resolution Pulse Width Modulation

**IO** - Input / Output

**IT** - Inner Tracker

**LDO** - Low Drop-Out (voltage regulator)

**LHC** - Large Hadron Collider

**LHCb** - Large Hadron Collider beauty ("beauty se refiere a quarks b)

**LISN** - Line Impedance Stabilization Network

**LPGBT** - Low-Power Gigabit Transceiver

**LPM** - Low Power Mode

**LVDS** - Low Voltage Differential Signaling

**MIL-STD** - Military Standard

**PCB** - Printed Circuit Board

**PLL** - Phase-Locked Loop

**PROC** - Pixel Read-Out Chip

**PS** - Proton Synchrotron

**PSRR** - Power Supply Rejection Ratio

**PWM** - Pulse Width Modulation

**RF** - Radio Frecuencia

**ROC** - Read-Out Chip

**RPC** - Resistive Plate Chamber

**SCC** – Single Chip Card

**SEE** - Single Event Effect

**SET** - Single Event Transient

**SEU** - Single Event Upset

**SLDO** - Shunt Low Dropout Regulator

**SM** - Standard Model

**SMD** - Surface-Mount Device

**SPS** - Super Proton Synchrotron

**TAS** - Target Absorber Secondaries

**TBPX** - Tracker Barrel Pixel Detector

**TEPX** - Tracker Endcap Pixel Detector

**TF** - Transfer Function

**TFPX** - Tracker Forward Pixel Detector

**TID** - Total Ionizing Dose

**TOT** - Time Over Threshold

**TSMC** - Taiwan Semiconductor Manufacturing Company

**VCO** - Voltage-Controlled Oscillator

**VCSEL** - Vertical Cavity Surface Emitting Laser



# Índice de Tablas y Figuras

---

## TABLAS:

Tabla 2.1. Número total de módulos, chips y pixeles de lectura.....	30
Tabla 2.2. Resumen del número de enlaces E, enlaces ópticos y cadenas de alimentación en serie, junto con la potencia frontal consumida en dichas cadenas, por subdetector Inner Tracker y en total. ....	34
Tabla 3.1. Consumo de corriente de la electrónica de un chip en la capa L1 del TBPX. Consumo por píxel, “Chip bottom” y SLDO headroom.....	71
Tabla 3.2. <i>Disipación de potencia en los chips de TBPX-L1 para los casos nominal y sin carga</i> .....	72
Tabla 3.3. Valores ajustados de los parámetros del modelo simplificado de los chips de TBPX-L1 .....	72
Tabla 3.4. Resultados de simulación en Cadence Virtuoso de fallo en circuito abierto de 1 chip en módulos de 2 y 4 chips .....	75
Tabla 3.5. Resultados de simulación en Cadence Virtuoso de fallo en la referencia Vofs de 1 chip en módulos de 2 y 4 chips .....	76
Tabla 3.6. Valores optimizados del punto de operación de los chips CROC en la capa más cercana al punto de interacción .....	78
Tabla 3.7. Valores optimizados del punto de operación de los chips CROC en la capa más cercana al punto de interacción .....	79
Tabla 6.1. Especificaciones de potencia disipada por los HDI-TBPX-RD53A	184
Tabla 6.2. Resumen de disipación de potencia de las distintas versiones del HDI-TBPX-RD53A 2x2 .....	187
Tabla 6.3. Variación máxima de corriente entre chips en función de Req en HDI-TBPX-RD53A V1 .....	189
Tabla 6.4. Resumen de diferencia de consumo de corriente entre chips para las distintas versiones de HDI-TBPX diseñadas .....	190
Tabla 6.5. Impedancia de estructura básica de líneas de alimentación del HDI incluyendo wirebonds.....	194
Tabla 6.6. Impedancia de estructura líneas de alimentación de chip completo en HDI, en función del número de wirebonds.....	195
Tabla 6.7. Impedancia característica de las líneas diferenciales del HDI para distinta geometría y modelos de simulación.....	200
Tabla 6.8. Parámetros obtenidos del diagrama de ojo de las dos opciones de distribución del <i>downlink</i> en un HDI-TBPX-RD53A 2x2 .....	205

**FIGURAS:**

Fig.2.1. Gran Colisionador de Hadrones (LHC).....	20
Fig.2.2. Experimento CMS (Compact Muon Solenoid).....	21
Fig.2.3. Vista transversal del experimento CMS mostrando ejemplos de trayectorias de algunas partículas.....	22
Fig.2.4. Vista en perspectiva de un cuarto del Inner Tracker, mostrando grupos TBPX, TFPX y TEPX dentro de las estructuras de soporte. Los módulos de píxeles se muestran como elementos naranjas en TBPX y como elementos verdes en TFPX y TBPX. ....	27
Fig.2.5. Esquema de un cuarto del diseño del detector de píxeles en la vista r-z. Las líneas verdes corresponden a módulos hechos con dos chips de lectura y las líneas naranjas representan módulos más grandes con cuatro chips. ....	28
Fig.2.6. Esquema de los módulos (2x1) izquierda y (2x2) derecha. Dimensiones aproximadas 1.8 x 4.4 cm <sup>2</sup> y 3.7 x 4.4 cm <sup>2</sup> para los módulos 1x2 y 2x2. ....	29
Fig.2.7. Prototipo HDI TBPX 1x2 con dos chips RD53A y un sensor 3D doble	29
Fig.2.8. Par de píxeles de un sensor para tamaño 50x50 μm <sup>2</sup> y 100x25 μm <sup>2</sup> ..	30
Fig.2.9. Esquema de un sensor 3D de dos caras fabricado en el IMB-CNM (izquierda) y micro sección de una columna 3D (derecha), a la izquierda una columna de tipo n y a la derecha una columna de tipo p. [2-6][2-7] .....	31
<i>Fig.2.10. Arquitectura de chip de píxeles con front-end analógicos de bajo ruido por píxel con una digitalización de tiempo sobre umbral (ToT) de 4 bits y una organización de 2 x 2 píxeles de la lógica y el almacenamiento intermedio de píxeles.....</i>	<i>32</i>
<i>Fig.2.11. Lectura de módulos de píxeles a través de enlaces eléctricos y módulos de conversión ópticos .....</i>	<i>33</i>
Fig.2.12. Estructura de conexión serie de módulos.....	36
Fig.2.13. Fotografía de chip RD53A montado en PCB prototipo para ensayos de validación .....	39
Fig.2.14. Generaciones de chips RD53A a RD53C.....	40
Fig.2.15. Arquitectura de implementación física del chip RD53. ....	41
Fig.2.16. Organización de las regiones con píxeles de tamaños 50x50 μm <sup>2</sup> y 25x100 μm <sup>2</sup> . ....	42
Fig.2.17. Diagrama de bloques simplificado de un AFE genérico .....	43
Fig.2.18. Medición de la carga con TOT e indicación de los efectos relacionados de tiempo de recorrido, tiempo muerto y saturación de amplitud	44
Fig.2.19. Disposición de Lin AFE con forma de onda analógica típica medida antes del comparador, con inyecciones de carga de 1-10ke, medida en la salida analógica de RD53A .....	44
<i>Fig.2.20. Ilustración del principio de regulación shunt por el que la corriente de alimentación se mantiene siempre constante.....</i>	<i>48</i>
Fig.2.21. Diagrama funcional del regulador de potencia shunt-LDO serie en chip.....	49

Fig.2.22. Características I-V del SLDO ideal, sin carga. (b) SLDO fabricado a partir de LDO especial con corriente en derivación regulada (Ls) en paralelo a la carga (L). .....	50
Fig.2.23. Consumo digital de versión preliminar del chip RD53A a escala (4x64 píxeles) para 3GHz de hitrate y 1MHz de trigger. [2-19]. .....	51
Fig.2.24. Modelo de potencia y carga del chip de píxeles de tamaño completo basado en estimaciones del chip RD53A. ....	51
Fig.3.1. Ejemplo de esquema de un sistema híbrido genérico de n módulos de 2 o 4 chips para el detector de píxeles de CMS .....	59
Fig.3.2. Esquema simplificado del regulador Shunt-LDO.....	60
Fig.3.3. (a) Curva I-V ideal del regulador Shunt-LDO. (b) Esquema básico del regulador.....	61
Fig.3.4. Esquema simplificado de módulo con 4 chips en paralelo .....	62
Fig.3.5. Curvas I-V de un módulo de 4 chips para distintas configuraciones del par Vofs-Req .....	63
Fig.3.6. (a) Diagrama de bloques de la parte de alimentación del chip y las cargas asociadas (b) Distribución de corriente a lo largo del tiempo [3-6] .....	64
Fig.3.7. Curvas I-V para distintas variaciones de Req y Voffset.....	67
Fig.3.8. Esquema de simulación para determinar efectos de Vofs y Req. ....	67
Fig.3.9. Variación de $I_{in}$ y $V_{in}$ de un módulo de 4 chips para tolerancias de hasta el $\pm 20\%$ de Req en uno de los chips. ....	67
Fig.3.10. Variación de $I_{in}$ y $V_{in}$ de un módulo de 4 chips para las tolerancias de -10, -5, 0, 5 y 10% de Vofs en uno de los chips. $I_{in}$ en el chip modificado. ....	68
Fig.3.11. Topología de Voffset común en un módulo de 4 chips.....	68
Fig.3.12. Plano de distribución a escala del chip CROC mostrando la posición y superficie ocupada por el SLDO y la matriz de píxeles .....	70
Fig.3.13. Potencia disipada en los elementos del SLDO para el caso de funcionamiento nominal del chip para la capa L1 de TBPX. Se indican además estimaciones de consumo optimista, nominal y conservativa. ....	71
Fig.3.14. Esquemas y curva I-V para fallo en circuito abierto y topología sin Vofs común. ....	74
Fig.3.15. Tensiones mínimas en la cadena de aplicación de la tensión Vofs en el esquema del regulador SLDO. ....	75
Fig.3.16. Simulación de transitorio de cortocircuito a la salida de un SLDO en un módulo de 4 chips .....	77
Fig.3.17. Montaje para ensayos a dosis de radiación de miniASIC SLDO en máquina de rayos X .....	80
Fig.3.18. Variación de las tensiones $V_{in}$ y $V_{out}$ frente a la dosis total de radiación en frío ( $-10^{\circ}\text{C}$ ) y temperatura ambiente ( $25^{\circ}\text{C}$ ). ....	81
Fig.4.1. Esquema básico del modelo de simulación en Virtuoso de un regulador SLDO .....	87

Fig.4.2. Esquema simplificado del modelo de simulación de un regulador SLDO .....	89
Fig.4.3. Curvas de caracterización de condensador 1uF / 0402. ....	89
Fig.4.4. Respuesta del SLDO de RD53A frente variaciones de carga para distintos valores de inductancia parásita de los condensadores de desacoplo.90	
Fig.4.5. Simulación. Margen de fase y respuesta transitoria del SLDO a variaciones de carga para distinta capacidad a la salida (Vout).....	90
Fig.4.6. Curva I-V y circuito equivalente de un regulador SLDO. ....	91
Fig.4.7. Curvas I-V dependiendo de la configuración del punto de operación del SLDO. ....	91
Fig.4.8. (a) Respuesta de Vout a cambio de carga. (b) Rizado de la Vin en función de la inductancia parásita y la configuración Req-Vofs.....	92
Fig.4.9. Simulación. Análisis de estabilidad del lazo de control del regulador shunt en función de las inductancias parásitas. ....	93
Fig.4.10. Respuesta a transitorio de carga. Efecto de paralelización de reguladores SLDO.....	94
Fig.4.11. Respuesta a transitorios de carga de Vin. Efecto de valor de capacidad de entrada para distintas configuraciones en paralelo. ....	95
Fig.4.12. Respuesta a transitorios de carga en el dominio digital y su propagación al dominio analógico en chip RD53A. Simulación y medida. ....	97
Fig.4.13. Incremento de tensión de Vout frente a transitorio de carga en función de la corriente de reserva o headroom.....	98
Fig.4.14. Simulación de la respuesta de Vout de un SLDO frente a transitorio de carga en función de la corriente de reserva o headroom. ....	98
Fig.4.15. Modelo para determinar la propagación de transitorios de carga entre elementos de una cadena serie .....	99
Fig.4.16. Simulación. Resultado simulación de propagación de transitorios en cadena serie.....	100
Fig.4.17. Simulación de curva I-V del chip RD53A tt 25°C.....	102
Fig.4.18. Medidas de curva I-V en prototipo de chip RD53A. (a) Utilizando “bandgaps” internos. (b) Utilizando referencias de tensión externas.....	102
Fig.4.19. Simulación. Transitorio durante un arranque en rampa de 30ms en el momento en que se habilitan las señales de referencia del chip RD53A. ....	103
Fig.4.20. Esquema simplificado del circuito para generación de referencias internas del chip RD53B.....	104
Fig.4.21. Simulación comparando arranque de un SLDO con esquema antiguo (testchip A) y esquema nuevo (testchip B) de los bandgaps.....	105
Fig.4.22. Simulación de arranque en rampa lento a baja temperatura (-40°C) con carga baja.....	106
Fig.4.23. Simulación. Amplitud de rizado de Vin y Vout, para distintas configuraciones de Vofs .....	107
Fig.4.24. Simulación de arranque en rampa lenta a baja temperatura (-40°C) con carga baja del chip RD53C con el nuevo circuito de arranque. ....	108
Fig.4.25. Curvas I-V nominal y modificadas para trabajar en LPM.....	110

Fig.4.26. Esquema de implementación de LPM modificando Vofs_half.....	110
Fig.4.27. Layout de la implementación del SLDO Testchip-B y zoom del bloque de activación del LPM interno. ....	111
Fig.4.28. Validación del circuito de LPM con señal de activación externa. ....	112
Fig.4.29. Circuito de generación de señal de activación de LPM integrado en el chip.....	113
Fig.4.30. Definición del nivel de detección de corriente en el circuito de LPM interno. ....	113
Fig.4.31. Curvas I-V del SLDO para un nivel de detección de LPM ( $I_{TH}$ ) de 0.4A, comparando medida y simulación .....	114
Fig.4.32. Curvas I-V del SLDO para distintos niveles de detección de LPM ( $I_{TH}$ ) superpuestos, comparando medida y simulación.....	114
Fig.4.33. Montaje de ensayo para validación de circuito de activación de LPM interno con 3 SLDO en paralelo. ....	115
Fig.4.34. Medida de arranque de 3 SLDO en paralelo con circuito de detección de LPM interno e $I_{TH} = 0.4A$ . (a) Vofs individual y (b) Vofs común. ....	116
Fig.4.35. Esquema simplificado de fuente de corriente.....	117
Fig.4.36. Fuente de corriente desarrollada por el grupo de electrónica de potencia de ITAINNOVA .....	118
Fig.4.37. Comparativa de la respuesta a un cambio de carga de la fuente de corriente, medida y simulada.....	118
Fig.4.38. Set-up en CERN para tests de cableado.....	120
Fig.4.39. Arranque en rampa de corriente de sistema serie con distintas longitudes de cableado .....	120
Fig.4.40. Respuesta a transitorio de carga en sistema serie con distintas longitudes de cableado .....	121
Fig.4.41. Simulación de tensiones en líneas de comunicación durante un arranque rápido de una cadena serie.....	122
Fig.4.42. Esquema y curva V-I de circuito de protección de sobretensión .....	124
Fig.4.43. Simulación del comportamiento de la protección de sobretensión ..	125
Fig.4.44. Sobretensión generada durante una rampa de arranque de 10ms de un chip para corner fs y $-40^{\circ}C$ . Efecto de la protección.....	125
Fig.4.45. Esquema simplificado de regulador SLDO.....	126
Fig.4.46. Respuesta a sobrecarga del 50% en un SLDO dentro de un módulo de 4 chips, para distintos tiempos de respuesta.....	127
Fig.4.47. Respuesta a sobrecarga transitoria fuerte (>200%) en un SLDO dentro de un módulo de 4 chips. ....	128
Fig.5.1. Curvas S de dos chips con mismo Threshold y distinto nivel de ENC. ....	135
Fig.5.2. Esquema de montaje para ensayos de caracterización al ruido conducido en modo común .....	137

Fig.5.3. Montaje típico para ensayos de caracterización al ruido conducido..	138
Fig.5.4. Esquema de LISN y curvas de impedancia en función de frecuencia	139
Fig.5.5. Prototipo SCC-RD53A para evaluación de topologías de Front-End	142
Fig.5.6. Montaje de ensayo para caracterización de RD53A Single Chip Card (SCC)	143
Fig.5.7. Comparativa de susceptibilidad de topologías de AFE	143
Fig.5.8. Resultados de medida de ENC para distintos casos de inyección de ruido. (a) Sin ruido, (b) ruido de 20MHz, (c) ruido de 1MHz	145
Fig.5.9. (a) Gradiente de ruido por filas y por columnas en función de la frecuencia. (b) Variación del nivel de ruido por filas y columnas a 500kHz	146
Fig.5.10. Comparativa de susceptibilidad del dominio analógico y digital. Ruido en modo común, modo LDO.	148
Fig.5.11. Esquema de unión eléctrica entre sensor y chip de lectura genéricos con técnica de flip-chip	149
Fig.5.12. Contribución del sensor a la susceptibilidad del detector (SCC). Ruido en modo común, modo LDO.	151
Fig.5.13. Comparativa de TF para distintas configuraciones de chip-sensor.	152
Fig.5.14. Corte ilustrativo del montaje y elementos de un módulo HDI.	152
Fig.5.15. Corte ilustrativo del montaje y elementos de una SCC.	153
Fig.5.16. Simulación TF regulador SLDO. Respuesta de la salida del regulador frente a corriente de ruido de entrada.	155
Fig.5.17. Medida TF RD53A. Comparativa entre modos de funcionamiento del regulador SLDO.	155
Fig.5.18. Medida TF RD53A en función del punto de operación lin-Vin.	156
Fig.5.19. Medida TF y Simulación de PSRR normalizados del regulador SLDO a la frecuencia de 0.9MHz	157
Fig.5.20. Simulación de PSRR del regulador SLDO a la frecuencia de 0.9MHz para distintos valores de Vout. Referido a la corriente de entrada lin (a) y a la caída de tensión en el transistor LDO (b)	158
Fig.5.21. Esquemas de inyección de ruido en modo común (izda.) y modo diferencial (dcha.)	159
Fig.5.22. Comparativa de función de transferencia de CM y DM	161
Fig.5.23. Prototipos de HDI 1x2 y 2x2 utilizados en estudios de impacto del layout en la sensibilidad al ruido	162
Fig.5.24. TF CM y DM de los chips del prototipo HDI 2x2	162
Fig.5.25. TF CM y DM de los chips del prototipo HDI 1x2	162
Fig.5.26. Acoplamiento de ruido a través de las pistas de alimentación	163
Fig.5.27. Acoplamiento de ruido desde las pistas del HDI dependiendo de la frecuencia	164
Fig.5.28. Comparativa de mapa de ruido con y sensor, inyectando ruido a 5MHz	164
Fig.5.29. Prototipo utilizado para analizar el efecto de las referencias flotantes de una cadena serie en la sensibilidad al ruido	165

Fig.5.30. Función de transferencia para distintas posiciones en la cadena serie .....	166
Fig.5.31. Montaje de ensayo para caracterizar el efecto de conectar la superficie disipativa al plano de referencia.....	167
Fig.5.32. Efectos de la conexión a tierra del bloque de refrigeración .....	168
Fig.5.33. Corte esquemático del diseño a 3 capas de un HDI .....	169
Fig.5.34. Corte esquemático que muestra la integración de condensadores de filtrado y recorrido de la corriente ruido conducido.....	169
Fig.5.35. Montaje de condensador de filtrado C0 en prototipo .....	170
Fig.5.36. Resultados de TF para condensadores de filtrado C0 de 1 $\mu$ F en un prototipo serie de 3 HDI 2x2.....	170
Fig.5.37. Resultados de TF para distintos valores de condensador de filtro C0 en un prototipo serie de 3 HDI 2x2.....	171
Fig.5.38. Foto del prototipo referencia final.....	173
Fig.5.39. Esquema detallado de las capas del prototipo final.....	173
Fig.5.40. Función de transferencia del prototipo referencia final.....	174
Fig.5.41. Función de transferencia para peor caso de CM y DM .....	174
Fig.5.42. Límites de ruido a la entrada del detector para un incremento del ENC del 1% y 10%, para modo común (CM) y modo diferencial (DM).....	175
Fig.5.43. Comparativa de límites obtenidos con límites de norma EN55032:2015 .....	176
Fig.6.1. Distribución de alimentación de chips en el barrel (TBPX) y en los discos (TEPX) .....	182
Fig.6.2. Detalle de capas del HDI-TBPX-RD53A.....	183
Fig.6.3. Modelo Ansys de HDI-TBPX 2x2 para simulación de líneas de alimentación .....	184
Fig.6.4. Resultados de densidad de corriente en HDI-TBPX-RD53A 2x2 V1.	185
Fig.6.5. Resultados de densidad de corriente en HDI-TBPX 2x2 V4 .....	186
Fig.6.6. Modelos simplificados Vofs-Req de chip y de HDI 2x2 .....	188
Fig.6.7. Distribución de corrientes en HDI-TBPX-RD53A 2x2 V1.....	189
Fig.6.8. Dimensiones típicas de encapsulado de condensador 0201 utilizado en el diseño de los HDIs .....	191
Fig.6.9. Respuesta en frecuencia (Z) de un condensador 0201 de 1 $\mu$ F.....	191
Fig.6.10. Diseño de ejemplo de red de desacoplo de HDI-TBPX-CROCV2 1x2 .....	192
Fig.6.11. Modelo generado en Ansys Siwave de red de desacoplo .....	193
Fig.6.12. Impedancia de la estructura básica de líneas de alimentación del HDI .....	193
Fig.6.13. Red de desacoplo completa por cada chip en HDI-TBPX-CROCV2 1x2 .....	194
Fig.6.14. Esquema de topología de la línea de control y comandos o downlink .....	196
Fig.6.15. Esquema de topología de la línea de datos o uplink .....	197

Fig.6.16. Corte transversal de diseño de líneas diferenciales en soporte PCB. Con un solo plano de referencia (microstrip) o dos planos (stripline).....	198
Fig.6.17. Modelo Ansys mostrando la impedancia diferencial de las líneas de datos (uplink). HDI-TBPX-2x2 V1 .....	199
Fig.6.18. Modelo Ansys del <i>downlink</i> con distribución <i>single-point</i> de diseño HDI-TBPX-RD53A 2x2 V1 .....	201
Fig.6.19. Modelo Ansys del <i>downlink</i> con distribución <i>multi-point</i> de diseño HDI-TBPX-RD53A 2x2 V2 .....	202
Fig.6.20. Resultado simulación <i>downlink</i> . Impedancia Z y coeficiente de reflexión S11 .....	202
Fig.6.21. Resultado de simulación transitoria y diagrama de ojo del <i>downlink</i> con distribución <i>single-point</i> . .....	204
Fig.6.22. Resultado de simulación transitoria y diagrama de ojo del <i>downlink</i> con distribución <i>multi-point</i> .....	204
Fig.6.23. Esquema de medida de línea <i>downlink</i> a la entrada del HDI y diagramas de ojo medidos y simulado .....	205
Fig.6.24. Esquema descriptivo del modelo de simulación a nivel de sistema (arriba) y esquemas en Ansys Electronics Desktop (abajo). .....	207
Fig.6.25. Modelo ANSYS de las líneas de alta frecuencia de un HDI, incluyendo los <i>wirebonds</i> . .....	207
Fig.6.26. Esquema de impedancia de entrada del receptor LVDS del chip RD53A y su implementación en Ansys. ....	208
Fig.6.27. Resultados de impedancia de las líneas diferenciales incorporando los <i>wirebonds</i> . .....	208
Fig.6.28. Resultados de impedancia de las líneas de control incorporando los <i>wirebonds</i> y la impedancia de entrada del chip.....	209
Fig.6.29. Efecto de los <i>wirebonds</i> en el diagrama de ojo del <i>uplink</i> .....	209
Fig.6.30. Efecto de los <i>wirebonds</i> (WB) en el diagrama de ojo del <i>downlink</i> . .....	210
Fig.6.31. Efecto de la impedancia de entrada del chip en el diagrama de ojo del <i>downlink</i> .....	210
Fig.6.32. Efecto de la resistencia de entrada del chip en la impedancia de la línea de transmisión vista desde el emisor.....	211
Fig.6.33. Esquemas de acoplamiento AC único (a) y AC múltiple (b).....	212
Fig.6.34. Efecto de la topología de condensadores de acoplamiento AC en el diagrama de ojo del <i>downlink</i> .....	213
Fig.6.35. Diagrama de ojo del <i>downlink</i> en ROC0 para distintos valores de capacidad AC, y para las dos topologías propuestas.....	214
Fig.6.36. Esquema simplificado de impedancias C-R del <i>downlink</i> vistas desde el driver LVDS.....	214
Fig.6.37. Diagrama de ojo del <i>downlink</i> en ROC0 para distintos valores de inductancia parásita de los condensadores AC.....	215

