



Trabajo Fin de Máster

Diseño, Implementación y Control digital con FPGA
de un convertidor elevador “Boost”

Máster en Ingeniería Electrónica

Autor:

Ignacio Machín Mindán

Directores:

José Ignacio Artigas Maestre
Luis Ángel Barragán Pérez

DISEÑO, IMPLEMENTACIÓN Y CONTROL DIGITAL CON FPGA DE UN CONVERTIDOR ELEVADOR “BOOST”

RESUMEN

El presente Trabajo Fin de Master consiste en el diseño, modelado, fabricación y validación de un prototipo de un convertidor DC/DC elevador tipo “Boost”. El objetivo de este Trabajo es que este prototipo pueda ser utilizado como material didáctico para prácticas de Grado o de Máster y sobre el cual los alumnos puedan probar multitud de controles digitales, desarrollados por ellos mismos.

El primer paso ha sido el diseñar, modelar y fabricar el convertidor de baja potencia, optimizando su diseño de tal forma que la PCB sea de un tamaño reducido. Como se comentaba anteriormente, el objetivo de este Trabajo es que la plataforma Hardware desarrollada pueda ser utilizada como material didáctico, por lo que existen una serie de anillas de test estratégicamente colocadas para permitir tener acceso a las señales y medidas más importantes.

Posteriormente, siguiendo diversos métodos de cálculo, se han diseñado 5 reguladores con la misma topología de 2 ceros y 2 polos. De entre estos 5 reguladores se ha seleccionado el regulador que mejor comportamiento tiene frente a una serie de funciones de mérito. Estas funciones de mérito son GM , PO , $|S|_{inf}$, $|Z_{cl}|_{inf}$, f_B , $|G_c * S|_{inf}$ y K_i .

A continuación, utilizando la placa de desarrollo Nexys2 de Diligent, se ha implementado el control digital en la FPGA. Para ello se ha diseñado un código en VHDL en la herramienta Xilinx ISE, el cual se ha verificado con la herramienta software ModelSIM. El diseño digital consta de la implementación del controlador seleccionado anteriormente, la implementación del protocolo de comunicaciones con el conversor analógico digital, la generación de la señal PWM de disparo del transistor de potencia y la gestión de las entradas/salidas de la placa de desarrollo Nexys2.

Por último, para validar el correcto diseño del convertidor y del regulador implementado en la FPGA, se han tomado medidas experimentales, a partir de las cuales, se ha observado que los resultados obtenidos en simulación (Matlab y ModelSIM) son similares a los obtenidos experimentalmente.

INDICE:

1	Introducción.....	1
1.1	Antecedentes.....	1
1.2	Objetivos y alcance	2
1.3	Descripción del sistema y especificaciones de diseño	3
1.4	Organización de la Memoria Técnica	6
2	Diseño y modelado del convertidor Boost	7
2.1	Análisis teórico del modelo de pequeña señal en modo de conducción continua.....	7
2.2	Selección de los componentes del convertidor	9
3	Diseño de la Plataforma Hardware desarrollada	16
3.1	Selección del resto de componentes	18
4	Diseño del control digital	22
4.1	Cálculo del Regulador	24
4.2	Selección del Regulador	27
4.3	Verificación mediante simulación.....	30
5	Implementación del control digital.....	36
5.1	Implementación del regulador en números reales y validación en simulación.....	38
5.2	Implementación del regulador en coma fija y validación en simulación	40
6	Resultados experimentales	46
6.1	Configuración de la FPGA.....	46
6.2	Medidas experimentales.....	48
7	Conclusiones y líneas de trabajo futuras.....	55
8	Referencias bibliográficas	57
9	ANEXOS.....	59
	ANEXO A.- Análisis del modelo de pequeña señal en modo de conducción continua.....	60
	ANEXO B.- Planos de la plataforma Hardware	66
	ANEXO C.- Listado de Componentes:	69
	ANEXO D.- Cálculo de los reguladores:.....	71
	ANEXO E.- Funciones de mérito:	75
	ANEXO F.- Cálculo de las funciones de mérito:	79

ANEXO G.- Código en VHDL.....	87
ANEXO H.- Código en VHDL no sintetizable	101

Índice de figuras:

Fig. 1 Esquema general del sistema completo	3
Fig. 2 Esquema del sistema utilizado para realizar el control por tensión en la carga	4
Fig. 3 Diagrama de bloques del sistema.....	5
Fig. 4 Circuito electrónico del convertidor Boost.....	7
Fig. 5 Circuito equivalente del convertidor en función del estado del Mosfet.....	8
Fig. 6 Diagrama de bode de la planta G_p	11
Fig. 7 Circuito equivalente de la etapa de acondicionamiento	12
Fig. 8 Diagrama de bode de la planta con el bloque de acondicionamiento $G_p * H$	13
Fig. 9 Gráficas de corriente (A) y tensión (V) en régimen permanente por la bobina en el caso más desfavorable	13
Fig. 10 Gráficas de corriente (A) y tensión (V) en régimen permanente por el condensador en el caso más desfavorable	14
Fig. 11 Gráficas de corriente (A) y tensión (V) en régimen permanente por la carga	15
Fig. 12 Fotografía de la plataforma Hardware desarrollada conectada a la tarjeta NEXYS 2	16
Fig. 13 Fotografía de la cara BOTTOM de la plataforma HW desarrollada	17
Fig. 14 Fotografía de la cara TOP de la plataforma HW desarrollada	18
Fig. 15 Gráficas de corriente (A) y tensión (V) en régimen permanente por el transistor Mosfet en el caso más desfavorable	19
Fig. 16 Gráficas de corriente (A) y tensión (V) en régimen permanente por el diodo en el caso más desfavorable	20
Fig. 17 Circuito equivalente de la etapa de acondicionamiento	21
Fig. 18 Pasos seguidos para la realización y comprobación del regulador digital implementado...	22
Fig. 19 Diagrama de bloques del sistema.....	24
Fig. 20 Diagrama de bode del sistema en bucle abierto	28
Fig. 21 Diagrama de bode de la impedancia de salida en bucle abierto (azul) y en bucle cerrado (verde)	29
Fig. 22 Diagrama de Bode de la función de sensibilidad S	30
Fig. 23 Modelo del sistema en modo continuo	30
Fig. 24 Circuito equivalente del convertidor Boost obtenido a partir de sus ecuaciones de estado	31
Fig. 25 Modelo del sistema en modo discreto	32
Fig. 26 Implementación del controlador, a la izquierda método tradicional [6], a la derecha solución implementada en este proyecto.....	33
Fig. 27 Simulación sistema en modo discreto durante 20 milisegundos	34
Fig. 28 Simulación sistema en modo discreto con Soft Start	35
Fig. 29 Esquema general del sistema completo	36
Fig. 30 Representación de un periodo de conmutación, mostrando los tiempos destinados al protocolo de comunicaciones con el ADC y al cálculo del nuevo duty	37
Fig. 31 Esquema de bloques del diseño VHDL completo para realizar la validación por simulación con la herramienta Modelsim.	38

Fig. 32 Resultados de la simulación con el regulador implementado con números reales en 20ms	40
Fig. 33 Estructura del regulador implementado	41
Fig. 34 Modelo del sistema en modo discreto con controlador con resolución finita.....	42
Fig. 35 Diseño en Simulink para obtener el tamaño de los registros que almacenan las variables de estado.....	43
Fig. 36 Estructura del regulador y tamaño de los coeficientes y variables de estado para la implementación del regulador	43
Fig. 37 Resultados de la simulación, con el regulador implementado en coma fija, en 20ms	45
Fig. 38 Asignación de pines del conector PMOD (imagen obtenida del manual de la placa Nexys2)	47
Fig. 39 Asignación de pines y circuitos de entradas/salidas de la FPGA (imagen obtenida del manual de la placa Nexys2).....	47
Fig. 40 Esquema general del sistema para el proceso de verificación de la PCB utilizando un generador de señales	49
Fig. 41 Puntos de test de la PCB en los que se realizan las medidas.....	49
Fig. 42 Medida de tensión y de corriente en la fuente de alimentación	52
Fig. 43 Control en Bucle cerrado con carga de 24Ω	52
Fig. 44 Control en bucle cerrado con carga de 12Ω	53
Fig. 45 Transitorio de la tensión en la carga y la corriente en la bobina al encender la fuente, modificar la carga de 24Ω a 12Ω , modificar la carga de 12Ω a 24Ω y apagar la fuente.....	53
Fig. 46 Detalle de la tensión en la carga y la corriente en la bobina al encender la fuente de alimentación y modificar la carga de 24Ω a 12Ω	54
Fig. 47 Detalle de la tensión en la carga y la corriente en la bobina al modificar la carga de 12Ω a 24Ω y apagar la fuente de alimentación.	54
Fig. 48 Plano esquemático de los componentes y conexiones de la plataforma Hardware.....	66
Fig. 49 Vista de la cara TOP de la plataforma Hardware	67
Fig. 50 Vista de situación de los componentes en la cara TOP de la plataforma Hardware	67
Fig. 51 Vista de la cara BOTTOM de la plataforma Hardware	68
Fig. 52 Vista de situación de los componentes en la cara BOTTOM de la plataforma Hardware....	68
Fig. 53 Diagrama de bode de la planta con el acondicionamiento para el cálculo de los parámetros K_u y w_u	71
Fig. 54 Diagrama de bloques del sistema completo.....	75
Fig. 55 Diagrama de bode del sistema en bucle abierto, $fc=2.07\text{kHz}$, $PM=14.2^\circ$, $GM=3.3\text{ dB}$	79
Fig. 56 Diagrama de bode de la impedancia de salida en bucle abierto (azul) y en bucle cerrado (verde)	80
Fig. 57 Diagrama de Bode de la función de sensibilidad S	80
Fig. 58 Diagrama de bode del sistema en bucle abierto, $fc=1.5\text{kHz}$, $PM=55^\circ$, $GM=16.7\text{ dB}$	81
Fig. 59 Diagrama de bode de la impedancia de salida en bucle abierto (azul) y en bucle cerrado (verde)	82
Fig. 60 Diagrama de Bode de la función de sensibilidad S	82
Fig. 61 Diagrama de bode del sistema en bucle abierto, $fc=1.47\text{kHz}$, $PM=55.1^\circ$, $GM=18.3\text{ dB}$	83
Fig. 62 Diagrama de bode de la impedancia de salida en bucle abierto (azul) y en bucle cerrado (verde)	84
Fig. 63 Diagrama de Bode de la función de sensibilidad S	84

Fig. 64 Diagrama de bode del sistema en bucle abierto, $fc=1.5\text{kHz}$, $PM=55^\circ$, $GM=19.7\text{ dB}$	85
Fig. 65 Diagrama de bode de la impedancia de salida en bucle abierto (azul) y en bucle cerrado (verde)	86
Fig. 66 Diagrama de Bode de la función de sensibilidad S	86

INDICE DE TABLAS:

Tabla 1 Especificaciones iniciales de diseño para el cálculo del regulador.....	23
Tabla 2 Reguladores calculados durante el desarrollo del trabajo	26
Tabla 3 Funciones de mérito evaluadas	27
Tabla 4 Tabla de resultados en las que se muestran los resultados obtenidos para las distintas funciones de mérito	27
Tabla 5 Script en Matlab para la obtención de los valores de las funciones de mérito.....	29
Tabla 6 Script en Matlab para transformar el regulador de continuo a digital.....	32
Tabla 7 Parámetros del ADC y de la PWM implementada utilizados para la simulación en Matlab	33
Tabla 8 Coeficientes del regulador teniendo en cuenta la resolución de la PWM y la cuantización del ADC	34
Tabla 9 Estructura y operación de la unidad MAC implementada.....	38
Tabla 10 Código en VHDL no sintetizable de la implementación en reales del regulador.....	40
Tabla 11 Representación de los coeficientes en coma fija complemento a 2 y codificación en VHDL	42
Tabla 12 Código en VHDL sintetizable de la implementación en coma fija del regulador.....	45
Tabla 13 Asignación de pines en la placa Nexys2.....	48
Tabla 14 Resultados obtenidos experimentalmente con el generador de señales	51
Tabla 15 Listado de componentes de la plataforma Hardware desarrollada	70
Tabla 16 Función de transferencia del regulador y parámetros para su cálculo	71
Tabla 17 Script en Matlab para la obtención de los valores de las funciones de mérito.....	80
Tabla 18 Script en Matlab para la obtención de los valores de las funciones de mérito.....	82
Tabla 19 Script en Matlab para la obtención de los valores de las funciones de mérito.....	84
Tabla 20 Script en Matlab para la obtención de los valores de las funciones de mérito.....	86
Tabla 21 Código del protocolo de comunicaciones con el conversor ADC en VHDL sintetizable....	88
Tabla 22 Código del bloque de gestión de los visualizadores de 7 segmentos en VHDL sintetizable.	89
Tabla 23 Código del bloque encargado del filtrado de los rebotes de los interruptores y el pulsador en VHDL sintetizable.	91
Tabla 24 Código del bloque encargado de la generación de la señal PWM en VHDL sintetizable. .	91
Tabla 25 Código completo del control digital implementado en la FPGA en VHDL sintetizable. ..	100
Tabla 26 Código en VHDL no sintetizable de la planta del convertidor y la etapa de acondicionamiento implementado en el Test bench.....	102
Tabla 27 Código en VHDL no sintetizable modelando el comportamiento del conversor ADC implementado en el Test bench.....	103



1 Introducción

En este primer apartado de la Memoria Técnica se da una visión general del alcance de este Trabajo Fin de Máster, en el que, conforme se vaya avanzando en el documento, se irá profundizando en más detalle.

En primer lugar se ubica este Trabajo en el contexto actual de los convertidores DC-DC, mostrando las características, retos y el porqué de la utilización del convertidor *Boost* en lugar de un *Buck*, así como el por qué se ha seleccionado un control digital en lugar de un control analógico.

En segundo lugar, se detallan los objetivos parciales o hitos a alcanzar, los cuales delimitan el alcance del Trabajo. La consecución de estos hitos implica, en mayor o menor medida, el éxito del Trabajo Fin de Máster.

Posteriormente, en el tercer apartado, se describe el funcionamiento del sistema completo, mostrando el diagrama de bloques equivalente y enumerando las especificaciones iniciales de diseño que debe cumplir el sistema.

Por último, con el fin de facilitar la lectura del documento, se presenta la organización de la Memoria Técnica, incluyendo un breve resumen del contenido de cada uno de los apartados de los que consta el presente documento.

1.1 Antecedentes

En el mundo actual es muy habitual el uso de etapas de Electrónica de Potencia para la mejora de la eficiencia en la transferencia de energía tanto en corriente alterna como en corriente continua.

Los convertidores DC/DC son etapas de Electrónica de Potencia que adaptan una tensión continua en la entrada en una tensión continua distinta en la salida. Estos convertidores son utilizados como fuentes de alimentación para una gran variedad de aplicaciones. Básicamente hay dos tipos de convertidores DC/DC estándar, el *Buck* o *reductor*, el cual disminuye la tensión y el *Boost* o *elevador*, el cual aumenta la tensión, para una fuente de tensión continua de entrada.

En este caso el convertidor analizado es el convertidor *Boost*. Este tipo de convertidor está experimentando un crecimiento en aplicaciones para energías renovables y transferencia de energía en continua, más concretamente en dispositivos de corriente continua con niveles de tensión bajos (paneles fotovoltaicos, baterías...) y que es necesario aumentar la tensión para el transporte y transferencia de energía [1],[2].

Por tanto, los profesores de la asignatura “Control digital de etapas electrónicas de potencia” del Máster de Ingeniería Electrónica de Zaragoza, decidieron proponer el diseño y fabricación de una placa con convertidor *Boost* para que los estudiantes pudieran probar diferentes controles digitales en el laboratorio, al estilo de la placa tipo *Buck* que se utilizaba actualmente.



La dificultad añadida del *Boost* frente al *Buck*, es que su función de transferencia tiene un cero en el semiplano derecho, lo que lo hace más difícil de controlar [3],[4]. Otra dificultad añadida es que el ciclo de trabajo no es lineal como en el caso del *Buck*:

- Ciclo de trabajo del convertidor *Buck* $\rightarrow D = \frac{V_o}{V_i}$
- Ciclo de trabajo del convertidor *Boost* $\rightarrow D = \frac{V_o - V_i}{V_o}$

Entre las ventajas de realizar un control digital en lugar de un control analógico, se pueden señalar las siguientes:

- Posibilidad de realizar tareas más complejas.
- Facilidad de integración en un sistema mayor.
- Posibilidad de reprogramación.
- Disminución de la sensibilidad a cambios (derivas térmicas y envejecimiento).
- Menor tiempo de diseño.
- Mayor fiabilidad.
- Reproducibilidad.

1.2 Objetivos y alcance

El objetivo del Trabajo Fin de Master, es el diseño, fabricación y validación de una plataforma Hardware de desarrollo, más concretamente un convertidor elevador *Boost*. Esta plataforma Hardware es de baja potencia, y está orientada a la enseñanza como material didáctico para prácticas de Grado o de Máster, y así, poder estudiar el comportamiento de este tipo de convertidores. El objetivo es que mediante este prototipo del convertidor se puedan desarrollar y probar multitud de controles digitales diseñados por los alumnos.

Para completar el trabajo y realizar la validación del convertidor, se ha implementado el control digital en una FPGA y se ha validado su funcionamiento mediante simulación y tomando medidas experimentales.

Para alcanzar el objetivo final hay que cumplir una serie de objetivos parciales o hitos, cada uno de ellos asociado a cada una de las fases de desarrollo del presente Trabajo:

- El **primer objetivo parcial** es el diseño eléctrico y físico del convertidor *Boost* de pequeña potencia y tamaño reducido. Incluyendo la selección de componentes adecuados y el diseño de la placa de circuito impreso.
- El **segundo objetivo parcial** es el estudio, selección y validación del regulador que cumpla con las especificaciones iniciales de diseño y que mejor comportamiento tenga frente a una serie de funciones de mérito.
- El **tercer objetivo parcial** consiste en la implementación en VHDL sintetizable del control digital en la FPGA y validación mediante simulación.

- El **cuarto objetivo parcial** consiste en la validación total del sistema mediante medidas y resultados experimentales, mediante las cuales se puedan extraer las conclusiones y líneas de trabajo futuras.

El cumplimiento satisfactorio de los cuatro objetivos parciales o hitos enumerados anteriormente, implica la consecución del Trabajo.

1.3 Descripción del sistema y especificaciones de diseño

A continuación se muestra el esquema general, con cada uno de los bloques que componen el sistema completo, los cuales pueden apreciarse en la Fig. 1.

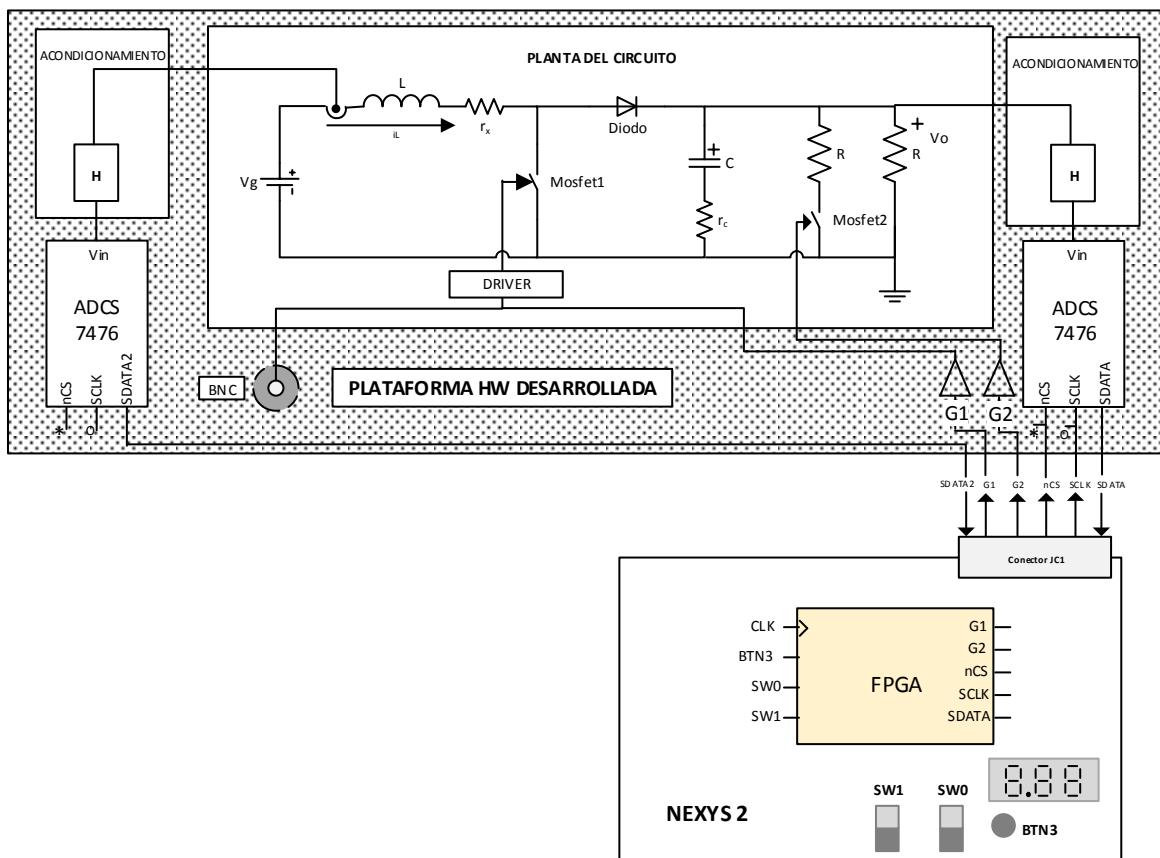


Fig. 1 Esquema general del sistema completo

Como se observa en la Fig. 1 existen dos sistemas bien diferenciados: la plataforma HW desarrollada y la tarjeta Nexys 2 de Diligent. Ambos sistemas comparten señales mediante el conector JP1.

La plataforma HW posee etapa de sensado de la corriente por la bobina, para permitir el control por corriente y de la tensión en la carga, para hacer control por tensión.

En la Fig. 2 se muestra el esquema que se ha utilizado para realizar el control por tensión y que ha sido validado experimentalmente.

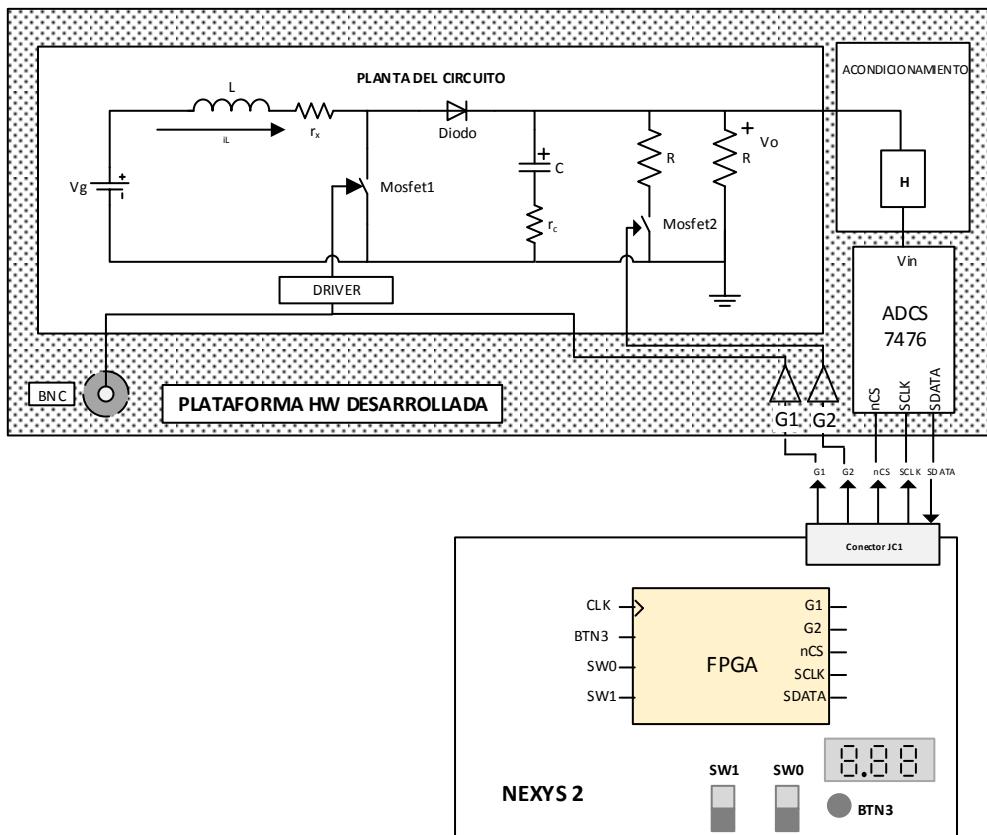


Fig. 2 Esquema del sistema utilizado para realizar el control por tensión en la carga

Como se ha comentado anteriormente, se observan 2 bloques claramente diferenciados:

- **Plataforma HW desarrollada**, que consiste en la placa de circuito impreso que se ha diseñado y fabricado para este Trabajo Fin de Máster y que consta de 3 bloques:
 - Convertidor Boost, o planta del circuito, con la topología característica del circuito electrónico del convertidor.
 - Circuito de acondicionamiento, el cual realiza la adaptación de la tensión de salida a la tensión a la entrada del conversor analógico digital.
 - Conversor analógico digital ADCS 7476, el cual transforma la tensión analógica a la entrada del conversor en una palabra digital de n bits que son enviados vía serie a la FPGA mediante la señal SDATA.
- **Plataforma Nexys 2** de Diligent, en la que hay una FPGA sobre la que se implementa el control digital. Esta plataforma posee una serie de pulsadores, interruptores y visualizadores sobre los que se actúa y que dota al sistema de funcionalidades adicionales. En esta plataforma se implementa el control digital del circuito, generando las siguientes señales:
 - Señales nCS y $SCLK$, necesarias para realizar el protocolo de comunicaciones con el conversor analógico digital.

- Señal de disparo $G1$, encargada de disparar, mediante la señal PWM generada en la FPGA, el transistor del convertidor Boost, Mosfet1.
- Señal de disparo $G2$, encargada de disparar el Mosfet2, lo cual provoca una variación sobre la carga, y de esta forma, poder analizar la variación de la tensión de salida y el tiempo de respuesta del sistema.

Para la realización del diseño del convertidor y la selección de sus componentes, este Trabajo Fin de Master se ha basado en las especificaciones iniciales de diseño que aparecen en [5], éstas son:

- Tensión de entrada: $V_g=5$ V
- Tensión de salida: $V_o=12$ V
- Potencia en la carga: $P_{out}=6$ W
- Frecuencia de conmutación: $f_{sw}= 100$ kHz

En la Fig. 3 se muestran los bloques necesarios para la realización del control de tensión en la carga.

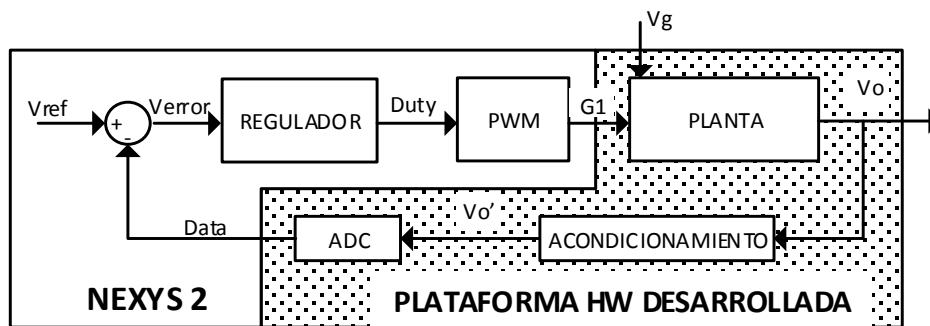


Fig. 3 Diagrama de bloques del sistema

El funcionamiento del sistema es el que se muestra a continuación:

1. Se alimenta la planta del sistema con una fuente de tensión Vg de 5 V
2. Se obtiene una tensión continua en la carga V_o
3. Se realiza el acondicionamiento de la tensión obteniendo una tensión apta para el ADC. V_o'
4. El conversor ADC proporciona una señal digital de 8 bits **DATA** proporcional a la tensión a su entrada.
5. El vector de 8 bits proporcionado por el conversor **DATA** se compara con un valor de referencia, V_{ref} que da como resultado el V_{error} .
6. A partir de este error, en el regulador se realizan una serie de operaciones que llevan al cálculo del nuevo ciclo de trabajo o **Duty**.
7. Se genera la señal PWM **G1**, que es aplicada a la puerta del Mosfet y que controla su conmutación.



1.4 Organización de la Memoria Técnica

El presente documento se divide en 5 capítulos, a continuación, con el fin de facilitar la lectura, se incluye un breve resumen de cada uno de ellos:

- **Capítulo 1: Introducción**, en este primer capítulo se describen los antecedentes de este TFM, los objetivos y alcance del proyecto, así como la descripción del sistema, con su diagrama de bloques y las especificaciones iniciales de diseño del convertidor.
- **Capítulo 2: Diseño y modelado del convertidor Boost**, en este capítulo se detalla el proceso de modelado y diseño del prototipo del convertidor Boost. Se obtiene la función de transferencia del convertidor y se indican los cálculos realizados para seleccionar la bobina, el condensador y la resistencia de carga del convertidor.
- **Capítulo 3: Diseño de la Plataforma Hardware desarrollada**, en este capítulo se muestra la placa de circuito impreso fabricada y los cálculos realizados para la obtención del resto de componentes.
- **Capítulo 4: Diseño del control digital**, en este capítulo se muestran los 5 reguladores calculados con la misma topología de 2 ceros y 2 polos, se selecciona el mejor de todos ellos comparando los resultados obtenidos ante una serie de funciones de mérito y se valida mediante simulación en Matlab.
- **Capítulo 5: Implementación del control digital**, en este capítulo se muestra el código implementado en la FPGA para realizar el control digital, centrándose especialmente en la implementación del regulador calculado en el capítulo 4. Primero se hace la implementación y validación en números reales y posteriormente en coma fija.
- **Capítulo 6: Resultados experimentales**, en este capítulo se muestra, por una parte, cómo se ha configurado la tarjeta Nexys2 para poder hacer ensayos y por otra parte, las medidas obtenidas con un osciloscopio en el laboratorio.
- **Capítulo 7: Conclusiones y líneas de trabajo futuras**, en este apartado se muestran las conclusiones obtenidas a partir de los resultados experimentales, indicando si se han cumplido los objetivos parciales o hitos que delimitan el alcance del Trabajo Fin de Máster. Por otro lado, en este mismo apartado, se proponen una serie de trabajos interesantes de realizar en el futuro y en el ámbito del presente Trabajo Fin de Máster.

Por último, al final de la Memoria, hay un apartado de Anexos en el que se incluyen desarrollos, planos, cálculos, código en VHDL... que sirven de apoyo a los distintos apartados de la Memoria.

2 Diseño y modelado del convertidor Boost

En este capítulo se detalla el proceso de modelado y diseño del prototipo del convertidor Boost.

El convertidor Boost tiene la característica principal de que la tensión continua de salida que se obtiene es mayor que la tensión a la entrada. Mediante la conmutación del transistor Mosfet se consigue regular esa tensión de salida, generando flujos de energía entre la bobina y el condensador.

Inicialmente se ha realizado un análisis teórico del comportamiento del convertidor frente a variaciones de pequeña señal. Este análisis se ha desarrollado con el fin de seleccionar los componentes (bobina, condensador y resistencias) que mejor se adapten a las especificaciones iniciales y que a su vez faciliten la implementación del regulador en la FPGA.

2.1 Análisis teórico del modelo de pequeña señal en modo de conducción continua

El circuito electrónico del convertidor Boost es el que se muestra en la Fig. 4, en él aparecen los componentes electrónicos típicos del convertidor Boost con los componentes parásitos más relevantes:

V _g - Tensión de entrada (+5V)
L - Inductancia de la bobina
rx - Resistencia equivalente de la bobina
i _L – Corriente por la bobina
Transistor Mosfet
Diodo de potencia
C - Condensador
rc - Resistencia del condensador
V _c – Tensión en el condensador
R - Carga a la salida del Boost
V _o – Tensión a la salida

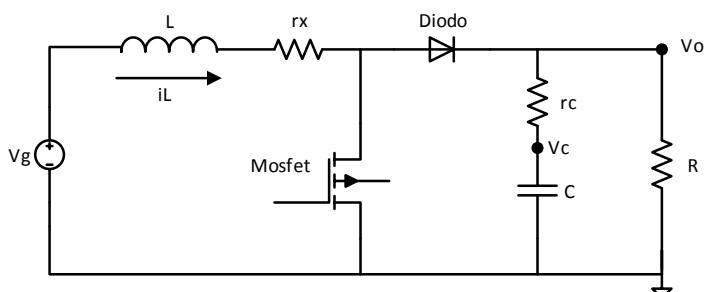
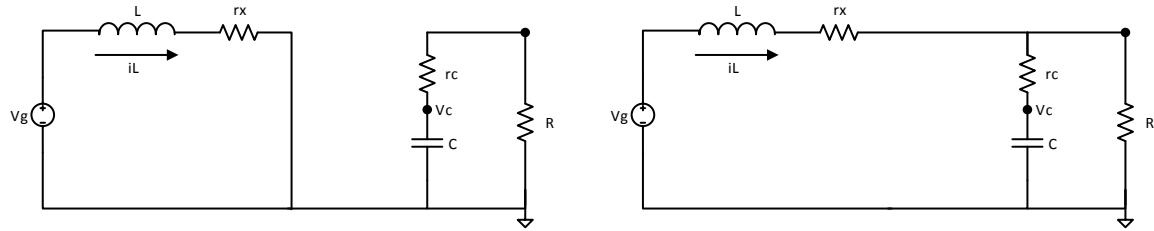


Fig. 4 Circuito electrónico del convertidor Boost

Dependiendo del estado del Mosfet, y por tanto de la señal PWM generada en la FPGA, se pueden generar dos circuitos equivalentes Fig. 5:



Estado 1: Mosfet ON (en conducción)

Estado 2: Mosfet OFF (en corte)

Fig. 5 Circuito equivalente del convertidor en función del estado del Mosfet

La ecuación general de la función de transferencia de pequeña señal del convertidor Boost en función del ciclo de trabajo o duty, desarrollada en [6], es la que se muestra a continuación:

$$G_{vd}(s) = \left. \frac{\hat{v}_o(s)}{\hat{d}(s)} \right| = C(sI - A)^{-1} [(A_1 - A_2) + (B_1 - B_2)V_g] + (C_1 - C_2)X \quad (1)$$

En el **ANEXO A**, se ha desarrollado la ecuación anterior (1), de allí se obtiene la siguiente función de transferencia:

$$G_{vd}(s) = \left. \frac{\hat{v}_o(s)}{\hat{d}(s)} \right| = \frac{K(-s^2 + \alpha_1 s + \alpha_0)}{s^2 + b_1 s + b_0}$$

Siendo,

$$\begin{aligned} K &= \frac{RV_g r_c}{D_1 R(D_1 R + r_c) + r_x(R + r_c)} \\ \alpha_1 &= \frac{D_1^2 R^2 r_c C - L(R + r_c) - C r_c r_x(R + r_c)}{L C r_c (R + r_c)} \quad (2) \\ \alpha_0 &= \frac{D_1^2 R^2 - r_x(R + r_c)}{L C r_c (R + r_c)} \\ b_1 &= \frac{1}{C(R + r_c)} + \frac{r_x + D_1 R r_c}{L(R + r_c)} \\ b_0 &= \frac{r_x(R + r_c) + D_1 R(D_1 R + r_c)}{L C(R + r_c)^2} \end{aligned}$$

$$D_1 = 1 - D$$

La función de transferencia resultante de la planta es un sistema de segundo orden, con un polo doble en f_0 (3), un cero en f_{ESR} debido a la resistencia *ESR* del condensador (4) y un cero en el semiplano derecho a la frecuencia f_{RHP} (5).



$$f_0 = \frac{\sqrt{r_x(R + r_c) + D_1 R (D_1 R + r_c)}}{2\pi\sqrt{LC}(R + r_c)} \quad (3)$$

$$f_{ESR} = \frac{1}{2\pi(R + r_c)} \quad (4)$$

$$f_{RHP} = \frac{1}{2\pi} \left(\frac{D_1^2 R^2}{L(R + r_c)} + \frac{r_x}{L} \right) \quad (5)$$

2.2 Selección de los componentes del convertidor

Las especificaciones iniciales mostradas en el capítulo 1, imponen unos componentes y unos límites determinados.

La potencia en la carga, según las especificaciones es de 6 W, y la tensión es de 12 V, por tanto, el valor de la carga R es de:

$$R = \frac{V_0^2}{P_{out}} = \frac{144}{6} = 24 \Omega \quad (6)$$

De la misma forma, la corriente por la carga I_0 es igual a:

$$I_0 = \frac{P_{out}}{V_0} = \frac{6}{12} = 0,5 A \quad (7)$$

La corriente media por la bobina en régimen permanente es aproximadamente (despreciando pérdidas) de:

$$I_{Lmin} = \frac{P_{in}}{V_{in}} = \frac{6 \text{ watos}}{5 \text{ voltios}} = 1,2 A \quad (8)$$

La tensión en la entrada es de 5 V, por lo que el duty nominal D y su complementario $D1$ son:

$$D = \frac{V_0 - V_g}{V_0} = \frac{7}{12} \quad (9)$$
$$D1 = 1 - D = \frac{5}{12}$$

A continuación se detalla el proceso de selección de los valores del condensador C y de la inductancia L adecuados, colocando los polos y los ceros de la planta estratégicamente, para que, cumpliendo con las especificaciones iniciales, la planta del sistema sea lo más estable posible y de este modo la implementación del control sea más sencilla.

La hoja de aplicación de Texas Instruments [7] advierte la necesidad de que la frecuencia del cero f_{RHP} sea mucho mayor que la frecuencia del doble polo f_0 , ya que si no se reducirían las condiciones de estabilidad. Por ello se ha establecido que este factor sea igual a 15:



$$\frac{w_{RHP}}{w_0} \geq M, \text{ siendo } M=15 \quad (10)$$

Seleccionando la frecuencia del cero 10 o 20 veces menor que la frecuencia de conmutación, se obtiene una f_{RHP} y un f_0 :

$$\begin{aligned} f_{RHP} &= \frac{f_{sw}}{10 \text{ ó } 20} = \frac{100000}{10 \text{ ó } 20} \approx 7.500 \text{ Hz} \\ \frac{f_{RHP}}{f_0} &\geq 15 \rightarrow f_0 \leq \frac{7500}{15} = 500 \text{ Hz} \end{aligned} \quad (11)$$

La imposición de $f_{RHP} \sim 7.500 \text{ Hz}$ y sustituyendo en (5) nos da el valor de la inductancia, (para ello se ha seleccionado unos valores típicos de $r_x=120 \text{ m}\Omega$ y $r_c=80 \text{ m}\Omega$):

$$f_{RHP} = \frac{1}{2\pi} \left(\frac{D_1^2 R^2}{L(R + r_c)} + \frac{r_x}{L} \right) = 7500 \text{ Hz} \quad (12)$$

Despejando en (12), el valor de la inductancia es:

$$L = \frac{\frac{D_1^2 R^2 + r_x(R + r_c)}{R + r_c}}{2\pi f_{RHP}} = 90,67 \mu\text{H} \quad (13)$$

Para asegurar la conducción continua por el circuito, el valor de la inductancia debe superior a:

$$L_{min} > \frac{V_g D}{2I_{min} f_{sw}} > \frac{5 * \frac{7}{12}}{2 * 1,2 * 100000} > 12 \mu\text{H} \quad (14)$$

Por lo que la inductancia calculada en (13) sería válida. En este caso seleccionamos el valor de inductancia comercial que más se aproxime a ese valor, en este caso se ha seleccionado una inductancia con un valor de $100 \mu\text{H}$.

Con este valor de inductancia la frecuencia del cero f_{RHP} es:

$$f_{RHP} = \frac{1}{2\pi} \left(\frac{D_1^2 R^2}{L(R + r_c)} + \frac{r_x}{L} \right) = 6800 \text{ Hz} \quad (15)$$

Con el valor de la inductancia seleccionada ($100 \mu\text{H}$) y la imposición $\frac{f_{RHP}}{f_0} \geq 15$ (11), se calcula el valor del condensador:

$$f_0 = \frac{f_{z2}}{15} = 453,333 \text{ Hz} \quad (16)$$

$$C = \frac{r_x(R + r_c) + D_1 R (D_1 R + r_c)}{L(2\pi f_0)^2 (R + r_c)^2} = 220 \mu\text{F} \quad (17)$$

En este caso sí que hay condensadores comerciales con este valor.

La función de transferencia resultante de la planta tiene dos ceros y dos polos complejos conjugados, tal y como se muestra a continuación en (18):

$$G_p(s) = -0,092584 \frac{(s + 5,682 \cdot 10^4) \cdot (s - 4,033 \cdot 10^4)}{s^2 + 1721s + 8,128 \cdot 10^6} \quad (18)$$

De donde se obtiene:

- El valor de la frecuencia del cero RHP $\rightarrow f_{RHP} = 6,4 \text{ kHz}$
- El valor de la frecuencia del cero debido a la resistencia ESR del condensador $\rightarrow f_{ESR} = 9 \text{ kHz}$
- El valor de la frecuencia natural del doble polo es de $\rightarrow f_n = 453 \text{ Hz}$
- El valor del coeficiente de amortiguamiento del doble polo $\rightarrow \zeta = 0,3$

El diagrama de Bode correspondiente se muestra en la Fig. 6:

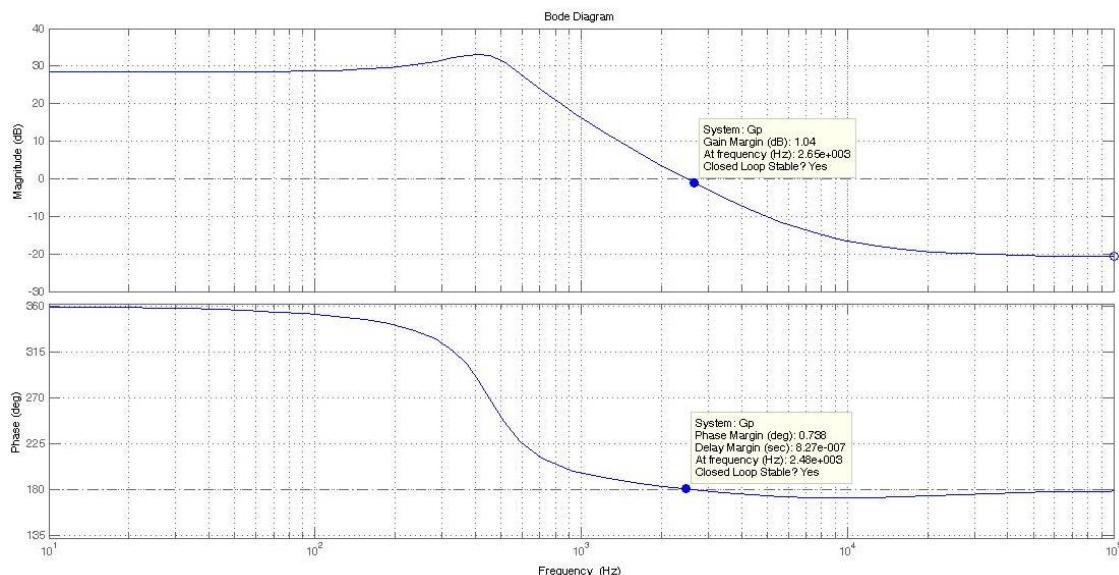


Fig. 6 Diagrama de bode de la planta G_p

Cálculo del circuito de acondicionamiento H:

A continuación se muestra cómo se ha calculado el circuito de acondicionamiento H, necesario para adaptar la tensión de salida del circuito a la tensión de entrada al conversor analógico digital.

El circuito es un filtro paso bajo de primer orden atenuador cuyos requisitos son los impuestos en [6] $V_{REF} \geq 70\%$ del fondo de escala y [8] $f_c = 50 \text{ kHz}$.

Requisitos:

- Ganancia=2.5/12
- Frecuencia de corte=50kHz

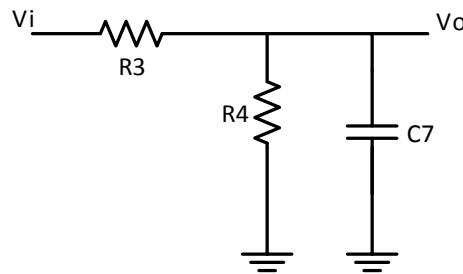


Fig. 7 Circuito equivalente de la etapa de acondicionamiento

La ecuación del circuito de acondicionamiento es:

$$\frac{V_i - V_0}{R_3} = \frac{V_0}{R_4} + \frac{V_0}{1/C_7s} \rightarrow \frac{V_1}{R_3} = \frac{V_0}{R_4} + \frac{V_0}{R_3} + V_0 C_7 s \quad (19)$$

Por tanto,

$$\frac{V_0}{V_i} = \frac{R_3 R_4}{R_3 * (R_3 + R_4 + (R_4 R_3 C_7 s))} = \frac{\frac{R_4}{R_3 + R_4}}{1 + \frac{R_4 R_3}{R_4 + R_3} C_7 s} \quad (20)$$

Los componentes ideales serían:

- **R3=15,3 kΩ**
- **R4=4 kΩ**
- **C7=1 nF**

No hay resistencias de esos valores por lo que las resistencias que más se aproximan son:

Componentes seleccionados:

- **R3=15 kΩ**
- **R4=3,9 kΩ**
- **C7=1 nF**

La frecuencia de corte (50 kHz) no cumple el teorema de muestreo de Nyquist. Como propone [6] y [11] la solución se basa en sincronizar el muestreo del conversor con el periodo de conmutación. El muestreo se lanza por software siempre en el mismo momento de la conmutación, así se evitan problemas de aliasing debido al rizado.

El diagrama de bode equivalente de la planta del circuito con el circuito de acondicionamiento se muestra en la Fig. 8.

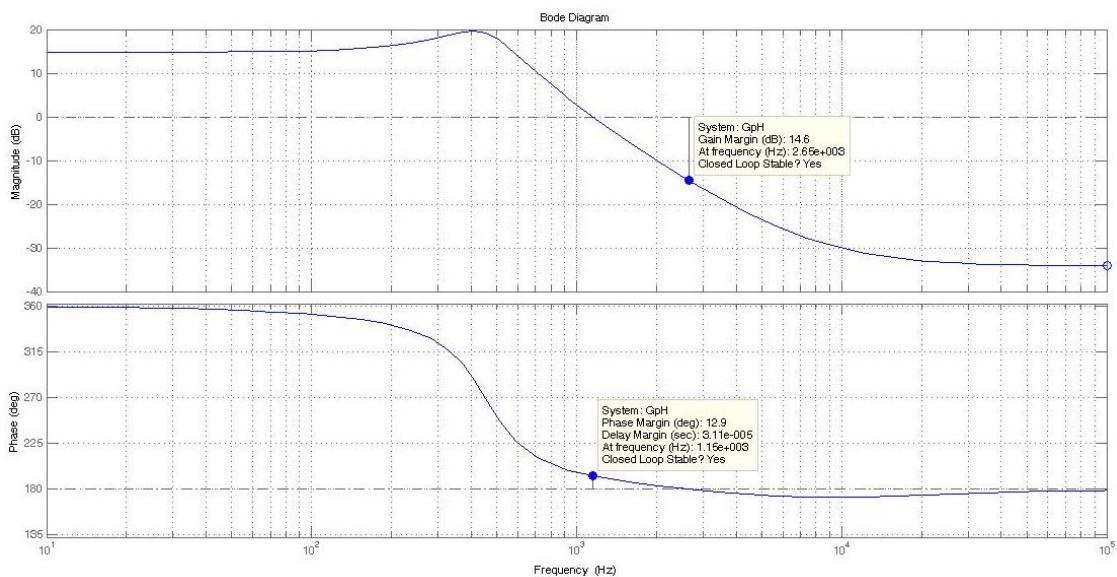


Fig. 8 Diagrama de bode de la planta con el bloque de acondicionamiento $G_p * H$

A continuación se muestran los componentes comerciales seleccionados:

Bobina:

La bobina seleccionada es una inductancia de ferrita de COILCRAFT cuyas características son:

- Valor de inductancia $L=100 \mu\text{H}$
- Resistencia en serie ESR $r_x=120 \text{ m}\Omega$
- Corriente eficaz nominal $I_{\text{RMS}}=3\text{A}$.

A continuación, Fig. 9, se muestran las gráficas de corriente y tensión por la bobina en el caso más desfavorable, carga de 12Ω . Como puede observarse, en el régimen permanente no se superan los 3 A eficaces de la bobina seleccionada.

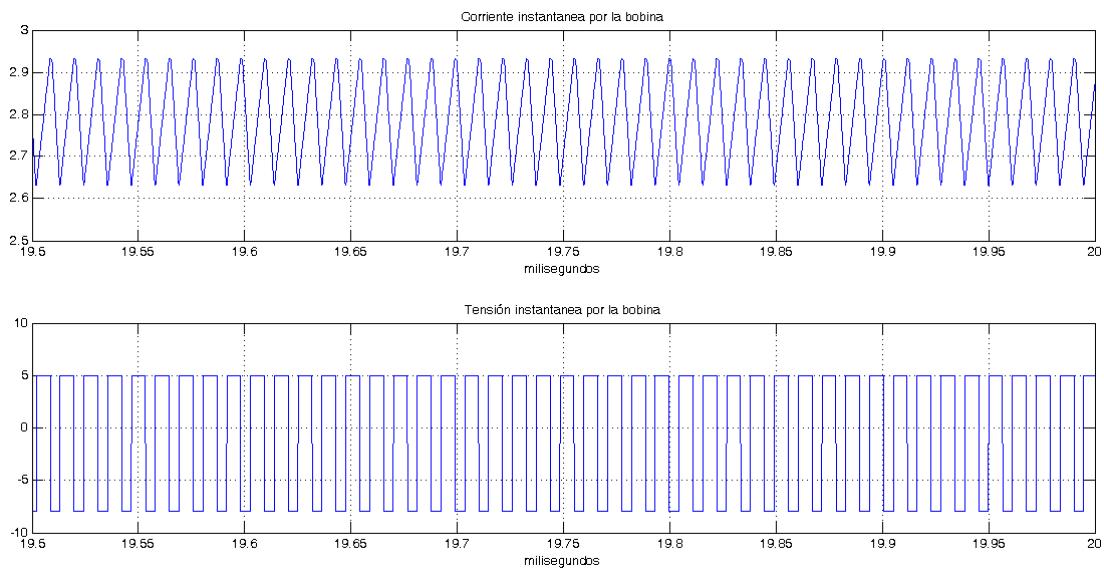


Fig. 9 Gráficas de corriente (A) y tensión (V) en régimen permanente por la bobina en el caso más desfavorable

Condensador:

El condensador electrolítico seleccionado es uno de PANASONIC cuyas características son:

- Valor de $C=220 \mu\text{H}$
- Resistencia en serie $r_c=80 \text{ m}\Omega$
- Tensión nominal de 35 V

A continuación, Fig. 10, se muestran las gráficas de corriente y tensión por el condensador en el caso más desfavorable, carga de 12Ω . Como puede observarse, en el régimen permanente no se superan los 35 V nominales del condensador seleccionado.

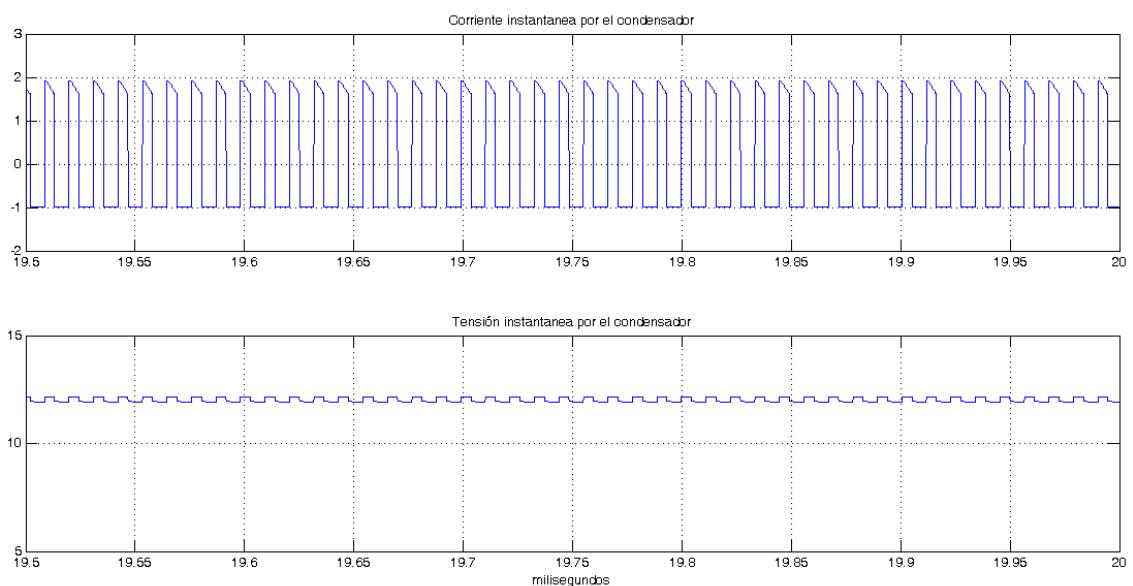


Fig. 10 Gráficas de corriente (A) y tensión (V) en régimen permanente por el condensador en el caso más desfavorable

Resistencia de la carga:

Las resistencias seleccionadas son de WELWYN cuyas características son:

- Valor de $R=24 \Omega$
- Potencia nominal 7 W

A continuación, Fig. 11, se muestran las gráficas de corriente y tensión por la carga.

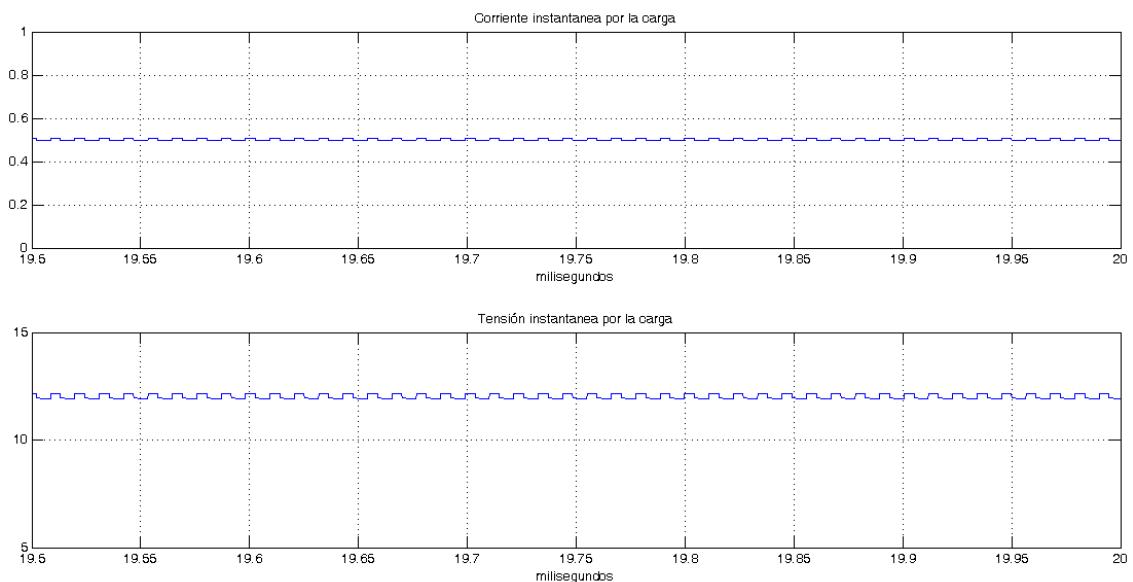


Fig. 11 Gráficas de corriente (A) y tensión (V) en régimen permanente por la carga

$$P = I_{ef}^2 * R = 0.5^2 * 24 = 6 \text{ W} < 7 \text{ W} \quad (21)$$

Como puede observarse, en régimen permanente no se superan los 7 W nominales de la carga seleccionada.

3 Diseño de la Plataforma Hardware desarrollada

En este apartado se describen las características de diseño de la plataforma Hardware desarrollada y la selección del resto de componentes que la componen.

Teniendo en cuenta que esta plataforma se encuentra conectada a la tarjeta Nexys2 de Diligent, se ha buscado el conector específico PMOD para su conexión; por otra parte, se ha optimizado su diseño, de forma que la placa de circuito impreso sea de tamaño reducido. El resultado final es el que se observa en la Fig. 12.

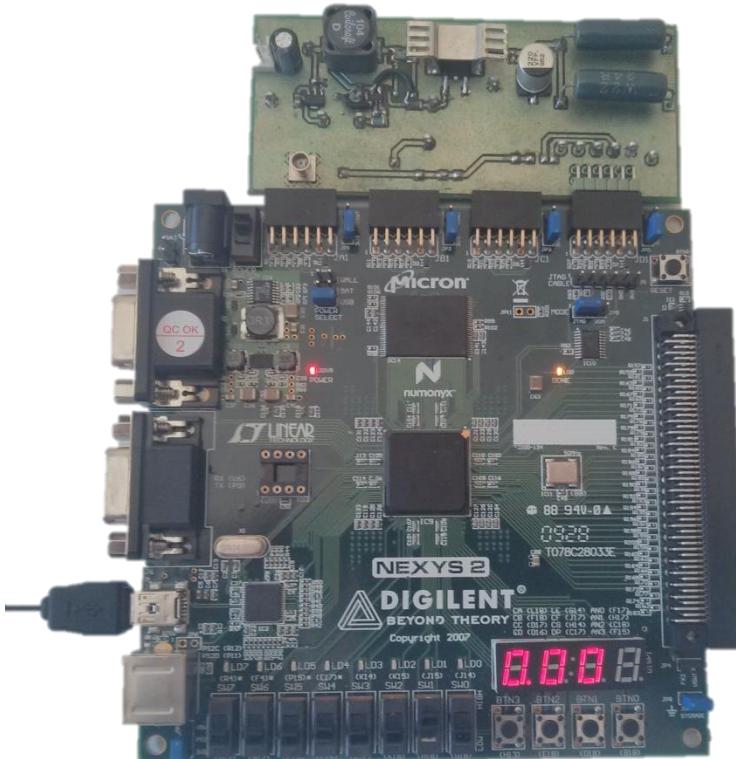


Fig. 12 Fotografía de la plataforma Hardware desarrollada conectada a la tarjeta NEXYS 2

El diseño de la placa de circuito impreso se ha realizado con el software de diseño electrónico EAGLE. Se ha puesto un esfuerzo inicial en su diseño, ya que si se realiza de forma incorrecta, la PCB puede irradiar excesivo ruido electromagnético (EMI), el cual puede contribuir a la inestabilidad del circuito.

Los convertidores conmutados de continua contienen señales de alta frecuencia, debido a las conmutaciones de sus interruptores. Cualquier pista de la PCB puede actuar como una antena receptora e introducir ruido en el funcionamiento del circuito. La longitud y la anchura de la pista están directamente relacionadas con su inductancia y resistencia, y por lo tanto de su sensibilidad al ruido. La longitud de una pista es directamente proporcional a la resistencia e impedancia de la misma y la anchura es inversamente proporcional a la resistencia.

Las pistas de la etapa de potencia se han hecho anchas y cortas. Anchas, para que su resistencia sea pequeña y puedan disipar la potencia adecuada para que no se calienten en exceso. Cortas, para que la inductancia añadida sea pequeña.

Por este motivo, el diseño se ha dividido en dos partes:

- Por la cara TOP se han colocado los componentes de potencia.
- Por la cara BOTTOM se han colocado los componentes de control, los conversores analógico digitales y los amplificadores operacionales.

De esta forma el ruido producido por los componentes de potencia no afecta a la parte de control y medida. De la misma manera, se ha dejado la parte superior de la cara BOTTOM sin componentes, como plano de masa, para facilitar el camino de vuelta de la corriente por la GND de la fuente, tal y como se observa en la Fig. 13.

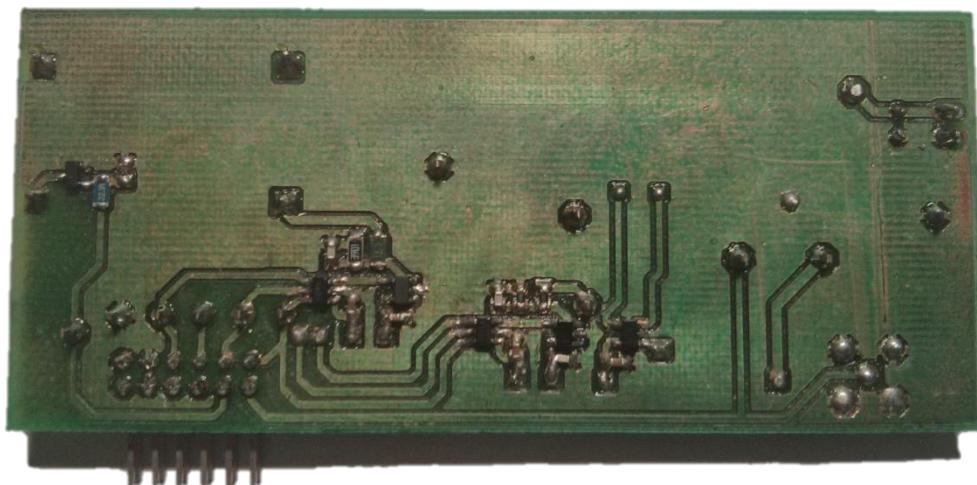


Fig. 13 Fotografía de la cara BOTTOM de la plataforma HW desarrollada

Con el fin de desarrollar una plataforma HW para uso didáctico, se han colocado en la PCB una serie de anillas de test sobre las que se puede pinchar con la sonda del osciloscopio y realizar las medidas correspondientes, como se muestra en la Fig. 14.

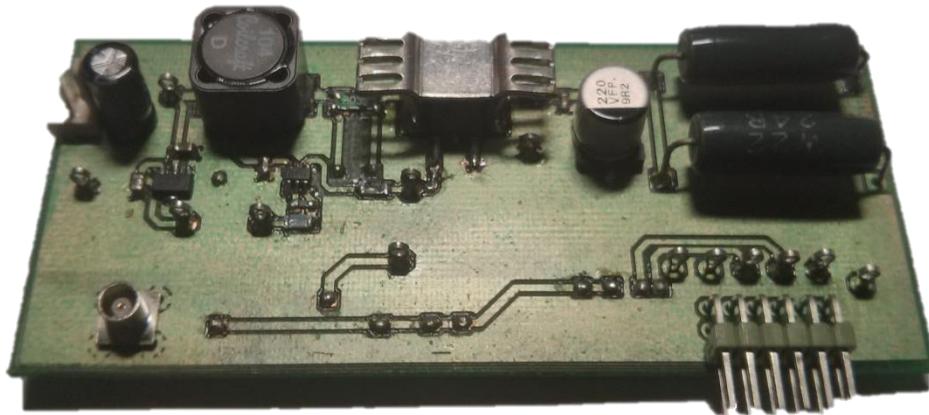


Fig. 14 Fotografía de la cara TOP de la plataforma HW desarrollada

En el **ANEXO B**, se muestran los planos de la PCB obtenidos con Eagle.

3.1 Selección del resto de componentes

Además de la inductancia, el condensador y las resistencias seleccionadas en el capítulo anterior, se ha realizado el cálculo del resto de los componentes que componen la tarjeta de circuito impreso.

Transistor Mosfet:

Se ha seleccionado un MOSFET IRFR024NPBF de canal N, cuyas características son:

- Intensidad máxima $Id=16$ A.
- Tensión drenaje-fuente $Vds=55$ V.
- Disipación de potencia $Pd=38$ W.

A continuación, Fig. 15, se muestran las gráficas de corriente y tensión por el transistor Mosfet en el caso más desfavorable, carga de $12\ \Omega$. Como puede observarse, en el régimen permanente los valores máximos de corriente y tensión están por debajo de los límites del transistor seleccionado.

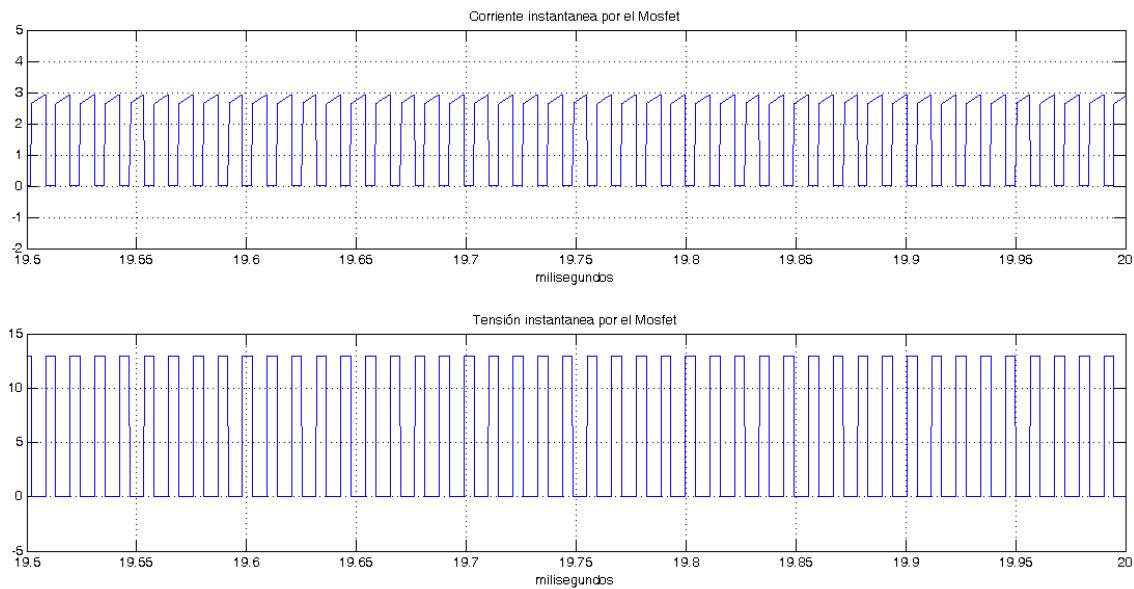


Fig. 15 Gráficas de corriente (A) y tensión (V) en régimen permanente por el transistor Mosfet en el caso más desfavorable

Diodo de Potencia:

El diodo seleccionado es el SS2P3L de Vishay, cuyas características son:

- Intensidad directa $I_f(AV)$ 2 A.
- Intensidad directa transitoria 60 A.
- Tensión inversa 30V.

A continuación, Fig. 16, se muestran las gráficas de corriente y tensión por el diodo en el caso más desfavorable, carga de 12Ω . Como puede observarse, en el régimen permanente el valor medio de corriente está por debajo de los 2 A nominales y la tensión inversa es menor a los 30 V.

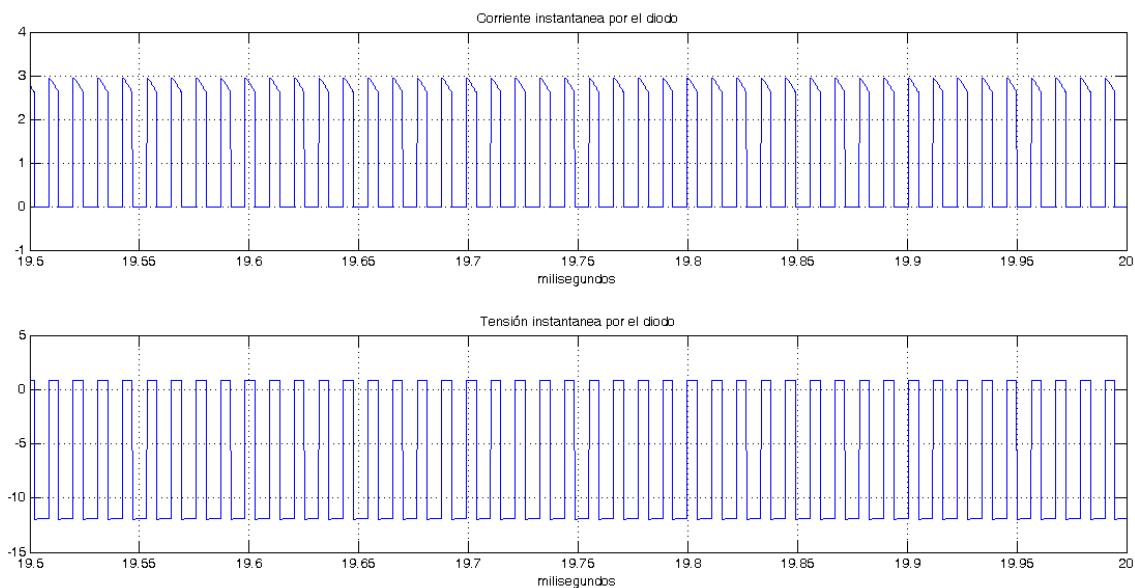


Fig. 16 Gráficas de corriente (A) y tensión (V) en régimen permanente por el diodo en el caso más desfavorable

Driver del Mosfet:

El driver seleccionado es el UCC27517ADBVT de Texas Instruments, con las siguientes características:

- Un único canal de alta velocidad
- Alimentación entre 4.5 y 18 Voltios
- Disparo compatible con señales TTL

Círculo de acondicionamiento de la medida en corriente:

De la misma manera que se ha calculado el filtro paso bajo de primer orden para el acondicionamiento de la tensión de salida, se calcula el mismo filtro paso bajo atenuador para la corriente por la bobina.

Para convertir la corriente en tensión se ha utilizado un INA194 que tiene una ganancia de 50 y una resistencia shunt de valor $R_{shunt}=0.039 \Omega$.

Esto implica que si, por ejemplo, circulan 2.5 A por la bobina (corriente aproximada cuando la Resistencia de carga es 12Ω) la salida en tensión es de 4.875 V.

Para que la tensión de entrada al conversor ADC sea de 2.5 hay que dividir por 2, por lo que la ganancia del circuito es de 0.5. Con esta etapa de acondicionamiento, el rango de medida va desde 0 a 3.4 A.

Los requisitos son:

- Ganancia=0,5
- Frecuencia de corte=50 kHz

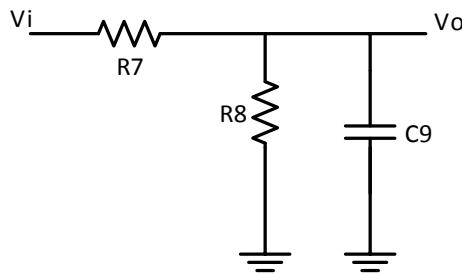


Fig. 17 Circuito equivalente de la etapa de acondicionamiento

Las ecuaciones del circuito de acondicionamiento son:

$$\frac{V_i - V_0}{R_7} = \frac{V_0}{R_8} + \frac{V_0}{1/C_9s} \rightarrow \frac{V_1}{R_7} = \frac{V_0}{R_8} + \frac{V_0}{R_7} + V_0 C_9 s \quad (22)$$

Por tanto,

$$\frac{V_0}{V_i} = \frac{R_7 R_8}{R_7 * (R_7 + R_8 + (R_8 R_7 C_9 s))} = \frac{\frac{R_8}{R_7 + R_8}}{1 + \frac{R_8 R_7}{R_8 + R_7} C_9 s} \quad (23)$$

Los componentes ideales serían:

- **R7=6,34 kΩ**
- **R8=6,34 kΩ**
- **C9=1 nF**

No hay resistencias de esos valores por lo que las resistencias que más se aproximan son:

Componentes seleccionados:

- **R7=6,2 kΩ**
- **R8=6,2 kΩ**
- **C9=1 nF**

En el **ANEXO C**, se muestra el listado de componentes completo.

4 Diseño del control digital

Este apartado describe el cálculo, selección y verificación del regulador implementado en la FPGA. Como se muestra en [12] los pasos a seguir para realizar el diseño de un regulador digital son los siguientes:

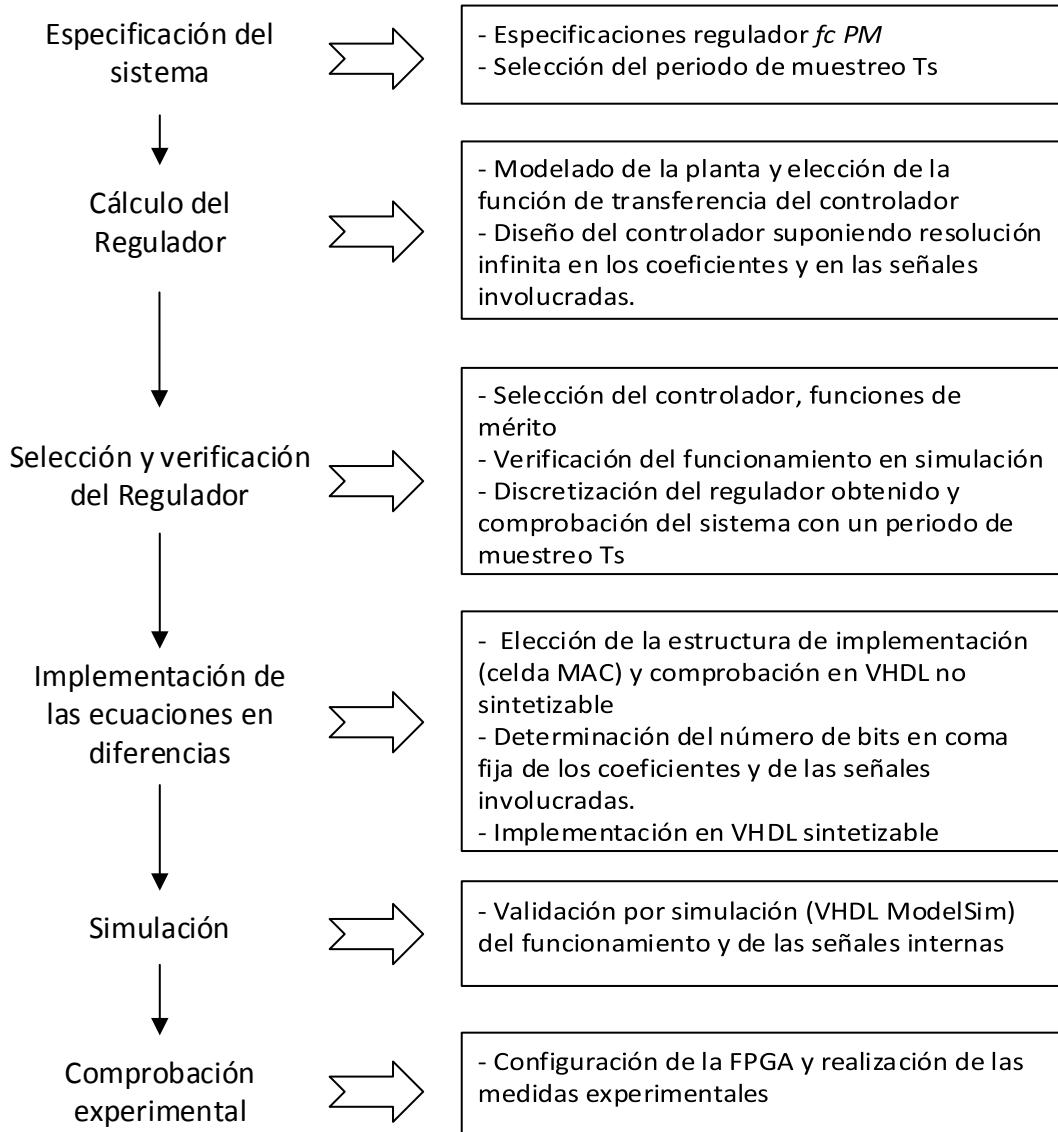


Fig. 18 Pasos seguidos para la realización y comprobación del regulador digital implementado

El primer paso de los arriba indicados, es analizar e imponer las especificaciones requeridas por el sistema. A partir de estas especificaciones iniciales de diseño se calcula el regulador.

Según [13], uno de los problemas del control del convertidor Boost es debido al cero f_{RHP} en el semiplano derecho, que provoca una respuesta inicial en el convertidor en la dirección opuesta a la ordenada por la señal de control, también conocido como realimentación positiva. Por ejemplo, si hay un aumento repentino de la carga de salida en el convertidor, su voltaje de salida



disminuirá y el convertidor responderá con un ciclo de trabajo más largo. Sin embargo, un ciclo de trabajo más largo, dará como resultado un tiempo de conducción del diodo más corto, y por tanto, una menor carga del condensador de salida, probocando inicialmente una mayor caída del voltaje.

Esto es confuso para el controlador, la solución es esperar y ver la tendencia del circuito antes de ajustar el ciclo de trabajo. Con el fin de lograr este objetivo, la frecuencia de corte, f_c , debe ser inferior a la frecuencia cero RHP y mayor a la frecuencia del polo doble f_o .

Se han seleccionado las siguientes condiciones: la frecuencia de corte f_c debe ser al menos 3 veces menor a la frecuencia del cero RHP y 3 veces mayor a la frecuencia del polo doble f_o .

$$\begin{aligned} f_c &< \frac{f_{RHP}}{3} \\ f_c &> 3 \cdot f_o \end{aligned} \tag{24}$$

Siendo la frecuencia del cero RHP:

$$f_{RHP} = \frac{1}{2\pi} \left(\frac{D_1^2 R^2}{L(R + r_c)} + \frac{r_x}{L} \right) = 6800 \text{ Hz} \tag{25}$$

Y la del polo doble:

$$f_o = \frac{f_{zz}}{15} = 453,333 \text{ Hz} \tag{26}$$

Nos da como resultado una frecuencia de corte aproximada de 1,5 kHz, mejor cuanto más nos alejemos del cero RHP pero sin acercarnos mucho a la frecuencia del doble polo.

Por lo tanto, las especificaciones que se requieren al sistema son las siguientes:

Especificaciones iniciales de diseño	
f_c	(Frecuencia de corte) - Especificación inicial de diseño, cuyo valor debe ser de 1,5kHz
	(Margen de Fase) – Especificación inicial de diseño, cuyo valor debe ser de 55°.
PM	Cuanto mayor sea el parámetro PM, mayor será la estabilidad del sistema. Por regla general conviene tener $PM > 50^\circ$.
f_{sw}	(Frecuencia de conmutación) – Especificación inicial de diseño, cuyo valor debe ser de 100 kHz
Ts	(Periodo de muestreo) – Especificación inicial de diseño, cuyo valor es de 10 μs
e_p	(Error de posición) – El error de posición debe ser cero, la salida debe de seguir exactamente a la referencia. Esto implica que la función de transferencia en lazo abierto tenga un polo en $s=0$. Es decir, un integrador.

Tabla 1 Especificaciones iniciales de diseño para el cálculo del regulador

4.1 Cálculo del Regulador

Para realizar el cálculo del regulador $G_c(s)$ y seleccionar su función de transferencia, es necesario conocer la planta del sistema $G_p(s)$, que se ha calculado anteriormente en el apartado 2.1 y que se muestra en (27). A su vez, también es conocido el bloque H correspondiente al sistema de acondicionamiento necesario para adaptar la tensión de salida del Boost a la tensión de entrada al conversor analógico digital. Por lo que el sistema resultante es el mostrado en la Fig. 19.

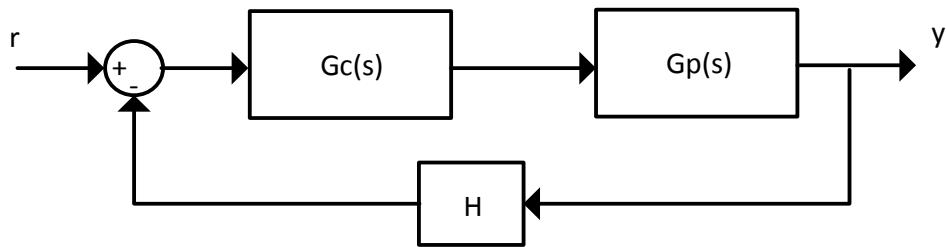


Fig. 19 Diagrama de bloques del sistema

La función de transferencia de la planta obtenida anteriormente es la siguiente:

$$G_p(s) = -0,092584 \frac{(s + 5,682 \cdot 10^4) \cdot (s - 4,033 \cdot 10^4)}{s^2 + 1721s + 8,128 \cdot 10^6} \quad (27)$$

De donde se obtiene:

- El valor de la frecuencia del cero RHP $\rightarrow f_{RHP} = 6,4 \text{ kHz}$
- El valor de la frecuencia del cero debido a la resistencia ESR del condensador $\rightarrow f_{ESR} = 9 \text{ kHz}$
- El valor de la frecuencia del doble polo $\rightarrow f_n = 453 \text{ Hz}$
- El valor del coeficiente de amortiguamiento del doble polo $\rightarrow \zeta = 0,3$

La ganancia de la etapa de acondicionamiento calculada anteriormente es

$$H = \frac{2.5}{12} = 0.21 \quad (28)$$

A partir de ambas (27) y (28), se obtiene la función de transferencia en lazo abierto de la planta del sistema y la etapa de acondicionamiento L_u :

$$L_u = H * G_p(s) \quad (29)$$

El regulador se ha calculado siguiendo el método unificado del lugar de las raíces y de la respuesta en frecuencia [9], según este método se debe cumplir:

$$\begin{aligned} \angle G_c(jw_c) + \angle L_u(jw_c) &= -180^\circ + PM + \theta_{delay} \\ |G_c(jw_c)| * |L_u(jw_c)| &= 1 \end{aligned} \quad (30)$$



El término θ_{delay} representa el retardo de transporte que depende del tipo de modulación PWM. Éste es analizado en [10], para el caso del modulador *trailing-edge* que ha sido el implementado, este retardo es equivalente a:

$$\theta_{delay} = 360D \frac{f_c}{f_s} \quad (31)$$

Por tanto, siendo $f_c = 1.5 \text{ kHz}$, nos da como resultado:

$$\theta_{delay} = 360D \frac{f_c}{f_s} = 3.24^\circ \quad (32)$$

Por otra parte, la fase y módulo de la función de transferencia en lazo abierto L_u obtenidos a la frecuencia $f_c = 1.5 \text{ kHz}$ son los siguientes:

$$\angle L_u(jw_c) = -172.37^\circ \quad (33)$$

$$|L_u(jw_c)| = 0.5648 \quad (34)$$

Una vez obtenidos la fase y módulo de la función de transferencia en lazo abierto L_u , nos queda obtener la función de transferencia del regulador. Una vez analizadas las opciones, la función de transferencia del regulador que mejor se adapta a las especificaciones de diseño es la siguiente:

$$G_c(s) = \frac{K}{s} \frac{(1 + s/w_{z1}) \cdot (1 + s/w_{z2})}{(1 + s/w_p)} \text{ ó } \frac{K}{s} \frac{(s^2 + 2\zeta w_n s + w_n^2)}{(1 + s/w_p)} \quad (35)$$

Por lo que, a partir de la función de transferencia arriba indicada (35), de las especificaciones iniciales (Tabla 1), de la fase y módulo obtenidos en (33) y (34), y utilizando distintos métodos, se calculan 5 reguladores. Entre éstos, se ha seleccionado el que mejor cumple con las funciones de mérito que posteriormente serán explicadas.

Los reguladores obtenidos han sido los siguientes:

CASO 1.-Cálculo del regulador por el método de Ziegler-Nichols	
$G_c(s) = \frac{35.1064}{s} \frac{(s^2 + 19690s + 1.015e8)}{(s + 2.114e5)}$	
CASO 2.-Cálculo del regulador con un cero real doble ($\zeta=1$)	
$G_c(s) = \frac{1135,93}{s} \frac{(1 + s/2\pi \cdot 400)^2}{(1 + s/2\pi \cdot 6619,83)}$	$K = 1135,93$ $w_{z1} = w_{z2} = 2\pi \cdot 400$ $w_p = 2\pi \cdot 6619,83$
CASO 3 Cálculo del regulador con 2 ceros reales ($\zeta=1,1$)	
$G_c(s) = \frac{1126,2}{s} \frac{(\frac{s}{2\pi \cdot 400})^2 + 2\frac{\zeta}{2\pi \cdot 400}s + 1}{(1 + s/2\pi \cdot 8209,976)}$	$K = 1126,2$ $w_{z1} = 2\pi \cdot 623,25$ $w_{z2} = 2\pi \cdot 256,717$ $w_p = 2\pi \cdot 8209,976$



CASO 4 Cálculo del regulador con 2 ceros complejos conjugados ($\zeta=0.9$)	
$G_c(s) = \frac{1148,56738}{s} \frac{\left(\frac{s}{2\pi \cdot 400}\right)^2 + 2 \frac{\zeta}{2\pi \cdot 400} s + 1}{\left(1 + \frac{s}{2\pi \cdot 5482,1366}\right)}$	$K = 1148,56738$ $w_{z1} = 2\pi \cdot (360 + j174,37)$ $w_{z2} = 2\pi \cdot (360 - j174,37)$ $w_p = 2\pi \cdot 5482,1366$
CASO 5 Cálculo del regulador por el método del factor K	
$G_c(s) = \frac{553,47}{s} \frac{\left(1 + \frac{s}{2\pi \cdot 150}\right) \cdot \left(1 + \frac{s}{2\pi \cdot 500}\right)}{\left(1 + \frac{s}{2\pi \cdot 4500}\right)}$	$K = 553,47$ $w_{z1} = 2\pi \cdot 150$ $w_{z2} = 2\pi \cdot 500$ $w_p = 2\pi \cdot 4500$

Tabla 2 Reguladores calculados durante el desarrollo del trabajo

A continuación se muestra la forma de obtención del Regulador 3, que es el que se ha seleccionado como el más adecuado.

Siendo (35) la función de transferencia del regulador, a partir de la fase y módulo obtenido en (16), con $w_c = 2\pi \cdot 1500$, $\zeta=1.1$, seleccionando $w_{z1} \neq w_{z2} < w_n$, $w_z = 2\pi \cdot 400$, $PM + \theta_{delay} = 55^\circ$ y sustituyendo todo en (30), se obtiene que la frecuencia del polo debe ser:

$$\begin{aligned} \angle G_c(jw_c) &= -90 + \angle\left(1 - \left(\frac{w_c}{w_z}\right)^2 + j2\zeta\frac{w_c}{w_z}\right) - \angle\left(1 + j\frac{w_c}{w_p}\right) = -180^\circ + 55^\circ - \angle Lu(jw_c) \\ \angle\left(1 + j\frac{w_c}{w_p}\right) &= -90^\circ + \angle\left(1 - \left(\frac{1500}{400}\right)^2 + j2 \cdot 1.1 \cdot \frac{1500}{400}\right) + 180^\circ - 55^\circ - 172.37^\circ \\ &= -137.37^\circ + 147.72^\circ = 10.354^\circ \end{aligned} \quad (36)$$

$$\frac{w_c}{w_p} = \tan(10.354^\circ) \rightarrow w_p = \frac{w_c}{\tan(10.354^\circ)} = 2\pi \cdot 8209.976$$

Y que la ganancia K del regulador resultante debe ser:

$$\begin{aligned} |G_c(jw_c)| &= \frac{K}{w_c} \frac{1 + \left(\frac{w_c}{w_z}\right)^2}{\sqrt{1 + \left(\frac{w_c}{w_p}\right)^2}} = \frac{K}{w_c} \frac{1 + (3.75)^2}{\sqrt{1 + \tan^2(10.354) \cdot 1500^2}} = \frac{1}{|Lu(jw_c)|} \\ K &= \frac{w_c \cdot \sqrt{1 + \tan^2(10.354) \cdot 1500^2}}{15.0625 \cdot |Lu(jw_c)|} = \frac{2\pi f_c \cdot \sqrt{1 + \tan^2(10.354) \cdot 1500^2}}{15.0625 \cdot 0.5648} = 1126.2 \end{aligned} \quad (37)$$

Por tanto, el regulador resultante que cumple con las especificaciones impuestas es:

$$G_c(s) = \frac{1126,2}{s} \frac{\left(\frac{s}{2\pi \cdot 400}\right)^2 + 2 \frac{\zeta}{2\pi \cdot 400} s + 1}{\left(1 + \frac{s}{2\pi \cdot 8209.976}\right)}$$

La obtención del resto de Reguladores se encuentra detallada en el **ANEXO D**.

4.2 Selección del Regulador

Para evaluar y seleccionar el regulador que mejor se comporta, se han evaluado la respuesta del regulador frente a una serie de funciones de mérito.

Estas funciones de mérito son analizadas en [15], [16], [6] y son las siguientes:

Funciones de mérito	
GM	(Margen de Ganancia) - Cuanto mayor sea el parámetro GM, mayor será la estabilidad del sistema. Por regla general conviene tener $GM > 10\text{dB}$.
PO	(Sobreoscilación) – Cuanto menor sea este parámetro menor será la amplitud de la primera oscilación en porcentaje sobre el valor final de referencia.
$\ S\ _{\text{inf}}$	(Norma S infinito) – S se denomina función de sensibilidad, que determina la capacidad del sistema al rechazo de perturbaciones, errores de modelado... Cuanto menor sea este parámetro más robusto será el sistema.
$\ Z_{cl}\ _{\text{inf}}$	(Norma Z_{cl} infinito) - Z_{cl} determina la impedancia de salida en bucle cerrado. Mejor cuanto más pequeña sea esta impedancia de salida.
f_B	(Frecuencia f_B) Determina la frecuencia a la que el módulo de S es $\frac{1}{\sqrt{2}}$ $ S(jf_B) = \frac{1}{\sqrt{2}}$ Mejor cuanto más se aproxime f_B a f_c
$\ G_c * S\ _{\text{inf}}$	(Norma $G_c * S$ infinito) Determina el esfuerzo del regulador y su grado de saturación. Mejor cuanto más pequeño sea este término.
K_i	(Ganancia del integrador del regulador) Mejor cuanto más pequeño sea K_i para evitar ciclos límite y conseguir que el error de posición sea 0.

Tabla 3 Funciones de mérito evaluadas

En el **ANEXO E** se muestra cómo se obtienen cada una de éstas funciones de mérito.

En la Tabla 4 se muestran los resultados obtenidos, marcando los resultados para cada una de las funciones de mérito de la siguiente forma:

- Los **peores resultados** se han marcado con letra roja y con un tamaño de letra pequeño.
- Los **mejores resultados** se han marcado con letra verde oscuro y con un tamaño de letra mayor.
- El **resto de resultados** se han marcado con letra verde y en cursiva.

REG	fc	PM	GM	PO	$ S _{\text{inf}}$	$ Z_{cl} _{\text{inf}}$	f_B	$\ G_c S\ _{\text{inf}}$	K_i
Caso1	2.07kHz	14.2	3.3dB	2.16728	4.21	1.65	1.31kHz	111.2	0.16448
Caso2	1.5kHz	55	16.7dB	1.1275	1.282	0.62	1.01kHz	8.7566	0.01132
Caso3	1.53kHz	55.1	14.9dB	1.1333	1.2576	0.609	1.03kHz	1.1206	0.01125
Caso4	1.47kHz	55.1	18.3dB	1.12	1.314	0.63267	0.992kHz	7.134	0.013
Caso5	1.5kHz	55	19.7dB	1.087653	1.35	0.59264	1.04kHz	5.892	0.00555

Tabla 4 Tabla de resultados en las que se muestran los resultados obtenidos para las distintas funciones de mérito

Las dos primera columnas corresponden a las especificaciones iniciales de diseño, frecuencia de corte (f_c) y Margen de Fase (PM), que deben de ser 1,5kHz y 55° respectivamente.

En este caso, el regulador seleccionado es el del caso 3, marcado en la Tabla 4 sobre fondo gris claro, que tiene 3 mejores resultados, 4 resultados intermedios y ningún peor resultado.

CASO 3 Cálculo del regulador con 2 ceros reales ($\zeta=1.1$)

$$G_c(s) = \frac{1126,2 \left(\frac{s}{2\pi \cdot 400} \right)^2 + 2 \frac{\zeta}{2\pi \cdot 400} s + 1}{s \left(1 + \frac{s}{2\pi \cdot 8209,976} \right)}$$

$K = 1126,2$
 $w_{z1} = 2\pi \cdot 623,25$
 $w_{z2} = 2\pi \cdot 256,717$
 $w_p = 2\pi \cdot 8209,976$

A continuación se muestra cómo se han obtenido los valores para las distintas funciones de mérito.

En primer lugar, el diagrama de bode en bucle abierto que se obtiene con este regulador es el siguiente (Fig. 20):

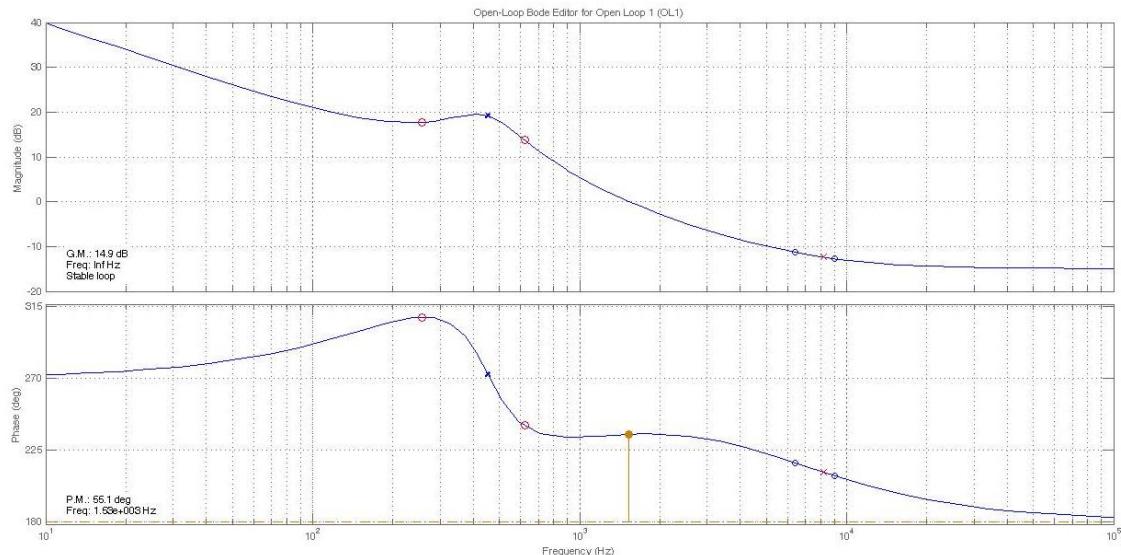


Fig. 20 Diagrama de bode del sistema en bucle abierto

Del que se obtienen los siguientes valores: **fc=1.53kHz, PM=55.1°, GM=14.9 dB-**

A partir del siguiente script en Matlab y de las gráficas que se obtienen, se calculan el resto de los valores de las funciones de mérito que se enumeraban anteriormente:

```

Sys1=series(Gc3,H*Gp)
Sys2=feedback(Sys1,1)
Sys3=1-Sys2           %Funcion sensibilidad
norm(Sys3,inf)        % |S|inf=1.257624590802233
%
Zo_cl=series(-Zo_ol,Sys3);
norm(Zo_cl,inf)        | Zcl | inf=0.6089852
%
```

```
bode(Zo_ol,Zo_cl)

[ystep,t]=step(Sys2);
norm(ystep,inf)
%
SO=1.133317460162967
bode(Sys3)
Sys4=series(Gc3,Sys3);
norm(Sys4,inf)
%
| Gc*S |_inf=1.1206
%
%
% Condicion de ciclos límite ---- G_o*H*Ki<1
% G_o*H=cte para todos los reguladores K*Ki<1
% Mejor cuanto menor sea Ki
Ki = lim(z - 1) 
$$\frac{7.5137(z - 0.984)(z - 0.9616)}{(z - 1)(z - 0.5897)} = 0.01125$$

```

Tabla 5 Script en Matlab para la obtención de los valores de las funciones de mérito

La siguiente Fig. 21, muestra la impedancia de salida (Zo_{ol} y Zo_{cl}) en bucle abierto y bucle cerrado respectivamente:

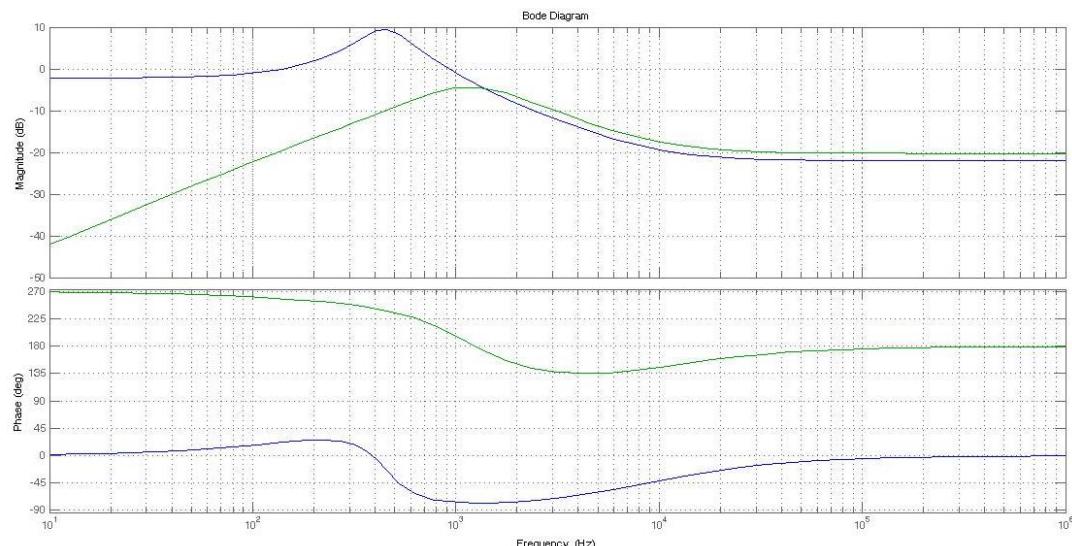


Fig. 21 Diagrama de bode de la impedancia de salida en bucle abierto (azul) y en bucle cerrado (verde)

A partir de la Fig. 22 se obtiene $f_B=1.03\text{kHz}$.

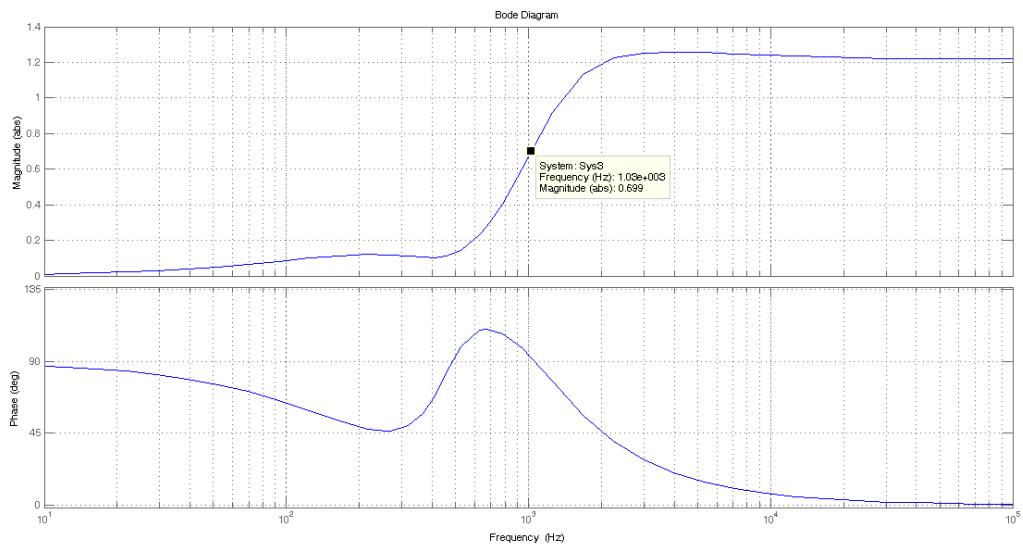


Fig. 22 Diagrama de Bode de la función de sensibilidad S

En resumen, los valores obtenidos para cada función de mérito son los siguientes:

REG	fc	PM	GM	PO	S inf	Zcl inf	f _B	GcS inf	Ki
Caso3	1.53kHz	55.1	14.9dB	1.1333	1.2576	0.609	1.03kHz	1.1206	0.01125

Estos mismos pasos se han seguido con todos los reguladores y se encuentran detallados en el ANEXO F.

4.3 Verificación mediante simulación

Para comprobar el comportamiento del sistema completo, se realiza su verificación mediante simulación utilizando la herramienta Matlab. Inicialmente se verifica el sistema en modo continuo, para posteriormente hacerlo en modo discreto.

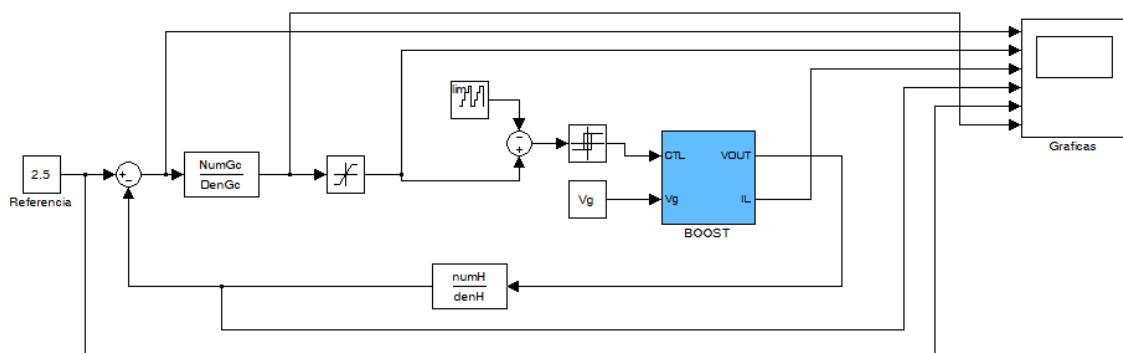
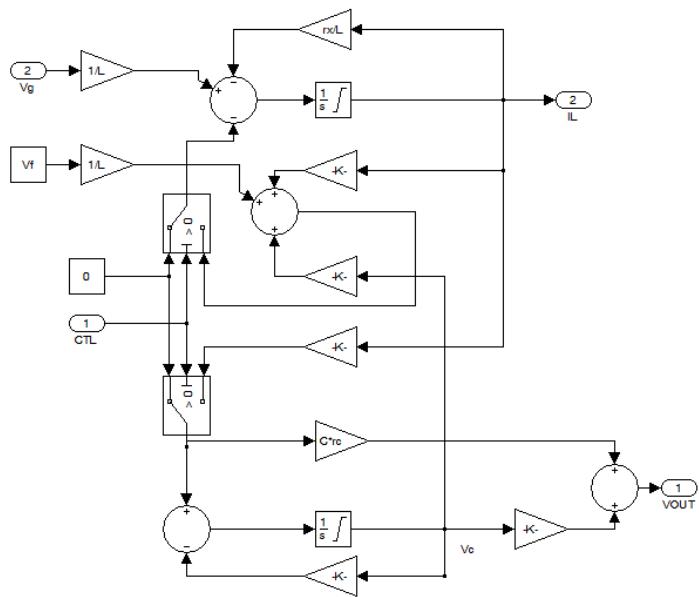


Fig. 23 Modelo del sistema en modo continuo

El circuito equivalente del modelo comutado del convertidor Boost (bloque sombreado en azul en la Fig. 23) desarrollado en [14], es el que se muestra en la Fig. 24.



MOSFET ON:

$$\frac{d}{dt} \begin{pmatrix} i_L \\ V_c \end{pmatrix} = \begin{pmatrix} -\frac{r_L}{L} & 0 \\ 0 & \frac{-1}{C(R+r_c)} \end{pmatrix} \begin{pmatrix} i_L \\ V_c \end{pmatrix} + \begin{pmatrix} 1/L \\ 0 \end{pmatrix} V_g$$

$$V_{out} = \begin{pmatrix} 0 & \frac{R}{R+r_c} \end{pmatrix} \begin{pmatrix} i_L \\ V_c \end{pmatrix}$$

MOSFET OFF:

$$\frac{d}{dt} \begin{pmatrix} i_L \\ V_c \end{pmatrix} = \begin{pmatrix} -\frac{1}{L(r_L+\frac{r_cR}{r_c+R})} & \frac{-R}{L(R+r_c)} \\ \frac{R}{C(R+r_c)} & \frac{-1}{C(R+r_c)} \end{pmatrix} \begin{pmatrix} i_L \\ V_c \end{pmatrix} + \begin{pmatrix} \frac{1}{L} \\ 0 \end{pmatrix} V_g$$

$$V_{out} = \begin{pmatrix} \frac{Rr_c}{R+r_c} & \frac{R}{R+r_c} \end{pmatrix} \begin{pmatrix} i_L \\ V_c \end{pmatrix}$$

Fig. 24 Circuito equivalente del convertidor Boost obtenido a partir de sus ecuaciones de estado

Hay dos estados posibles dependiendo del estado del Mosfet, ON/OFF, que dependen de la señal PWM generada en la FPGA.

Para convertir los coeficientes del controlador de modo continuo a modo discreto se utiliza la función c2d, siendo $T_s=10 \mu s$ y el método de discretización es el bilineal con preajuste (prewarp).

La transformada bilineal transforma sistemas continuos en sistemas discretos y viceversa, tal y como se explica en [6], el preajuste se realiza para que ambos sistemas coincidan en la frecuencia de corte ω_c .

Para ello se ha utilizado el siguiente script realizado en Matlab.

```
%% Regulador Caso 3
```

$$G_{c3}(s) = \frac{1126,2}{s} \frac{\left(\frac{s}{2\pi \cdot 400}\right)^2 + 2 \frac{1,1}{2\pi \cdot 400} s + 1}{(1 + \frac{s}{2\pi \cdot 8209,976})}$$

```
Tsw=10.0e-6; Ts=Tsw; % Período de conmutación
```

```
fc=1500; wc=2*pi*fc; % Frecuencia de corte
```

```
% Coeficientes del regulador
```

```
K=1126.2; wz=2*pi*400; wp=2*pi*8209.976; chi=1.1;
Cnum=[1/wz^2 2*chi/wz 1];
Gc3=tf(K*Cnum, [1/wp 1 0]);
```

```
zpk(Gc3);
sisotool(H*Gp, Gc3) % Comprobación mediante sisotool
```

```
% Transformación a digital
Gc3z=c2d(Gc3,Ts,'prewarp',wc)
zpk(Gc3z)

% 7.514 z^2 - 14.62 z + 7.109
% -----
% z^2 - 1.5897 z + 0.5897
```

Tabla 6 Script en Matlab para transformar el regulador de continuo a digital

El modelo del sistema en modo discreto es el que se observa en la Fig. 25.

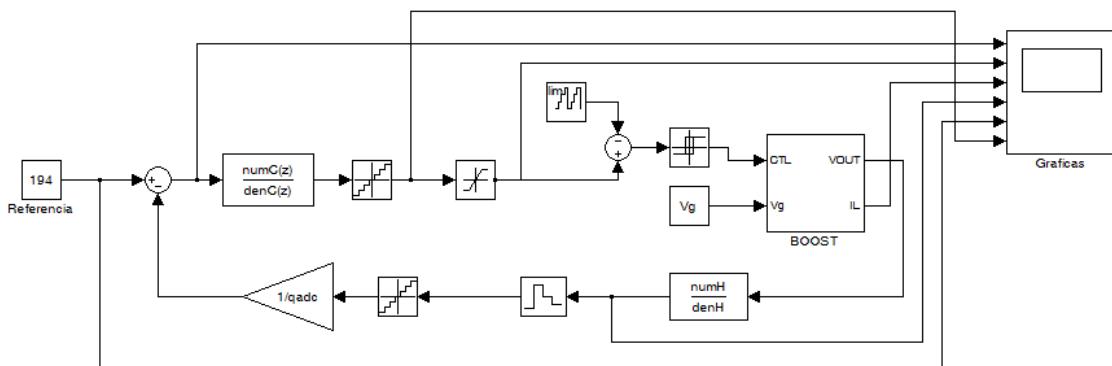


Fig. 25 Modelo del sistema en modo discreto

A la hora de discretizar el sistema hay que tener en cuenta que la resolución ya no es infinita y hay que considerar la resolución del ADC y de la PWM:

Para evitar ciclos límite [6] se han de cumplir las dos siguientes condiciones (38) y (39):

1. El número de bits del conversor ADC está limitado a un cierto valor.

$$q_{ADC} = \frac{V_{FS}}{2^n} > \frac{H \cdot V_g}{N_c} \quad (38)$$

Siendo $V_{FS} = 3.3$, $H = \frac{2.5}{12}$, $V_g = 5$, $N_c = 500$ $\rightarrow n \leq 10 \text{ bits}$

donde N_c es la resolución del modulador PWM.

Por lo que no existe ningún problema de ciclos límite cogiendo 8 bits del conversor ADC.

2. La ganancia K_i del controlador debe cumplir la siguiente condición:

$$K_i \cdot H \cdot V_g < 1$$

Siendo $H = \frac{2.5}{12}$, $V_g = 5$ \rightarrow Por tanto, $K_i < 0.96$ (39)

$$\text{En este caso, } K_i = \lim_{z \rightarrow 1} (z-1) \frac{7.5137(z-0.984)(z-0.9616)}{(z-1)(z-0.5897)} = 0.01125$$

Esta condición se cumple perfectamente, como ya se ha demostrado anteriormente, ya que el parámetro K_i ha sido considerado como una función de mérito para la selección del regulador.

Por lo tanto los parámetros del ADC y de la PWM utilizados en simulación son los que se muestran a continuación:

```

fclk=50e6;Tclk=1/fclk; % frecuencia/periodo de reloj
fsw=100e3;Tsw=1/fsw; % frecuencia/periodo de conmutación
Ts=Tsw; % periodo de muestreo
Npwm=fclk/fsw; % resolución de la PWM (0-499)
dmax=floor(0.7*Npwm); % limitación duty máximo
dmin=floor(0.3*Npwm); % limitación duty mínimo
VFS=3.3; % fondo de escala del conversor ADC
Nb_adc=8; % número de bits del ADC
qadc=VFS/2^Nb_adc; % cuantizador del ADC
qpwm=1/500; % cuantizador de la PWM

```

Tabla 7 Parámetros del ADC y de la PWM implementada utilizados para la simulación en Matlab

Por otra parte, es necesario adaptar el error y el duty a los valores cuantizados para operar siempre con las mismas unidades. En este caso como la referencia y el valor del conversor ADC son valores cuantizados (de 0 a 255), hay que multiplicar el error por q_{ADC} . De la misma forma, la resolución del duty es de 0 a 499, por lo que hay que multiplicar el duty por N_{PWM} . En lugar de incluir unos multiplicadores en el sistema mostrado en la Fig. 25, lo que se ha hecho es multiplicar los coeficientes del numerador del controlador por q_{ADC} y N_{PWM} . En la Fig. 26 se muestra más claramente cómo se ha realizado:

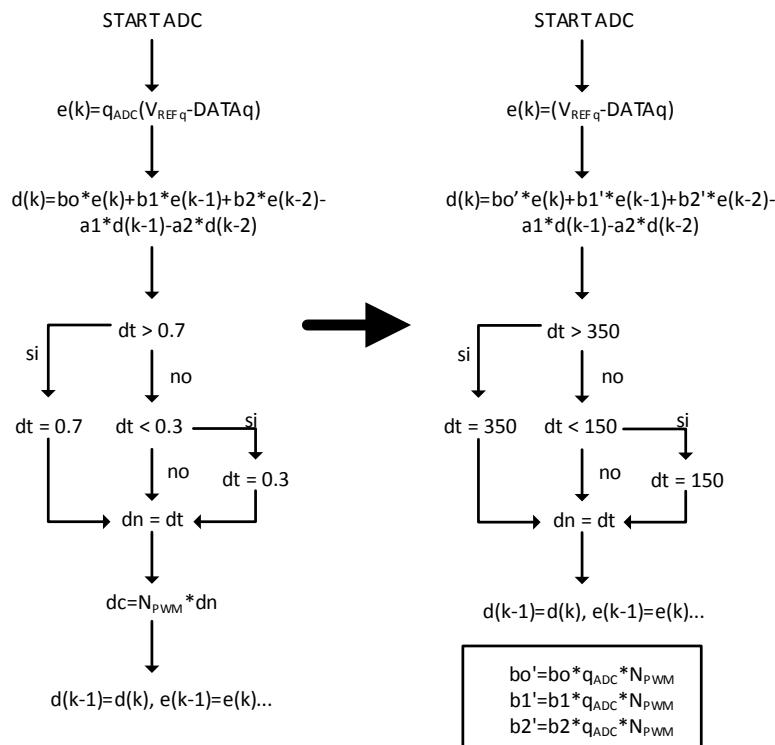


Fig. 26 Implementación del controlador, a la izquierda método tradicional [6], a la derecha solución implementada en este proyecto

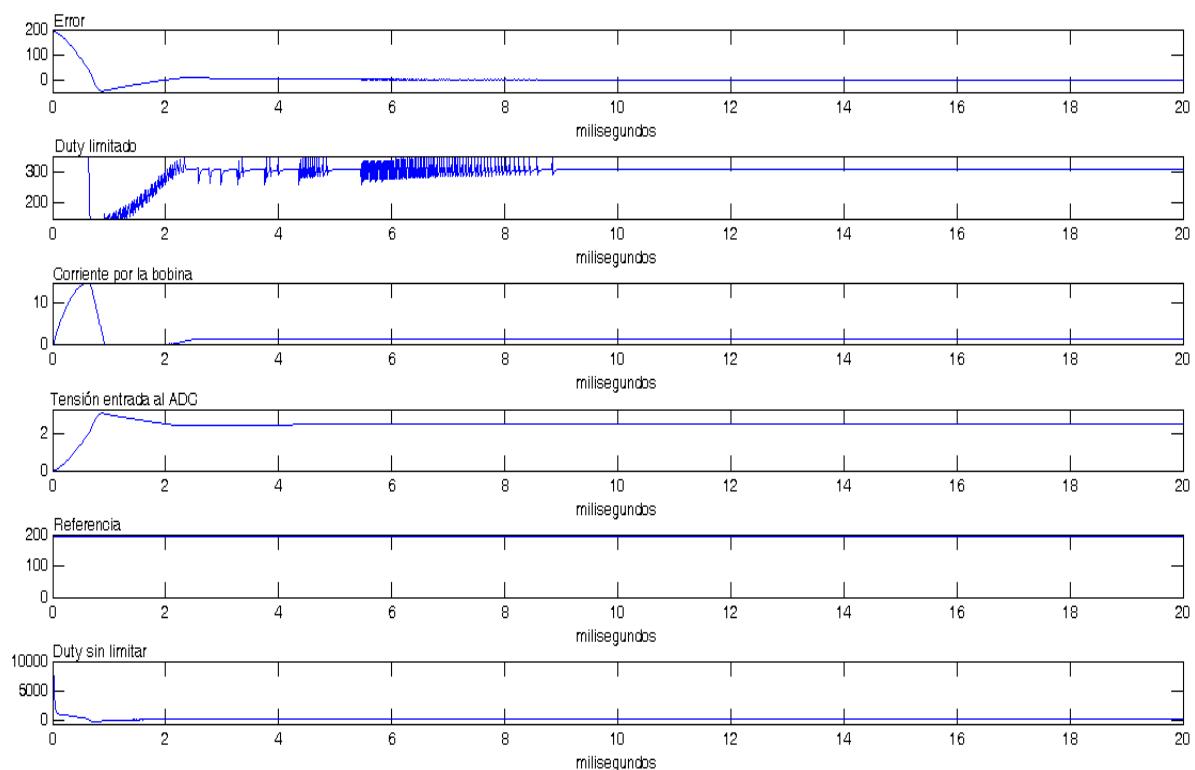
Por lo que los coeficientes del regulador son los siguientes:

```
% Cuantización de los coeficientes del regulador

%Regulador 3
numC=[7.514*Npwm*qadc -14.62*Npwm*qadc 7.109*Npwm*qadc]
denC=[1 -1.5897 0.5897]
```

Tabla 8 Coeficientes del regulador teniendo en cuenta la resolución de la PWM y la cuantización del ADC

Los resultados obtenidos en 20 milisegundos de simulación son los que se muestran en la Fig. 27:



Para limitar el error inicial y evitar la sobreoscilación en la tensión de entrada al ADC, se decide realizar un Soft Start, limitando la tensión de referencia de forma controlada, mediante escalones de tensión.

El resultado es el siguiente:

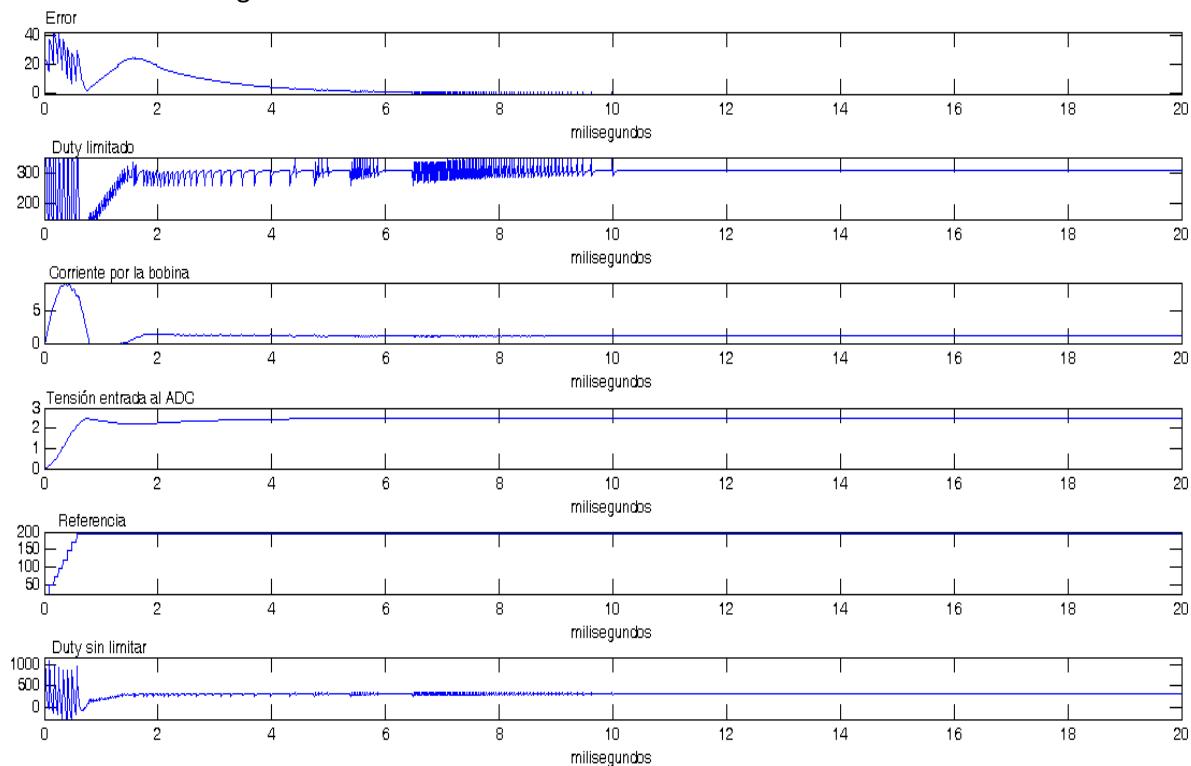


Fig. 28 Simulación sistema en modo discreto con Soft Start

Como se observa en las gráficas, con el Soft Start se ha conseguido reducir el error inicial y la sobreoscilación en la tensión de entrada al ADC es nula. Además, la tensión a la entrada al ADC sigue perfectamente a la tensión de referencia equivalente de 2.5 voltios, sin error de posición y el régimen de conducción de la corriente por la bobina es continuo.

El Soft Start se ha conseguido limitando el valor de la *Referencia* mediante 8 escalones de tensión de valor $\frac{\text{Referencia}}{8}$ cada uno, cada $80\mu\text{s}$. De tal forma que se obtiene la forma escalonada que se aprecia en la Fig. 28.

5 Implementación del control digital

Una vez que ya se ha calculado el regulador y simulado el comportamiento del sistema en Matlab, se implementa el control en la FPGA de la tarjeta NEXYS2. Para verificar que el código en VHDL es correcto y que el resultado en simulación es el mismo que se ha verificado en Matlab, se utiliza la herramienta de simulación Modelsim.

Los cinco grandes bloques que se han implementado en la FPGA y que pueden apreciarse en la Fig. 29 son:

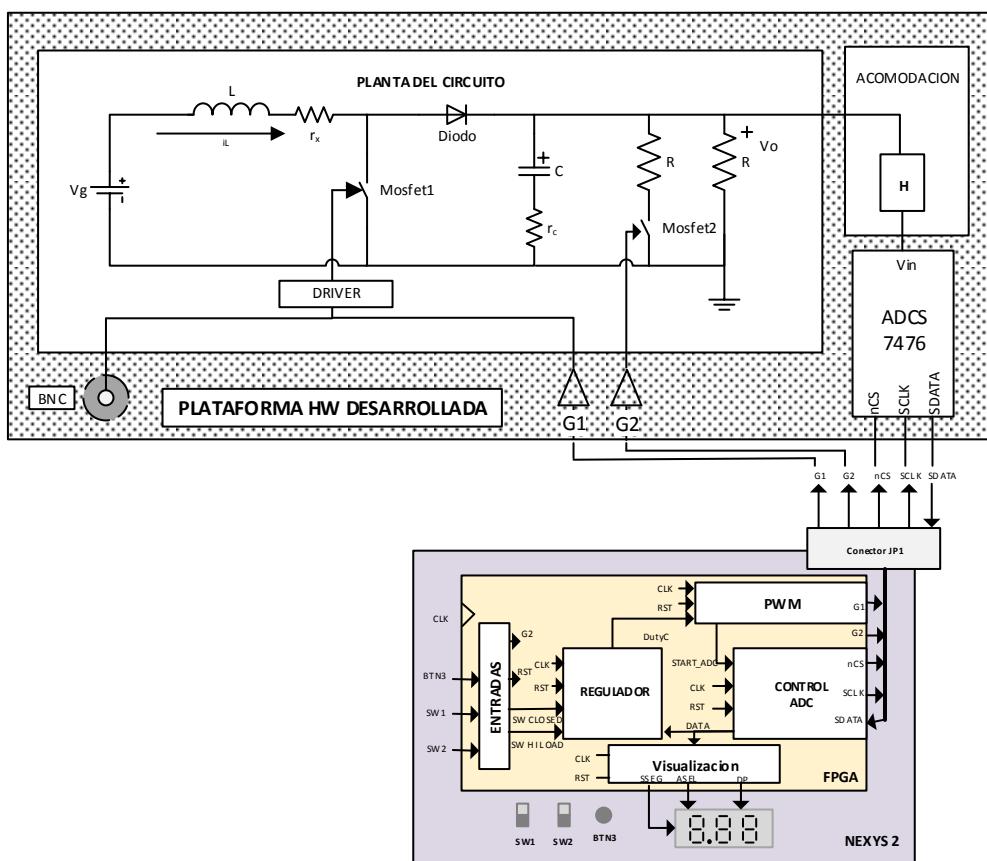


Fig. 29 Esquema general del sistema completo

- **Control del ADC**, en este bloque se implementa el protocolo de comunicaciones con el conversor analógico digital ADCS7476, que se encuentra en la Plataforma Hardware desarrollada, mediante las señales nCS, SCLK y SDATA. El valor resultante es un dato de 8 bits en el rango de 0 a 3.3 V. Este proceso de comunicación se lanza siempre en el mismo instante dentro del periodo de conmutación (señal START_ADC), cuando la señal triangular de la PWM llega a 370, tal y como se observa en la Fig. 30.

Se lanza siempre el proceso de comunicación con el ADC en el mismo instante para:

- o Evitar que la conmutación a OFF del Mosfet pueda coincidir con el proceso de conversión del ADC y produzca ruido en la señal. El duty del Mosfet está limitado a D=0.7 equivalente a 350 (CNT_max) en la señal triangular de la PWM.

- Asegurarnos de que se haya completado el protocolo de comunicaciones (tADC) y el cálculo del duty siguiente (tGc) antes de volverse a producir la comutación a ON del Mosfet, equivalente al paso de 499 a 0 de la señal triangular de la PWM.

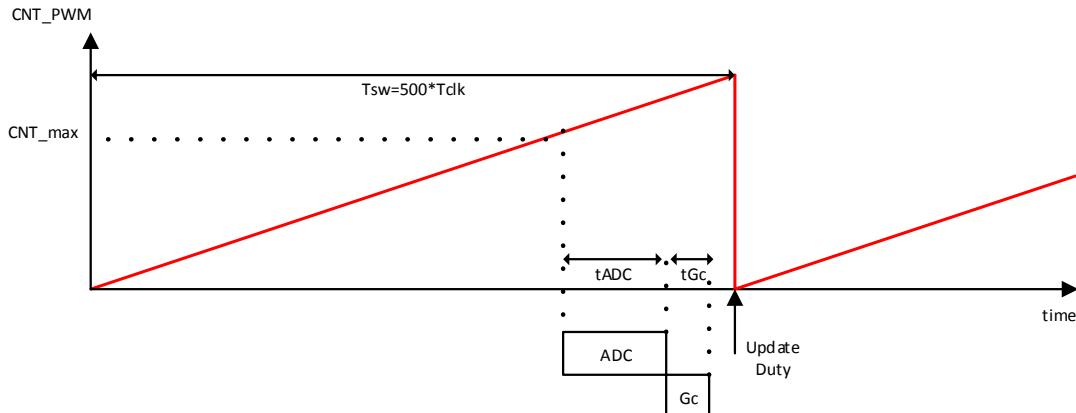


Fig. 30 Representación de un período de conmutación, mostrando los tiempos destinados al protocolo de comunicaciones con el ADC y al cálculo del nuevo duty

El código en VHDL de este bloque se encuentra en el **ANEXO G**.

- **Visualización**, este bloque es el encargado de activar los visualizadores, con un periodo de refresco de dígito de 10 ms. En cada dígito se muestra el valor correspondiente del dato recibido del ADC. El rango de visualización es de 0 a 3.30 equivalente al rango de tensión del ADC. Las señales involucradas son DATA, ASEL, DP, SSEG, CLK y RST. El código en VHDL de este bloque se encuentra en el **ANEXO G**.
- **Regulador**, en este bloque se implementan las ecuaciones en diferencias necesarias para el cálculo del duty en cada período de conmutación. Las operaciones de cálculo del duty se distribuyen de forma que cada ciclo de reloj se realice, como máximo, una operación MAC. Las entradas de este bloque son DATA, SW HI LOAD, SW CLOSED, RST, CLK y la salida DutyC. Este desarrollo se detalla en los siguientes apartados.
- **Entradas**, en este bloque se implementa el filtrado de los rebotes de los pulsadores de la placa Nexys2. Las entradas a este bloque son las señales de los interruptores SW0 y SW1 y del pulsador BTN3 y la señal de reloj CLK, siendo las salidas del bloque SW HI LOAD, SW CLOSED, G2 y RST. El código en VHDL de este bloque se encuentra en el **ANEXO G**.
- **PWM**, este bloque es el encargado de generar la señal triangular y obtener la señal PWM. Las entradas a este bloque son DutyC, RST, CLK y la salida G1. El código en VHDL de este bloque se encuentra en el **ANEXO G**.

Para comprobar por simulación el funcionamiento del diseño, hay que generar un test bench que incluya el resto de bloques de la Plataforma Hardware desarrollada en VHDL no sintetizable:

- **Planta del convertidor Boost y Etapa de Acondicionamiento**, este bloque es el encargado de modelar las ecuaciones de estado de la planta. El código en VHDL no sintetizable de este bloque se encuentra en el **ANEXO H**.

- **Conversor ADC**, este bloque es el encargado de modelar el comportamiento del conversor analógico digital. El código en VHDL no sintetizable de este bloque se encuentra en el **ANEXO H**.

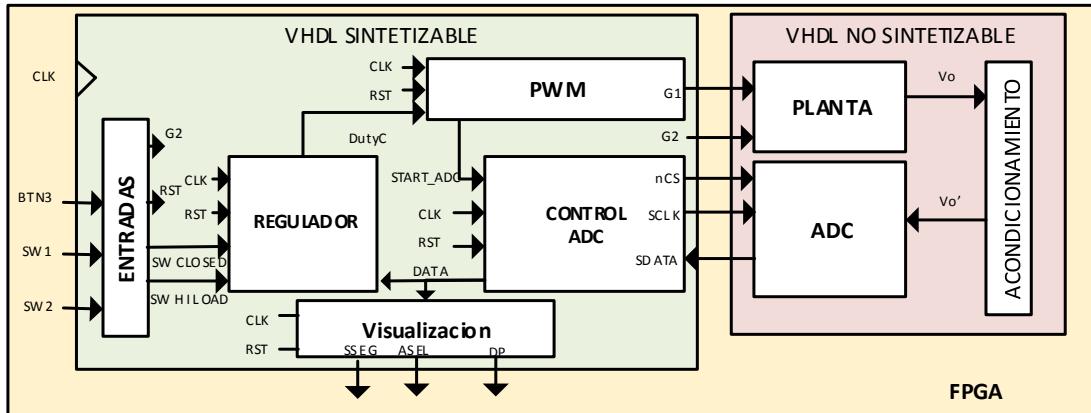


Fig. 31 Esquema de bloques del diseño VHDL completo para realizar la validación por simulación con la herramienta Modelsim.

5.1 Implementación del regulador en números reales y validación en simulación

Como se ha calculado anteriormente, los coeficientes del regulador son los siguientes:

$$b_0 = 48.4301$$

$$b_1 = -94.2305$$

$$b_2 = 45.8197$$

$$a_1 = -1.5897$$

$$a_2 = 0.5897$$

$$G_{cz} = \frac{b_0 z^2 - b_1 z + b_2}{z^2 - a_1 z + a_2}$$

Para implementar el regulador se utiliza una Unidad de Multiplicación y Acumulación (MAC), por lo que se distribuyen las operaciones del regulador de forma que cada ciclo de reloj se realice una operación MAC. En este caso el cálculo del regulador dura 6 ciclos de reloj, tal y como se muestra en la siguiente Tabla 9:

Ciclo	ARG1	ARG2	ACC
1	b_0	$e(k)$	$ACC \leftarrow X \cdot Y$
2	b_1	$e(k-1)$	$ACC \leftarrow ACC + X \cdot Y$
3	b_2	$e(k-2)$	$ACC \leftarrow ACC + X \cdot Y$
4	$-a_1$	$d(k-1)$	$ACC \leftarrow ACC + X \cdot Y$
5	$-a_2$	$d(k-2)$	$ACC \leftarrow ACC + X \cdot Y$
6			$x(n-1) \leftarrow x(n)$ $x(n-2) \leftarrow x(n-1)$ $y(n-1) \leftarrow y(n)$ $y(n-2) \leftarrow y(n-1)$

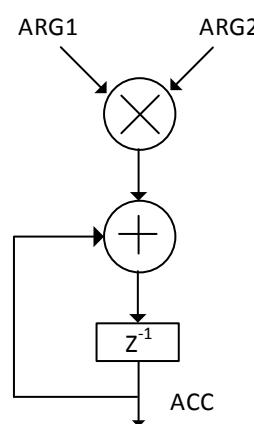


Tabla 9 Estructura y operación de la unidad MAC implementada



La ecuación resultante es la que se muestra a continuación:

$$y[n] = \sum_{i=0}^2 b_i \cdot e[k-i] + \sum_{i=1}^2 (-a_i) \cdot d[k-i] \quad (40)$$

El código en VHDL no sintetizable para la obtención del regulador es el siguiente:

-- COEFICIENTES DEL REGULADOR

```
constant B0 : real :=7.514*3.3*500/256;
constant B1 : real :=-14.62*3.3*500/256;
constant B2 : real :=7.109*3.3*500/256;
constant A1 : real :=-1.5897;
constant A2 : real :=0.5897;
```

-- IMPLEMENTACION DEL REGULADOR

```
process(CONT_PWM, SW_CLOSED, SW_HI_LOAD) -- generación del duty
begin
```

```
Verror_sig<=Verror;
Verror_1_sig<=Verror_1;
Verror_2_sig<=Verror_2;
duty_sig<=duty;
duty_1_sig<=duty_1;
duty_2_sig<=duty_2;
ACC_sig<=ACC;
case CONT_PWM is
  when "111101000" =>
    Verror_sig<=VREFq - VADC;
  when "111101001" =>
    ACC_sig<=B0*Verror;
  when "111101010" =>
    ACC_sig<=B1*Verror_1 + ACC;
  when "111101011" =>
    ACC_sig<=B2*Verror_2 + ACC;
  when "111101100" =>
    ACC_sig<=-A1*duty_1 + ACC;
  when "111101101" =>
    ACC_sig<=-A2*duty_2 + ACC;
  when "111101110" =>
    if SW_CLOSED<='0' then
      if (SW_HI_LOAD<='0') then
        duty_sig<=duty_BA_24;
      else
        duty_sig<=duty_BA_12;
      end if;
    else
      duty_sig<=ACC;
    end if;
  when "111101111" => .. 495
```

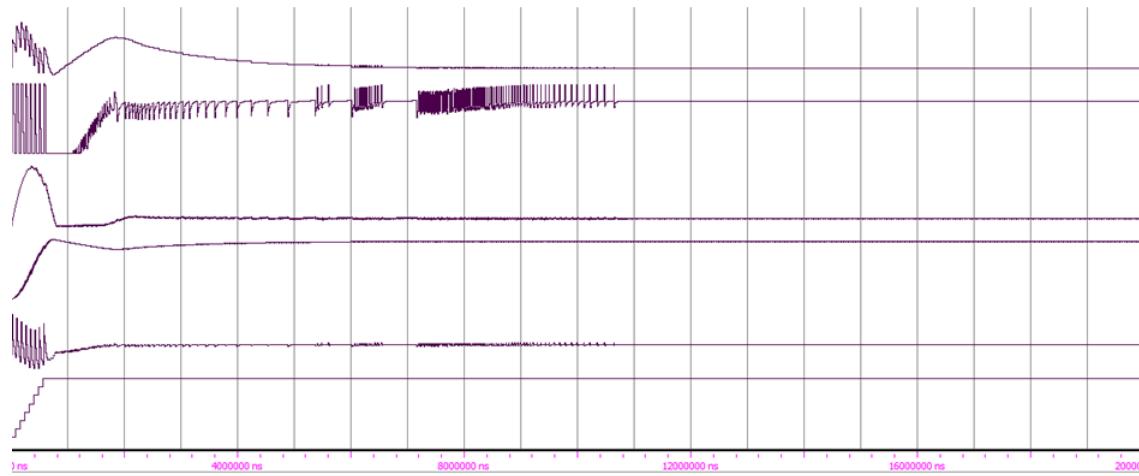
```

Verror_1_sig<=Verror;
Verror_2_sig<=Verror_1;
duty_1_sig<=duty;
duty_2_sig<=duty_1;
when others=>
  end case;
end process;

```

Tabla 10 Código en VHDL no sintetizable de la implementación en reales del regulador

A continuación se muestra los resultados obtenidos en simulación mediante la herramienta Modelsim:



1 ^a Gráfica: Error	2 ^a Gráfica: Duty limitado	3 ^a Gráfica: Corriente por la bobina
4 ^a Gráfica: Tensión en la carga	5 ^a Gráfica: Duty sin limitar	6 ^a Gráfica: Tensión de referencia

Fig. 32 Resultados de la simulación con el regulador implementado con números reales en 20ms

Los resultados obtenidos en simulación son similares a los obtenidos en Matlab y mostrados en el apartado 4.3.

5.2 Implementación del regulador en coma fija y validación en simulación

Hasta ahora se ha supuesto que los coeficientes y variables de estado eran números reales con precisión infinita. Para que el código en VHDL sea sintetizable en la FPGA, se representan estos valores en coma fija complemento a 2. Las consecuencias de trabajar con precisión finita son las siguientes:

- Errores de cuantificación de los coeficientes.
- Errores de cuantificación en las multiplicaciones.
- Posibilidad de desbordamiento en las sumas.

- Posibilidad de ciclos límites. Oscilaciones periódicas en la salida aun cuando la entrada sea constante o incluso cero, debido a las no linealidades: errores de cuantificación y desbordamientos.
- Aunque todas las estructuras son equivalentes con precisión infinita, muestran comportamientos diferentes cuando se utiliza aritmética de precisión finita.

Antes de implementar el regulador en coma fija hay que calcular la longitud (número de bits) y formato $\langle w, Q \rangle$ de los coeficientes y de los registros que almacenan las variables de estado.

En la Fig. 33 se muestra la estructura del regulador de la cual se han calculado la longitud y formato de los coeficientes $B_0, B_1, B_2, -A_1, -A_2$ y la longitud y formato de los registros que almacenan las señales *error*, $n_0, n_1, n_2, n_3, n_4, \text{duty}, n_6$ y n_7 .

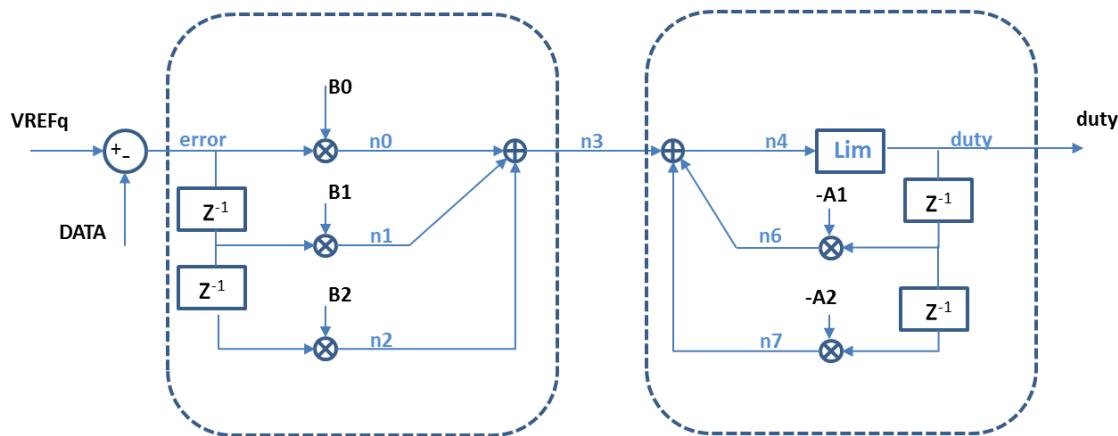


Fig. 33 Estructura del regulador implementado

El primer paso ha sido pasar los coeficientes a coma fija complemento a 2, para ello se han seguido los siguientes pasos:

1º Se ha seleccionado un tamaño inicial de los coeficientes de 18 bits $\rightarrow \omega = 18$

2º Se calcula el número de bits que ocupa la parte entera $\rightarrow I \geq \log_2(U_R)$
el formato resultante es $\langle \omega, Q \rangle$ siendo en este caso $\omega = I + 1 + Q = 18$

3º Se convierte el número real a número entero $\rightarrow U = \text{round}(U_R * 2^Q)$

A continuación, en la siguiente Tabla 11, se muestra cómo se han transformado los coeficientes a coma fija complemento a 2 y su codificación en VHDL sintetizable:

Coeficiente $B_0 = 48.4301$

$I \geq \log_2(48.4301) \rightarrow I = 6 \rightarrow \text{Formato } \langle 18,10 \rangle^* U = \text{round}(48.4301 * 2^{10}) = 49592$

- Codificación en VHDL `constant B0 : signed(17 downto 0) := conv_signed(49592,18);` -

Coeficiente $B_1 = -94.2305$

$$I \geq \log_2(94.2305) \rightarrow I = 7 \rightarrow Formato <18,10> U = round(-94.2305 * 2^{10}) = -96492$$

- Codificación en VHDL `constant B1 : signed(17 downto 0) := conv_signed(-96492,18);` -

Coeficiente $B_2 = 45.8197$

$$I \geq \log_2(45.8197) \rightarrow I = 6 \rightarrow Formato <18,10>^* U = round(45.8197 * 2^{10}) = 46919$$

- Codificación en VHDL `constant B2 : signed(17 downto 0) := conv_signed(46919,18);` -

Coeficiente $-A_1 = 1.5897$

$$I \geq \log_2(1.5897) \rightarrow I = 1 \rightarrow Formato <18,16> U = round(1.5897 * 2^{16}) = 104183$$

- Codificación en VHDL `constant -A1 : signed(17 downto 0) := conv_signed(104183,18);` -

Coeficiente $-A_2 = -0.5897$

$$I \geq \log_2(0.5897) \rightarrow I = 1 \rightarrow Formato <18,16> U = round(-0.5897 * 2^{16}) = -38647$$

- Codificación en VHDL `constant -A2 : signed(17 downto 0) := conv_signed(-38647,18);` -

* Realmente el formato resultante es $<18,11>$ pero se ha seleccionado $<18,10>$ para que todos los coeficientes del numerador tengan el mismo formato.

Tabla 11 Representación de los coeficientes en coma fija complemento a 2 y codificación en VHDL

Para conocer el formato y el número de bits que se deben de reservar para los registros que almacenan las señales $duty$, $n6$ y $n7$ se ha diseñado el siguiente programa en Simulink. En este programa, se ha sustituido el bloque del regulador con resolución infinita mostrado en la Fig. 25, por uno con resolución finita, equivalente al bloque marcado en gris en la siguiente Fig. 34.

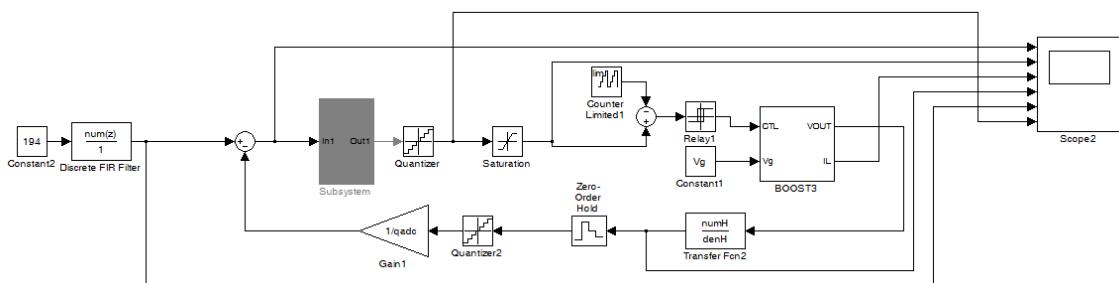


Fig. 34 Modelo del sistema en modo discreto con controlador con resolución finita

El contenido del bloque marcado en gris en la figura anterior, se muestra en la siguiente Fig. 35, que es equivalente al esquema mostrado en la Fig. 33.

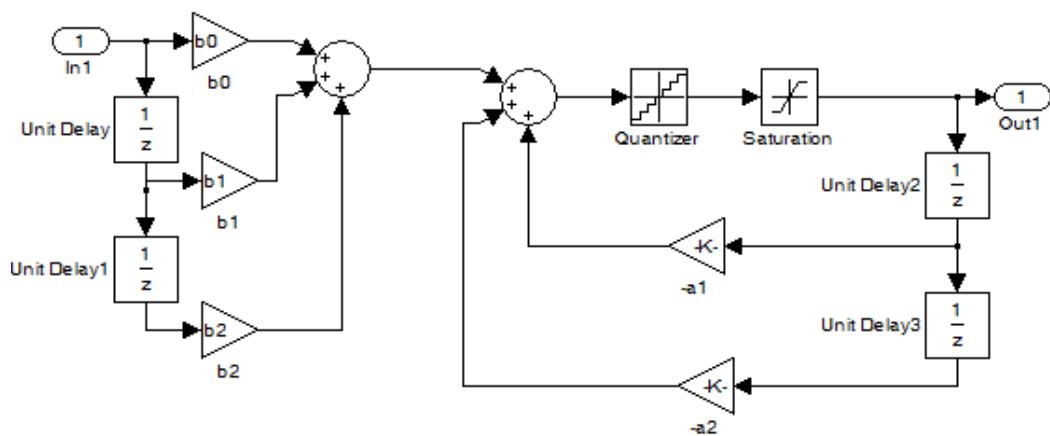


Fig. 35 Diseño en Simulink para obtener el tamaño de los registros que almacenan las variables de estado

Los valores de b_0 , b_1 , b_2 , $-a_1$ y $-a_2$ son equivalentes a los valores calculados anteriormente.

El bloque Quantizer y Saturation quedan definidos por la siguiente expresión.

Bloque Quantizer

$$\text{Intervalo de cuantificación} \rightarrow \frac{1}{2^Q}$$

Bloque Saturation

$$\text{Límite superior} \rightarrow 2^I - \frac{1}{2^Q}$$

$$\text{Límite inferior} \rightarrow -2^I$$

La forma de obtención de estos parámetros (Q e I) ha sido la de realizar simulaciones aumentando los valores de Q e I hasta que el resultado de la simulación que se obtenga coincida con la simulación realizada con resolución infinita. Este resultado se ha obtenido con:

$$Q = 18 \text{ e } I = 11 \rightarrow \text{Formato } < w, Q > = < 30, 18 >$$

A continuación se muestra la estructura del regulador digital resultante, y que se ha implementado, mostrando el tamaño de los coeficientes y de los registros que almacenan las variables de estado. Para ello se han seguido las indicaciones de [6], de cómo realizar operaciones aritméticas en coma fija y complemento a 2.

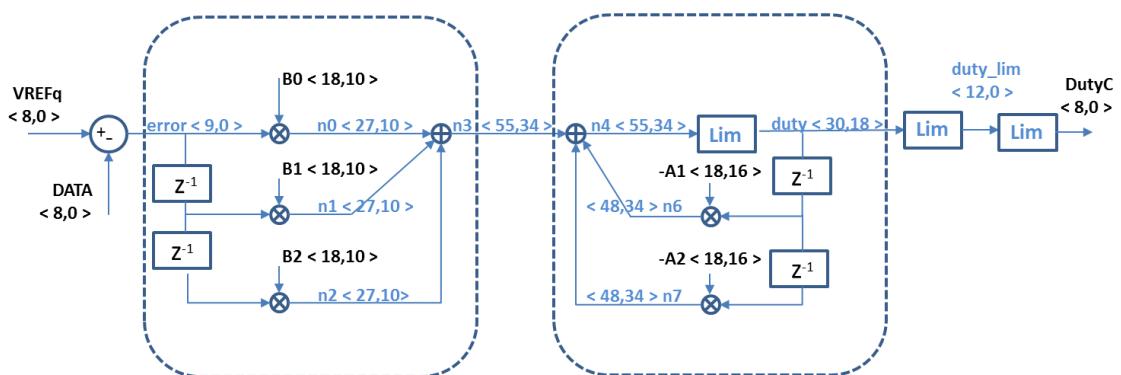


Fig. 36 Estructura del regulador y tamaño de los coeficientes y variables de estado para la implementación del regulador



Por último nos queda mostrar cómo se ha implementado el regulador en VHDL sintetizable mediante la celda MAC explicada en el anterior apartado:

```
-- Desarrollo del regulador --  
  
-- Proceso combinacional --  
process(CONT_PWM, ACC, DAq, VREFq, Verror, Verror_1, Verror_2, duty, duty_1, duty_2, SW_CLOSED, SW_HI_LOAD)  
variable XY_temp1 : signed (26 downto 0):=(others=>'0');  
variable XY_temp2 : signed (47 downto 0):=(others=>'0');  
begin  
    Verror_sig<=Verror;  
    Verror_1_sig<=Verror_1;  
    Verror_2_sig<=Verror_2;  
    duty_sig<=duty;  
    duty_1_sig<=duty_1;  
    duty_2_sig<=duty_2;  
    ACC_sig<=ACC;  
    case CONT_PWM is  
        when "111101000" => .. 488  
            XY_temp1:=(others=>'0');  
            XY_temp2:=(others=>'0');  
            ACC_sig<=(others=>'0');  
            Verror_sig<=signed('0'&VREFq) - signed('0'&DAq); -- resta de 2 números de 8 bits =>9 bits  
  
        when "111101001" => .. 489  
            XY_temp1:=B0*Verror;--<18,10>*<9,0>=<27,10>  
            ACC_sig<=ACC + (XY_temp1&"00000000000000000000000000000000");--<55,34>+<51,34>=<55,34>  
  
        when "111101010" => .. 490  
            XY_temp1:=B1*Verror_1;--<18,10>*<9,0>=<27,10>  
            ACC_sig<=ACC + (XY_temp1&"00000000000000000000000000000000");-- <55,34>+<51,34>=<55,34>  
  
        when "111101011" => .. 491  
            XY_temp1:=B2*Verror_2; --<18,10>*<9,0>=<27,10>  
            ACC_sig<=ACC + (XY_temp1&"00000000000000000000000000000000");-- <55,34>+<51,34>=<55,34>  
  
        when "111101100" => .. 492  
            XY_temp1:=(others=>'0');  
            XY_temp2:=mA1*duty_1; --<18,16>*<30,18>=<48,34>  
            ACC_sig<=ACC + XY_temp2; -- <55,34>+<48,34>=> ACC<55,34>  
  
        when "111101101" => .. 493  
            XY_temp2:=mA2*duty_2; --<18,16>*<30,18>=<48,34>  
            ACC_sig<=ACC + XY_temp2; -- <55,34>+<48,34>=> ACC<55,34>  
  
        when "111101110" => .. 494  
            XY_temp2:=(others=>'0');  
            ACC_sig<=ACC;  
  
            if (SW_CLOSED<='0') then  
                if (SW_HI_LOAD<='0') then  
                    duty_sig<=duty_BA_24;  
                else  
                    duty_sig<=duty_BA_12;  
                end if;  
            else  
                if (ACC(54 downto 34)<= -2048) then --- saturar a 12 bits de parte entera  
                    duty_sig<=("100000000000"&ACC(33 downto 16));  
                end if;  
            end if;  
        end if;
```

```

        elsif (ACC(54 downto 34)>= 2047) then
            duty_sig<=("011111111111"&ACC(33 downto 16));
        else
            duty_sig<=(ACC(45 downto 16));
        end if;
    end if;

    when "111101111" => -- 495
        duty_1_sig<=duty;
        duty_2_sig<=duty_1;
        Verror_1_sig<=Verror;
        Verror_2_sig<=Verror_1;

    when others=>

    end case;
end process;

Duty_sin_limitar_sig<=(duty(29 downto 18));

-- LIMITACIÓN DEL DUTY A 0.3 (CONT_PWM=150) Y A 0.7 (CONT_PWM=350) --
process (Duty_sin_limitar)
begin
    if (Duty_sin_limitar<=150) then
        DutyC_sig<=conv_std_logic_vector(150,9);
    elsif (Duty_sin_limitar>=350) then
        DutyC_sig<=conv_std_logic_vector(350,9);
    else
        DutyC_sig<=std_logic_vector(Duty_sin_limitar(8 downto 0));
    end if;
end process;

```

Tabla 12 Código en VHDL sintetizable de la implementación en coma fija del regulador

El resultado obtenido en simulación mediante la herramienta Modelsim es el que se muestra a continuación:

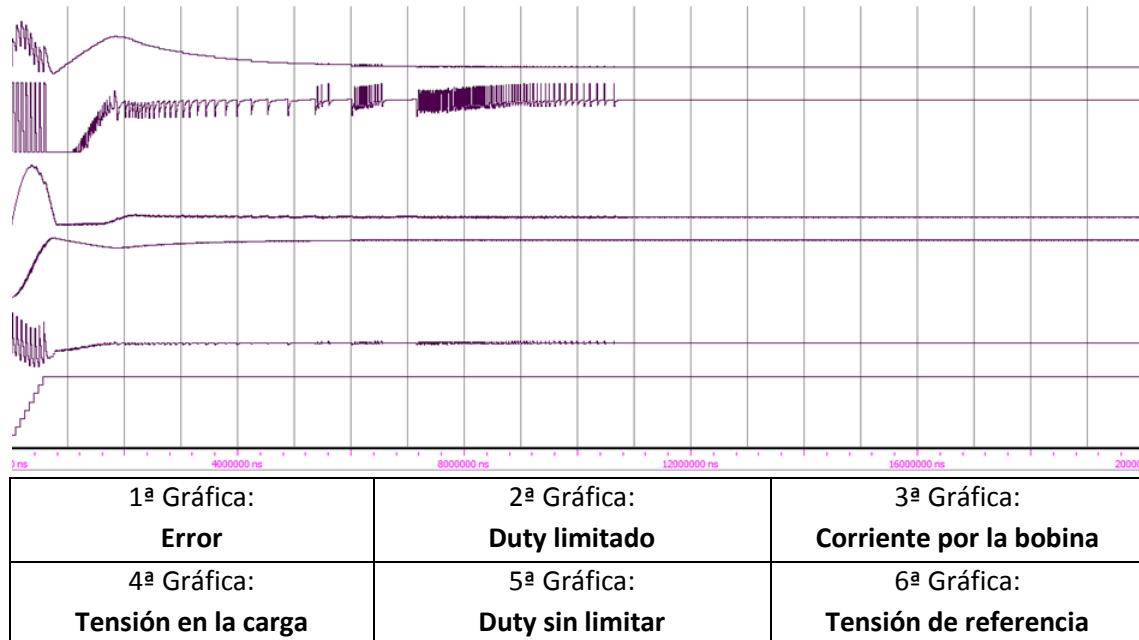


Fig. 37 Resultados de la simulación, con el regulador implementado en coma fija, en 20ms



6 Resultados experimentales

En este apartado se muestran los resultados obtenidos mediante las pruebas experimentales en laboratorio, para ello es necesario la utilización de una fuente de tensión de 5 V y un osciloscopio con sondas de tensión y de corriente.

En el primer apartado se detalla cómo se han configurado los pines de la placa Nexys2 para poder utilizar los interruptores, pulsadores y visualizadores de los que dispone, así como de las señales necesarias para el disparo de los interruptores Mosfet y para llevar a cabo el protocolo de comunicaciones con el conversor ADC.

6.1 Configuración de la FPGA

Para evaluar el correcto funcionamiento del control, se hace uso de los siguientes componentes de la NEXYS 2:

- Un interruptor de la placa Nexys2 (SW0), por el cual se activa una carga en paralelo a la salida del convertidor (SW0=1), de esta forma se observa la variación de la tensión de salida y el tiempo de respuesta.
- Un interruptor de la placa Nexys2 (SW1), por el cual, dependiendo de su estado, el regulador implementado en la FPGA, pasa a funcionar en bucle abierto (con duty nominal) SW1=0, o funciona en bucle cerrado SW1=1. Mediante este interruptor, se puede apreciar la diferencia entre el control en bucle abierto y el control en bucle cerrado.
- Señal de reloj: $f_{CLK}= 50$ MHz
- Pulsador de Reset, (BTN3) para poner todos los estados a “0” e inicializar el control.
- 4 visualizadores de 7 segmentos, sobre los que se representa la tensión leída del conversor ADC.

A su vez, es necesario realizar correctamente la asignación de pines para que, mediante el conector PMOD, haya correspondencia entre las señales de la Nexys2 con las de la plataforma HW desarrollada. En este caso el conector PMOD utilizado es el JC1.

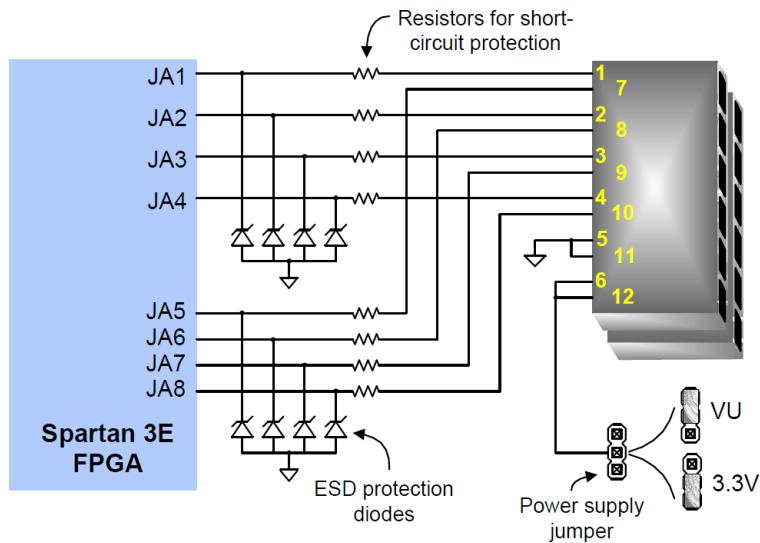


Fig. 38 Asignación de pines del conector PMOD (imagen obtenida del manual de la placa Nexys2)

En la Fig. 39 se muestran los circuitos de entradas/salidas de la tarjeta Nexys2, de la cual se han utilizado los interruptores SW0 y SW1, el botón BTN3 y el visualizador de 7 segmentos (señales ASEL(0-4), DP y SSEG(0-6)).

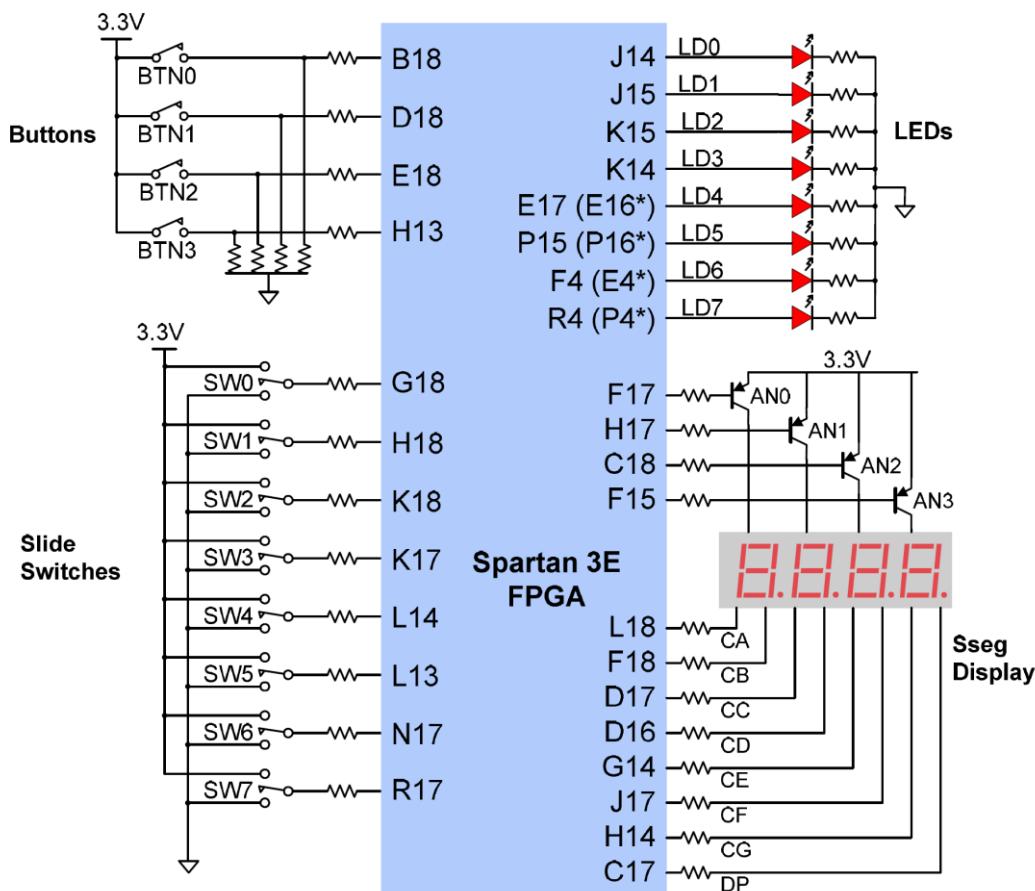


Fig. 39 Asignación de pines y circuitos de entradas/salidas de la FPGA (imagen obtenida del manual de la placa Nexys2)



Por último, la Tabla 13 muestra la asignación de pines correspondiente, teniendo en cuenta que el conector PMOD de la plataforma Hardware desarrollada se conecta al conector de 12 pines JC1 de la placa Nexys2.

SEÑAL VHDL	SEÑAL PLACA	PIN FPGA
CLK	CLK	B8
RST	BTN3	H13
SW CLOSED	SW1	H18
SW HI LOAD	SW0	G18
G1	JC1-7	H15
G2	JC1-8	F14
nCS	JC1-1	G15
SDATA	JC1-2	J16
SCK	JC1-4	H16
ASEL(0)	AN0	F17
ASEL(1)	AN1	H17
ASEL(2)	AN2	C18
ASEL(3)	AN3	F15
DP	DP	C17
SSEG(0)	CG	H14
SSEG(1)	CF	J17
SSEG(2)	CE	G14
SSEG(3)	CD	D16
SSEG(4)	CC	D17
SSEG(5)	CB	F18
SSEG(6)	CA	L18

Tabla 13 Asignación de pines en la placa Nexys2

6.2 Medidas experimentales

Como primer paso para la validación de la plataforma desarrollada, se ha hecho un control en bucle abierto disparando el Mosfet mediante una señal TTL del generador de señales.

En la plataforma HW hay soldado un conector BNC en la señal G1, por lo que el Mosfet encargado de generar el flujo de energía entre la bobina y el condensador y regular la tensión en la salida, puede ser disparado a través de la señal G1 proveniente de la tarjeta NEXYS2; o bien, para el proceso de verificación de la placa, puede ser disparado a través de un generador de señales, insertando el cable coaxial en el conector de la placa (Fig. 40).

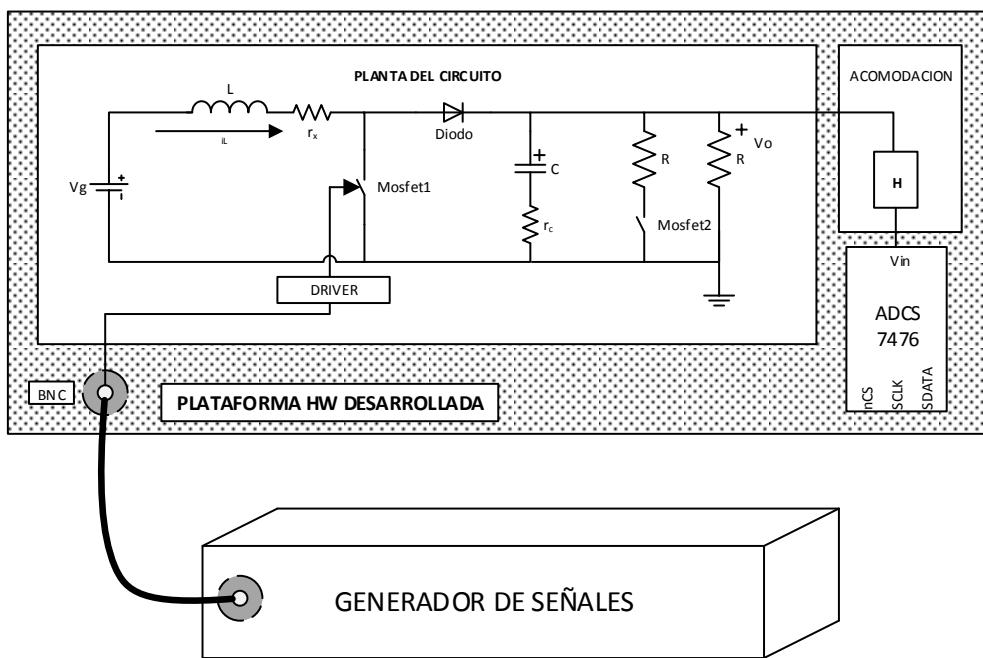


Fig. 40 Esquema general del sistema para el proceso de verificación de la PCB utilizando un generador de señales

Para verificar el correcto diseño de la placa, usando un generador de señales, se han realizado medidas empezando con duty menor al nominal y aumentándolo hasta llegar al valor nominal ($V_0=12$ Voltios).

La señal de color azul corresponde a la señal de disparo a la salida del driver, que llega a la puerta del transistor Mosfet y la señal roja corresponde a la tensión de salida en la carga.

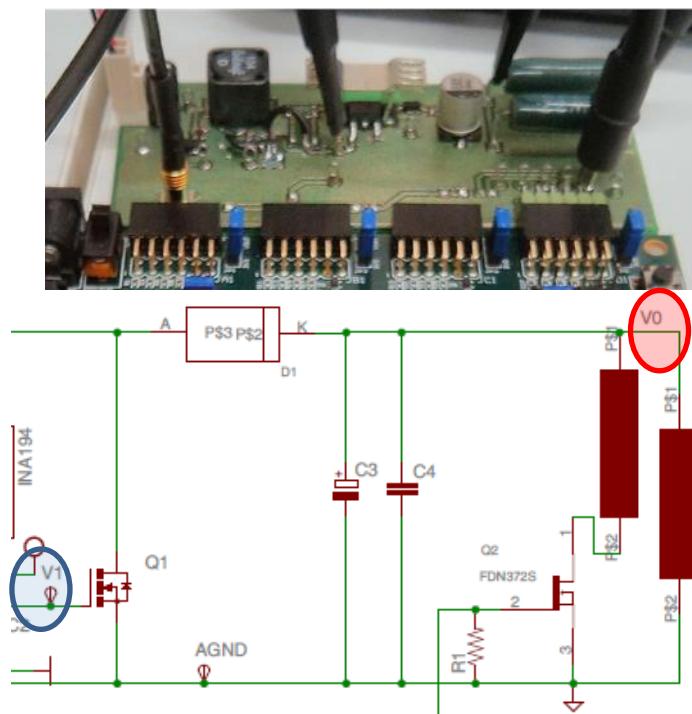
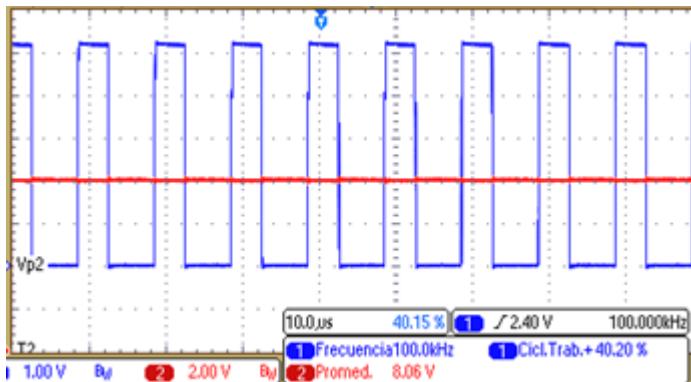
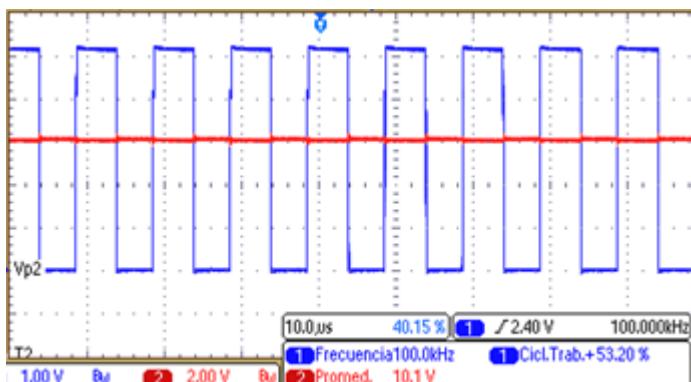


Fig. 41 Puntos de test de la PCB en los que se realizan las medidas

	Generador de señales	Plataforma HW	Nexys2
	Frecuencia	Duty	Tensión en la carga
CASO1	100 kHz	0.4	8.06 V
			
	Idealmente sin pérdidas:		Resultado: 8.3V~8.06V
	$D = \frac{V_0 - V_g}{V_0} \rightarrow V_0 = \frac{V_g}{1 - D} = \frac{5}{1 - 0.4} = 8.3V$ $V_0 = 8.06 V \rightarrow V'_0 = 8.06 * \frac{3k9}{3k9 + 15k} = 1.66V$		1.66V~1.64V
CASO2	100 kHz	0.53	10.01 V
			
	Idealmente sin pérdidas:		Resultado: 10.6V~10.1V
	$D = \frac{V_0 - V_g}{V_0} \rightarrow V_0 = \frac{V_g}{1 - D} = \frac{5}{1 - 0.53} = 10.6V$ $V_0 = 10.1 V \rightarrow V'_0 = 10.1 * \frac{3k9}{3k9 + 15k} = 2.08V$		2.08V~2.06V
CASO3	100 kHz	0.62	12 V
			2.45 V

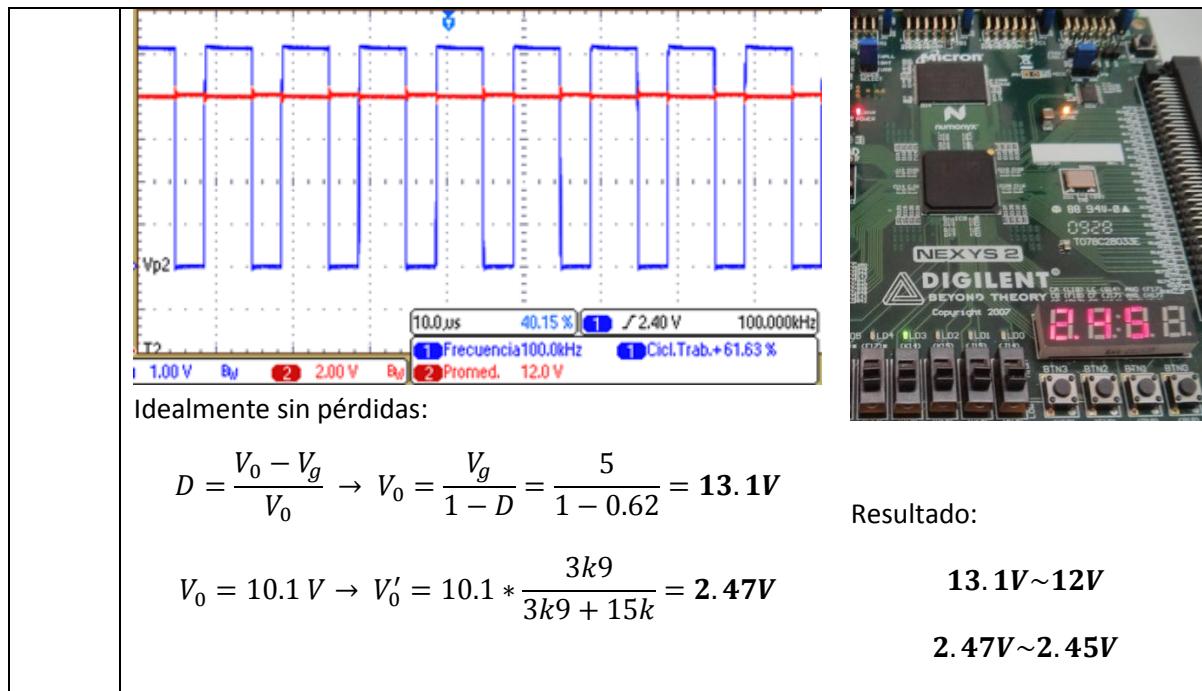


Tabla 14 Resultados obtenidos experimentalmente con el generador de señales

De los resultados experimentales se obtiene que las pérdidas en el circuito, funcionando en régimen nominal, son las siguientes:

$$P_{\text{Entrada}} = 5V * 1.28A = 6.4W$$

$$P_{\text{Salida}} = 12V * 0.5A = 6W$$

$$P_{\text{Perdidas}} = 400mW \rightarrow Rendimiento (\%) = \frac{6W}{6.4W} * 100 = 93.75\%$$

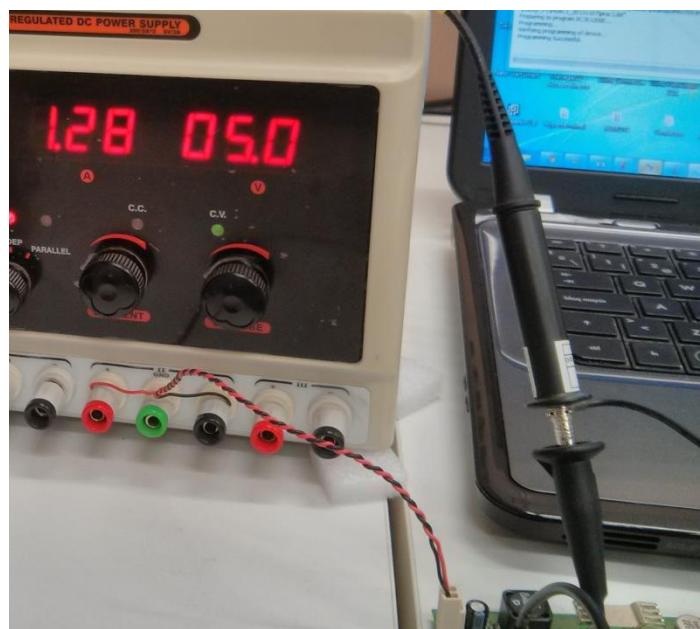


Fig. 42 Medida de tensión y de corriente en la fuente de alimentación

Posteriormente se pasa a validar el sistema conectando la Plataforma Hardware desarrollada a la tarjeta de Nexys2 con el control en bucle cerrado.

La Fig. 43 muestra la tensión en la carga (azul) y la señal del duty (rojo) en régimen permanente para una carga de $24\ \Omega$ ($SW0=0$) utilizando el control en bucle cerrado ($SW1=1$).

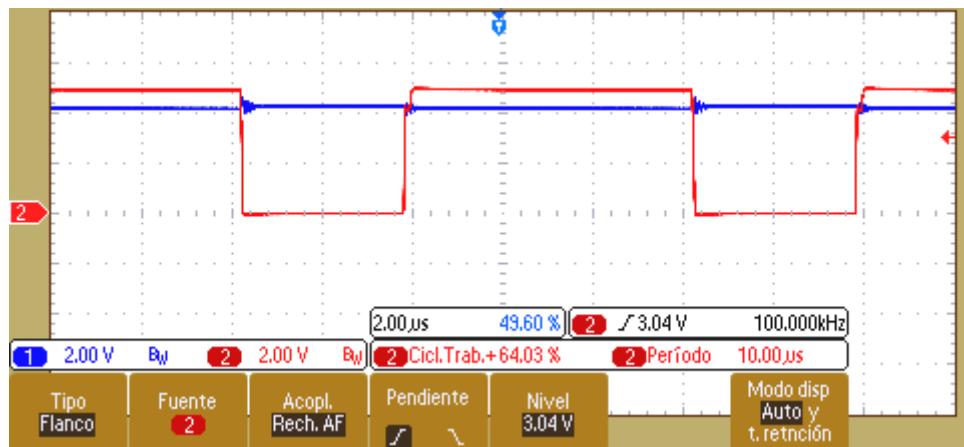


Fig. 43 Control en Bucle cerrado con carga de $24\ \Omega$.

Como se observa en la figura anterior la tensión es continua en 12 voltios, aunque en las conmutaciones del Mosfet se observan sobreoscilaciones.

La Fig. 44 muestra la tensión en la carga (azul) y la señal del duty (rojo) en régimen permanente para una carga de $12\ \Omega$ ($SW0=1$) utilizando el control en bucle cerrado ($SW1=1$).

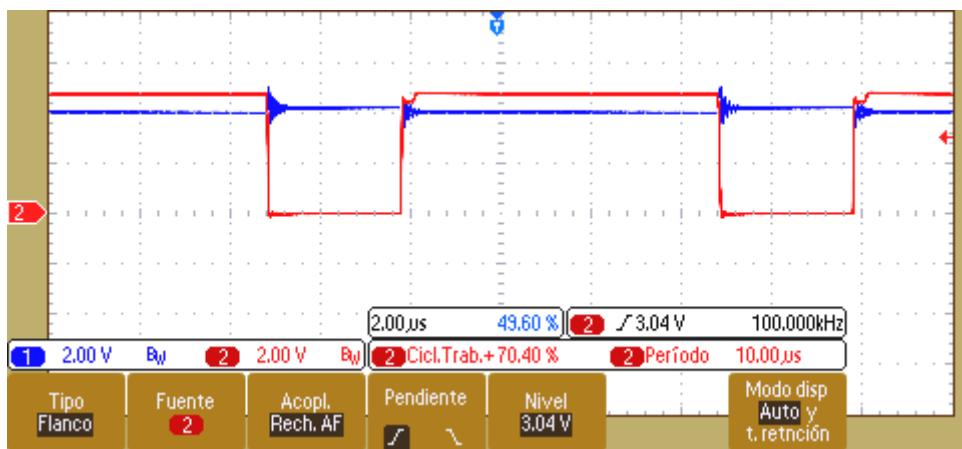


Fig. 44 Control en bucle cerrado con carga de $12\ \Omega$.

Como se observa en la figura anterior la tensión es continua en 12 voltios, aunque en las comutaciones del Mosfet se observan sobreoscilaciones aún mayores que en el caso de la carga de $24\ \Omega$.

El siguiente paso ha sido observar el comportamiento de la tensión en la carga y la corriente en la bobina reproduciendo la siguiente secuencia:

1º Encender la fuente de alimentación con el $SW0=0$ (carga de $24\ \Omega$) y $SW=1$ (control en bucle cerrado).

2º Actuar sobre el $SW0$, ($SW0=1$), cambiando la carga de $24\ \Omega$ a $12\ \Omega$.

3º Actuar nuevamente sobre el $SW0$, ($SW0=0$), cambiando la carga de $12\ \Omega$ a $24\ \Omega$.

4º Apagar la fuente de alimentación.

Los resultados obtenidos se pueden apreciar en las siguientes figuras, Fig. 45, Fig. 46 y Fig. 47.

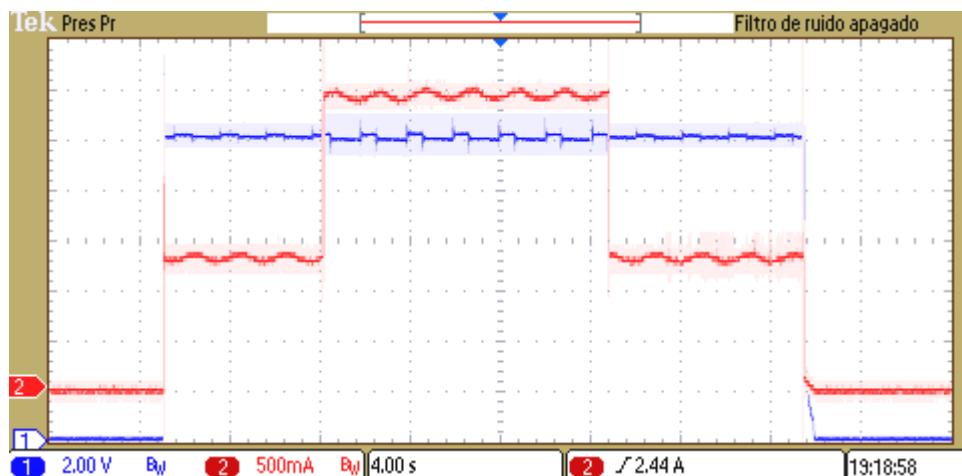


Fig. 45 Transitorio de la tensión en la carga y la corriente en la bobina al encender la fuente, modificar la carga de $24\ \Omega$ a $12\ \Omega$, modificar la carga de $12\ \Omega$ a $24\ \Omega$ y apagar la fuente.

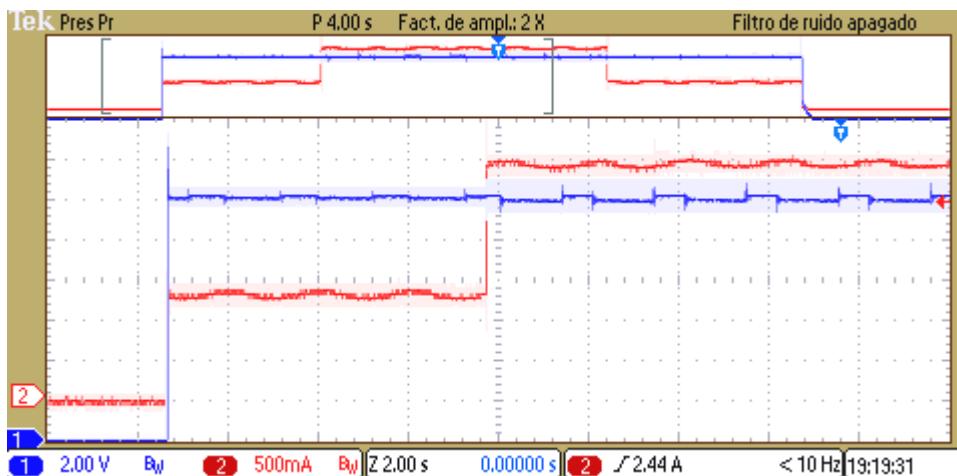


Fig. 46 Detalle de la tensión en la carga y la corriente en la bobina al encender la fuente de alimentación y modificar la carga de $24\ \Omega$ a $12\ \Omega$

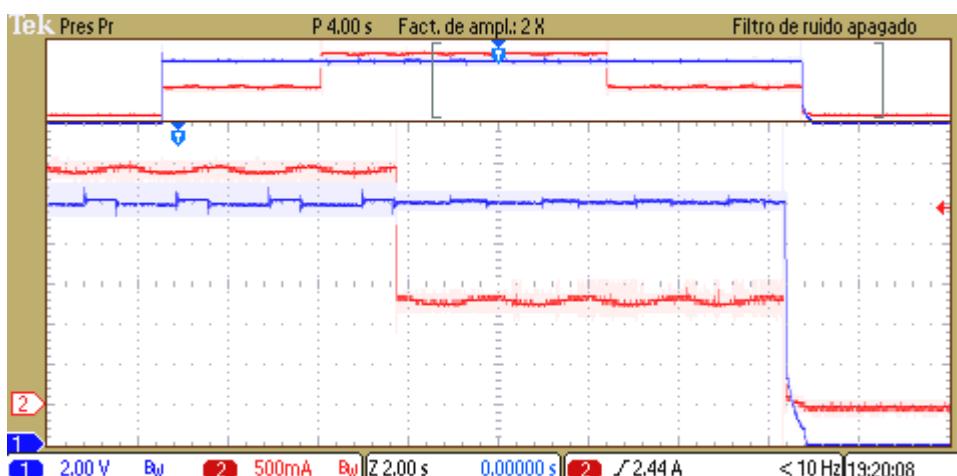


Fig. 47 Detalle de la tensión en la carga y la corriente en la bobina al modificar la carga de $12\ \Omega$ a $24\ \Omega$ y apagar la fuente de alimentación.

Como se observa en las gráficas la tensión permanece constante a 12 V (aunque siguen apareciendo las sobreoscilaciones en las comutaciones), por otra parte la corriente, cuando la carga es de $12\ \Omega$, es de prácticamente de 3 A, equivalente a la corriente nominal de la bobina seleccionada.



7 Conclusiones y líneas de trabajo futuras

El objetivo principal del Trabajo Fin de Master era el diseño, modelado, fabricación y validación de un prototipo de un convertidor DC/DC elevador tipo Boost. Este objetivo se ha cumplido satisfactoriamente al conseguir que el convertidor funcionara correctamente tanto en lazo cerrado como en lazo abierto, pero hay cosas que se pueden mejorar.

A continuación se añaden una serie de comentarios y conclusiones para cada uno de los objetivos parciales en los que se ha dividido el Trabajo Fin de Master y que se enumeraban en el apartado 1.2.

- **Primer objetivo parcial**, diseño eléctrico y físico del convertidor Boost. Incluyendo la selección de componentes adecuados y el diseño de la placa de circuito impreso.

Este primer apartado se puede dar por cumplido, ya que se ha diseñado y fabricado la placa de circuito impreso del primer prototipo del Boost. De cara a la fabricación de un segundo prototipo hay aspectos a mejorar, sobre todo relativos al diseño de la PCB y a la selección de componentes, que se comentarán en el punto de líneas de trabajo futuras.

- **Segundo objetivo parcial**, estudio, selección y validación del regulador que cumpla con las especificaciones iniciales de diseño y que mejor comportamiento tenga frente a una serie de funciones de mérito.

Este segundo apartado también se puede dar por cumplido, ya que se analizaron y calcularon 5 tipos de reguladores y se seleccionó el que mejor comportamiento global tenía frente a 7 funciones de mérito PO , $\|S\|_{inf}$, $\|Z_c\|_{inf}$, f_B , $\|G_c * S\|_{inf}$ y K_r . Este objetivo parcial no estaba incluido en el alcance inicial del Trabajo Fin de Máster, pero se decidió incluirlo conforme se estaba desarrollando el mismo.

- **Tercer objetivo parcial**, implementación en VHDL sintetizable del control digital en la FPGA y validación mediante simulación.

Este tercer apartado también se puede dar por cumplido, ya que se ha implementado todo el control digital en la FPGA. Este control digital incluye:

- La implementación del regulador.
- La implementación del protocolo de comunicaciones con el conversor ADC.
- La implementación de la gestión de las entradas/salidas de la tarjeta Nexys2 (bloque de visualización y filtrado de los rebotes de los interruptores y pulsadores)
- La implementación de la señal PWM.

Por otra parte también se ha modelado en VHDL no sintetizable las ecuaciones de estado de la planta del convertidor y el comportamiento del conversor analógico digital.



- **Cuarto objetivo parcial**, validación total del sistema mediante medidas y resultados experimentales, a partir de las cuales se puedan extraer las conclusiones y líneas de trabajo futuras.

Este cuarto apartado también se puede dar por cumplido, ya que se han tomado las medidas en el laboratorio y se ha verificado su correcto funcionamiento. El funcionamiento es mejorable, es por ello que se van a proponer una serie de mejoras como líneas futuras de trabajo.

Líneas futuras de trabajo:

Se propone trabajar en las siguientes líneas de trabajo:

1º Diseño y fabricación de un segundo prototipo del convertidor Boost aplicándole una serie de mejoras:

- Modificar el ruteado del driver, el primer driver que se seleccionó no era válido y hubo que cambiarlo por uno del mismo encapsulado pero de distinta distribución de pines, se ha buscado una solución cortando pistas y soldando unos cables. En un segundo prototipo debería de solucionarse.
- Poner un condensador snubber para reducir las pérdidas en conmutación del Mosfet. Hacer el cálculo del condensador idóneo e incluirlo en el circuito esquemático de la placa de circuito impreso.
- Seleccionar una bobina que permita mayor corriente, debido a las pérdidas generadas en el circuito la corriente por la bobina está un poco ajustada.

Con estos cambios propuestos el rendimiento del convertidor debería mejorar y se reduciría la sobreoscilación de la tensión en la carga en cada conmutación del Mosfet.

2º Implementar el control por corriente en lugar del control por tensión que se ha realizado en este Trabajo Fin de Máster, ya que el hardware del prototipo del Boost está diseñado y preparado para ello.



8 Referencias bibliográficas

- [1] J.S. Rahavi, T. Kanagapriya and R. Seyezhai, "Design and Analysis of Interleaved Boost Converter for Renewable Energy Source", *International Conference on Computing, Electronics and Electrical Technologies (ICCEET)*, 2012.
- [2] N.M. Thao and T.V. Thang, "Steady-state analysis of the boost converter for renewable energy systems", *Power Electronics and Motion Control Conference (IPEMC)*, pp. 158-162, June 2012.
- [3] E. Vidal-Idiarte, L. Martínez-Salamero, H. Valderrama-Blavi, F. Guinjoan and J. Maixé, "Analysis and Design of H_∞ Control of Nonminimum Phase-Switching Converters", *IEEE Transactions on circuits and systems, Fundamental Theory Applications*, vol. 50, no.10, October 2003.
- [4] J. Alvarado-Ramirez, I. Cervantes, G. Espinosa-Perez, P. Maya and A. Morales, "A stable Design of PI Control for DC-DC Converters with and RHS Zero", *IEEE Transactions on Circuits and Systems, Fundamental Theory and Applications*, vol. 48, no. 1, January 20001.
- [5] L. Guo, J.Y. Hung and R.M. Nelms, "Evaluation of DSP-Based PID and Fuzzy Controllers for DC-DC Converters", *IEEE Transactions on Industrial Electronics*, vol. 56, no. 6, June 2009.
- [6] L.A. Barragán y J.I. Artigas, "Tema 4. Control digital". *Master Ing. Electrónica*. Universidad de Zaragoza 2014.
- [7] Texas Instruments "Voltage Mode Boost Converter Small Signal Control Loop Analysis Using TPS61030" Application Report SLVA247A-May 2007 – Revised January 2009.
- [8] M.Hagen, and V. Yousefzadeh, "Applying Digital Technology to PWM Control-Loop Designs", *Seminario TI*, 2009.
- [9] R.T. O'Brien, J.M. Watkins, "A unified Approach for teaching Root Locus and Bode Compensator Design", in *Proc. American Control Conf.*, pp. 645-649, 2003.
- [10] D.M. Van de Sype, K. de Gussemé, A.P. Van den Bossche and J.A. Melkebeek, "Small-signal Laplace-domain Analysis of Uniform-sampled Pulse Width Modulators", in *Proc. PESC Conf.*, pp 4292-4298, 2004.
- [11] S. Buso and P. Mattavelli, "Digital Control in Power Electronics", Morgan & Claypool Publishers, 2006.
- [12] P. Zumel, C. Fernández, M. Sanz, A. Lázaro and A. Barrado, "Step-by-step Design of an FPGA-Based Digital Compensator for DC/DC Converters Oriented to an Introductory Course", *IEEE Trans. On Education*, 2011.
- [13] Electronics & Communications Technology, "Loop compensation of voltage-mode boost converters", Dataweek, KH Distributors, 4 February 2009.



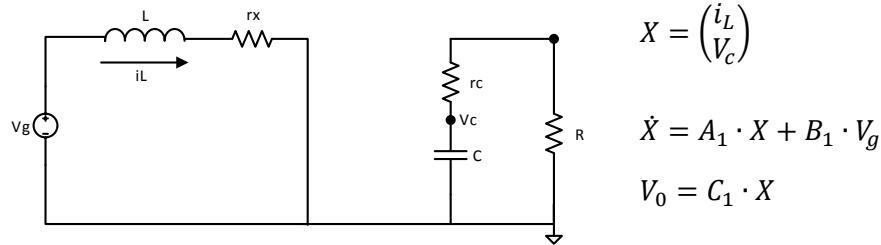
- [14] J.H. Su, J.J. Chen and D.S. Wu, “*Learning Feedback Controller Design of Switching Converters Via MATLAB/SIMULINK*”, *IEEE Trans. On Education*, Vol. 45, No. 4, November 2002.
- [15] S. Skogestad and I. Postlethwaite, “*Multivariable Feedback Control Analysis and design*”, John Wiley & Sons.
- [16] C. Basso, “*The Dark Side of Loop Control Theory*”. Seminario APEC, 2012.



9 ANEXOS

ANEXO A.- Análisis del modelo de pequeña señal en modo de conducción continua

Estado 1: Mosfet en conducción:



Las ecuaciones que se obtienen del circuito son,

$$\left\{ \begin{array}{l} V_g = L \frac{di_L}{dt} + r_L \cdot i_L \rightarrow \frac{di_L}{dt} = -\frac{r_L}{L} i_L + \frac{V_g}{L} \\ i_C = C \frac{dV_c}{dt} \rightarrow \frac{dV_c}{dt} = \frac{i_C}{C} = \frac{-v_c}{(R + r_c)C} \\ V_c = -i_c(r_c + R) \\ V_o = v_c + i_c \cdot r_c \rightarrow V_o = v_c - \frac{V_c \cdot r_c}{r_c + R} = \frac{R}{r_c + R} V_c \end{array} \right.$$

De donde se obtiene,

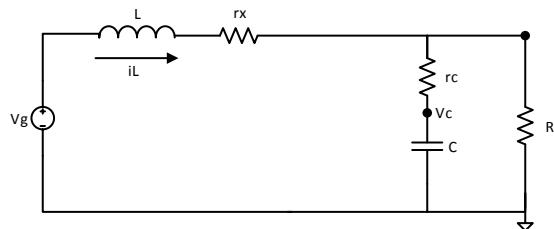
$$A_1 = \begin{pmatrix} -\frac{r_L}{L} & 0 \\ 0 & \frac{-1}{C(R+r_c)} \end{pmatrix}; \quad B_1 = \begin{pmatrix} 1/L \\ 0 \end{pmatrix}; \quad C_1 = \begin{pmatrix} 0 & \frac{R}{R+r_c} \end{pmatrix}$$

Por tanto,

$$\frac{d}{dt} \begin{pmatrix} i_L \\ V_c \end{pmatrix} = \begin{pmatrix} -\frac{r_L}{L} & 0 \\ 0 & \frac{-1}{C(R+r_c)} \end{pmatrix} \begin{pmatrix} i_L \\ V_c \end{pmatrix} + \begin{pmatrix} 1/L \\ 0 \end{pmatrix} V_g$$

$$V_0 = \begin{pmatrix} 0 & \frac{R}{R+r_c} \end{pmatrix} \begin{pmatrix} i_L \\ V_c \end{pmatrix}$$

Estado 2: Mosfet en corte:



$$X = \begin{pmatrix} i_L \\ V_c \end{pmatrix}$$

$$\dot{X} = A_2 \cdot X + B_2 \cdot V_g$$

$$V_0 = C_2 \cdot X$$

Las ecuaciones que se obtienen del circuito son,

$$V_g = L \frac{di_L}{dt} + r_L \cdot i_L + V_o \quad (1)$$

$$i_c = C \frac{dV_c}{dt} \quad (2)$$

$$i_L = i_c + \frac{V_o}{R} \quad (3)$$

$$V_o = V_c + i_c \cdot r_c \quad (4)$$

$$(3) \rightarrow (2) \quad C \frac{dV_c}{dt} = i_c = i_L - \frac{V_o}{R} \quad (5)$$

$$(2) \rightarrow (4) \quad V_o = V_c + r_c \cdot C \frac{dV_c}{dt} \quad (6)$$

$$(6) \rightarrow (5) \quad C \frac{dV_c}{dt} = i_c - \frac{V_c}{R} - \frac{r_c C}{R} \frac{dV_c}{dt} =$$

$$\left(1 + \frac{r_c}{R}\right) C \frac{dV_c}{dt} = i_L - \frac{V_c}{R}$$

$$C \frac{dV_c}{dt} = i_L \frac{R}{R + r_c} - V_c \frac{1}{R + r_c} \quad (7)$$

$$(6) \rightarrow (1) \rightarrow (7) \quad L \frac{di_L}{dt} = V_g - r_L \cdot i_L - V_c - r_c \cdot C \frac{dV_c}{dt} = V_g - r_L \cdot i_L - V_c - \frac{r_c R}{R + r_c} i_L + \frac{r_c}{R + r_c} V_c$$

$$L \frac{di_L}{dt} = V_g - \left(r_L + \frac{r_c R}{R + r_c}\right) i_L - \frac{R}{R + r_c} V_c$$

$$(7) \rightarrow (6) \quad V_o = V_c + r_c \left(i_L \frac{R}{R + r_c} - V_c \frac{1}{R + r_c}\right) \rightarrow V_o = \frac{R r_c}{R + r_c} i_L + \frac{R}{R + r_c} V_c$$

De donde se obtiene,

$$A_2 = \begin{pmatrix} -\frac{1}{L} \left(r_L + \frac{r_c R}{R + r_c}\right) & \frac{-R}{L(R + r_c)} \\ \frac{R}{C(R + r_c)} & \frac{-1}{C(R + r_c)} \end{pmatrix}; \quad B_2 = \begin{pmatrix} 1/L \\ 0 \end{pmatrix}; \quad C_2 = \begin{pmatrix} \frac{R r_c}{R + r_c} & \frac{R}{R + r_c} \end{pmatrix}$$

Por tanto,

$$\frac{d}{dt} \begin{pmatrix} i_L \\ V_c \end{pmatrix} = \begin{pmatrix} -\frac{1}{L} \left(r_L + \frac{r_c R}{R + r_c}\right) & \frac{-R}{L(R + r_c)} \\ \frac{R}{C(R + r_c)} & \frac{-1}{C(R + r_c)} \end{pmatrix} \begin{pmatrix} i_L \\ V_c \end{pmatrix} + \begin{pmatrix} 1/L \\ 0 \end{pmatrix} V_g$$

$$V_o = \begin{pmatrix} \frac{R r_c}{R + r_c} & \frac{R}{R + r_c} \end{pmatrix} \begin{pmatrix} i_L \\ V_c \end{pmatrix}$$

Función de transferencia de pequeña señal: $(r_L = r_x)$

$$\begin{aligned}
 G_{vd}(s) &= \frac{\hat{v}_o(s)}{\hat{d}(s)} = C(sI - A)^{-1}[(A_1 - A_2) + (B_1 - B_2)V_g] + (C_1 - C_2)X \\
 A_1 &= \begin{pmatrix} -\frac{r_x}{L} & 0 \\ 0 & \frac{-1}{C(R+r_c)} \end{pmatrix} \quad A_2 = \begin{pmatrix} -\frac{1}{L}(r_x + \frac{r_c R}{r_c + R}) & \frac{-R}{L(R+r_c)} \\ \frac{R}{C(R+r_c)} & \frac{-1}{C(R+r_c)} \end{pmatrix} \quad A = \begin{pmatrix} -\frac{1}{L}(r_x + D' \frac{r_c R}{r_c + R}) & \frac{-D'R}{L(R+r_c)} \\ \frac{D'R}{C(R+r_c)} & \frac{-1}{C(R+r_c)} \end{pmatrix} \\
 B_1 = B_2 &= \begin{pmatrix} 1/L \\ 0 \end{pmatrix} \quad C_1 = \begin{pmatrix} 0 & \frac{R}{R+r_c} \end{pmatrix} \quad C_2 = \begin{pmatrix} \frac{Rr_c}{R+r_c} & \frac{R}{R+r_c} \end{pmatrix} \quad C = \begin{pmatrix} \frac{D'Rr_c}{R+r_c} & \frac{R}{R+r_c} \end{pmatrix} \\
 (sI - A)^{-1} &= \begin{pmatrix} s + \frac{1}{L} \left(r_x + \frac{D'r_c R}{r_c + R} \right) & \frac{D'R}{L(R+r_c)} \\ -\frac{D'R}{C(R+r_c)} & s + \frac{1}{C(R+r_c)} \end{pmatrix}^{-1} = \frac{1}{|sI - A|} \begin{pmatrix} s \frac{1}{C(r_c + R)} & -\frac{D'R}{L(R+r_c)} \\ \frac{D'R}{C(R+r_c)} & s + \frac{1}{L} \left(r_x + D' \frac{Rr_c}{R+r_c} \right) \end{pmatrix} \\
 |sI - A| &= \left(s + \frac{1}{C(R+r_c)} \right) \left(s + \frac{1}{L} \left(r_x + \frac{D'Rr_c}{R+r_c} \right) \right) + \frac{D'^2 R^2}{LC(R+r_c)^2} \\
 (A_1 - A_2)X &= \begin{pmatrix} \frac{1}{L} \frac{r_c R}{r_c + R} & \frac{R}{L(R+r_c)} \\ -\frac{R}{C(R+r_c)} & 0 \end{pmatrix} \frac{1}{|A|} \begin{pmatrix} \frac{1}{C(R+r_c)} \\ \frac{D'R}{C(R+r_c)} \end{pmatrix} \frac{V_g}{L} = \frac{1}{|A|} \frac{V_g}{L} \begin{pmatrix} \frac{1}{LC} \frac{r_c R}{(r_c + R)^2} + \frac{D'R^2}{LC(r_c + R)^2} \\ -\frac{R}{C^2(R+r_c)^2} \end{pmatrix} \\
 &= \frac{1}{|A|} \frac{V_g}{LC} \frac{R}{(r_c + R)^2} \begin{pmatrix} \frac{1}{L} (r_c + D'R) \\ -1/C \end{pmatrix} \\
 |A| &= \frac{1}{L} \left(r_x + \frac{D'Rr_c}{R+r_c} \right) \frac{1}{C(R+r_c)} + \frac{D'^2 R^2}{LC(r_c + R)^2} = \frac{1}{LC(r_c + R)^2} [rx(R+r_c) + D'Rr_c + D'^2 R^2] \\
 &= \frac{1}{LC(r_c + R)^2} [rx(R+r_c) + D'R(D'R + r_c)] \\
 (B_1 - B_2) \cdot V_g &= 0 \text{ ya que } B_1 = B_2 \\
 (C_1 - C_2)X &= \left(-\frac{Rr_c}{R+r_c} \quad 0 \right) \frac{1}{|A|} \begin{pmatrix} \frac{1}{C(R+r_c)} \\ \frac{D'R}{C(R+r_c)} \end{pmatrix} \frac{V_g}{L} = -\frac{1}{|A|} V_g \frac{r_c R}{LC(r_c + R)^2} \\
 C(sI - A)^{-1}(A_1 - A_2)X &= \frac{R}{R+r_c} (D'r_c - 1) \frac{1}{|sI - A|} \begin{pmatrix} s + \frac{1}{C(R+r_c)} & -\frac{D'R}{L(R+r_c)} \\ \frac{D'R}{C(R+r_c)} & s + \frac{1}{L} \left(r_x + D' \frac{Rr_c}{R+r_c} \right) \end{pmatrix} \frac{1}{|A|} \frac{V_g R}{LC(R+r_c)^2} \begin{pmatrix} \frac{1}{L} (r_c + D'R) \\ -1/C \end{pmatrix} \\
 &= \frac{1}{|sI - A|} \frac{1}{|A|} \frac{R}{R+r_c} \frac{V_g R}{LC(R+r_c)^2} \left[D'r_c \left(s + \frac{1}{C(R+r_c)} \right) + \frac{D'R}{C(R+r_c)} - \frac{D'^2 Rr_c}{L(R+r_c)} + s + \frac{1}{L} \left(r_x + D' \frac{Rr_c}{R+r_c} \right) \right] \begin{pmatrix} \frac{1}{L} (r_c + D'R) \\ -1/C \end{pmatrix} \\
 &= \frac{1}{|sI - A|} \frac{1}{|A|} \frac{R}{R+r_c} \frac{V_g R}{LC(R+r_c)^2} \left[D'r_c (r_c + D'R) \left(s + \frac{1}{C(R+r_c)} \right) + \frac{D'R(r_c + D'R)}{LC(R+r_c)} + \frac{D'^2 Rr_c}{LC(R+r_c)} - \frac{1}{C} \left(s + \frac{1}{L} \left(r_x + D' \frac{Rr_c}{R+r_c} \right) \right) \right] \\
 &= \frac{1}{|sI - A|} \frac{1}{|A|} \frac{R}{R+r_c} \frac{V_g R}{LC(R+r_c)^2} N(s)
 \end{aligned}$$

$$\begin{aligned}
 N(s) &= s \left(\frac{D'r_c}{L} (r_c + D'R) - \frac{1}{C} \right) + \frac{1}{LC(R + r_c)} \{ D'r_c(r_c + D'R) + D'R(r_c + D'R) + D'^2 R r_c - D'R r_c \} - \frac{1}{LC} r_x \\
 &= \frac{1}{LC} \left\{ s(D'r_c(r_c + D'R)C - L + \frac{1}{(R + r_c)} \{ D'r_c(r_c + D'R) + D'^2 R^2 + D'^2 R r_c - r_x(R + r_c) \}) \right\} \\
 &= \frac{1}{LC} \{ \beta_0 s + \beta_0 \}
 \end{aligned}$$

$$|sI - A| = s^2 + s \left(\frac{1}{C(R + r_c)} + \frac{1}{L} \left(r_x + \frac{D'R r_c}{R + r_c} \right) \right) + |A|$$

$$G_{va}(s) = \frac{1}{LC(R + r_c)|A|} \frac{1}{|sI - A| - LC(R + r_c)^2} (sCr_c + 1) \{ -(sL + r_c)(R + r_c) + D'^2 R^2 \} RV_g$$

$$\begin{aligned}
 G_{vd}(s) &= C(sI - A)^{-1}(A_1 - A_2)x + (C_1 - C_2)x \\
 &= \frac{1}{|sI - A|} \frac{1}{|A|} \frac{R}{R + r_c} \frac{V_g R}{LC(R + r_c)^2} \frac{1}{LC} (\beta_1 s + \beta_0) - \frac{1}{|A|} \frac{V_g}{LC} \frac{R r_c}{(R + r_c)^2} \\
 &= \frac{1}{LC(R + r_c)|A|} \frac{1}{|sI - A|LC(R + r_c)^2} RV_g \{ R(\beta_1 s + \beta_0) - r_c |sI - A|LC(R + r_c) \}
 \end{aligned}$$

$$\begin{aligned}
 Q(s) &= R(D'r_c(r_c + D'R)C - L)s + \frac{R}{R + r_c} (D'r_c(r_c + D'R) + D'^2 R^2 + D'^2 R r_c - r_x(R + r_c)) \\
 &\quad - r_c LC(R + r_c) \left\{ s^2 + s \left(\frac{1}{C(R + r_c)} + \frac{1}{L} \left(r_x + \frac{D'R r_c}{R + r_c} \right) \right) + |A| \right\} = a_2 s^2 + a_1 s + a_0
 \end{aligned}$$

$$a_2 = -r_c LC(R + r_c)$$

$$\begin{aligned}
 a_1 &= RD'r_c(r_c + D'R)C - LR - r_c LC(R + r_c) \left(\frac{1}{C(R + r_c)} + \frac{r_x}{L} + \frac{D'R r_c}{L(R + r_c)} \right) \\
 &= RD'r_c^2 C + D'^2 R^2 r_c C - LR - r_c L - r_c C(R + r_c) r_x - r_c C D' R r_c \\
 &= D'^2 R^2 r_c C - L(R + r_c) - C r_c r_x(R + r_c)
 \end{aligned}$$

$$\begin{aligned}
 a_0 &= \frac{R}{R + r_c} (D'r_c(r_c + D'R) + D'^2 R^2 + D'^2 R r_c - r_x(R + r_c)) - r_c LC(R + r_c) |A| \\
 &= \frac{R}{R + r_c} (D'r_c(r_c + D'R) + D'^2 R^2 + D'^2 R r_c - r_x(R + r_c)) \\
 &\quad - \frac{r_c}{R + r_c} [D'R(D'R + r_c) + r_x(R + r_c)] \\
 &= \frac{1}{R + r_c} [D'r_c^2 R + D'^2 r_c R^2 + D'^2 R^3 + D'^2 r_c R^2 - r_x(R + r_c) R - D'^2 r_c R^2 - D'r_c^2 R \\
 &\quad - r_x(R + r_c) r_c] = \frac{1}{R + r_c} (D'^2 R^2 (R + r_c) - r_x(R + r_c) (R + r_c)) = D'^2 R^2 - r_x(R + r_c)
 \end{aligned}$$

$$\begin{aligned}
 Q(s) &= (sCr_c - 1) \{ -(sL + r_x)(R + r_c) + D'^2 R^2 \} \\
 &= (R + r_c) (-s^2 L C r_c - s(L r_x r_c C) - r_x) + D'^2 R^2 s C r_c + D'^2 R^2 \\
 &= -s^2 L C r_c (R + r_c) + s (D'^2 R^2 r_c C - L(R r_c) - C r_x r_c (R + r_c)) + D'^2 R^2 - r_x(R + r_c)
 \end{aligned}$$

$$G_{vd}(s) = \frac{RV_g}{LC(R+r_c)^2|A|} \frac{1}{LC(R+r_c)} \frac{Q(s)}{s^2 + \left(\frac{1}{LC(R+r_c)} + \frac{1}{L} \left(r_x + D' \frac{Rr_c}{R+r_c} \right) \right) + |A|}$$

$$= \frac{RV_g}{D'R[D'R+r_c] + r_x(R+r_c)} \frac{1}{LC(R+r_c)} \frac{a_2s^2 + a_1s + a_0}{s^2 + b_1s + b_0}$$

$$a_2s^2 + a_1s + a_0 = -a_2 \left(-s^2 + \frac{a_1}{a_2}s + \frac{a_0}{-a_2} \right) = -a_2(-s^2 + \alpha_1s + \alpha_0)$$

$$r_c LC(R+r_c) \left\{ -s^2 + \left(\frac{D'^2 R^2 r_c C - L(R+r_c) - C r_x r_c (R+r_c)}{r_c LC(R+r_c)} \right) s + \frac{D'^2 R^2 - r_x (R+r_c)}{r_c LC(R+r_c)} \right\}$$

$$Q_2 = -s^2 + \left(\frac{D'^2 R^2}{L(R+r_c)} - \frac{1}{r_c C} - \frac{r_x}{L} \right) s + \left(\frac{D'^2 R^2}{r_c LC(R+r_c)} - \frac{-r_x}{r_c LC} \right) = 0$$

$$w_{z_{1,2}} = - \left\{ -\frac{1}{2} \left(\frac{D'^2 R^2}{L(R+r_c)} - \frac{1}{r_c C} - \frac{r_x}{L} \right) \pm \frac{1}{2} \sqrt{\left(\frac{D'^2 R^2}{L(R+r_c)} - \frac{1}{r_c C} - \frac{r_x}{L} \right)^2 + 4 \left(\frac{D'^2 R^2}{r_c LC(R+r_c)} - \frac{r_x}{r_c LC} \right)} \right\}$$

$$\left(\frac{D'^2 R^2}{L(R+r_c)} - \frac{1}{r_c C} - \frac{r_x}{L} \right)^2 + 4 \left(\frac{D'^2 R^2}{r_c LC(R+r_c)} - \frac{r_x}{r_c LC} \right) = \left(\frac{D'^2 R^2}{L(R+r_c)} - \frac{1}{r_c C} - \frac{r_x}{L} \right)^2$$

$$(x_1 - x_2 - x_3)^2 = x_1^2 + x_2^2 + x_3^2 - 2x_1x_2 - 2x_1x_3 - 2x_2x_3$$

$$(x_1 - x_2 - x_3)^2 = x_1^2 + x_2^2 + x_3^2 + 2x_1x_2 - 2x_1x_3 - 2x_2x_3$$

$$-4x_1x_2 + 4x_2x_3$$

$$w_{z_{1,2}} = - \left\{ -\frac{1}{2} \left(\frac{D'^2 R^2}{L(R+r_c)} - \frac{1}{r_c C} - \frac{r_x}{L} \right) \pm \frac{1}{2} \left(\frac{D'^2 R^2}{L(R+r_c)} + \frac{1}{r_c C} - \frac{r_x}{L} \right) \right\}$$

$$w_{z_1} = -\frac{1}{r_c C}$$

$$w_{z_2} = \frac{D'^2 R^2}{L(R+r_c)} + \frac{r_x}{L}$$

$$s^2 + b_1s + b_0 = s^2 + \frac{w_0}{Q}s + w_0^2$$

$$w_0^2 = b_0 = |A| = \frac{r_x(R+r_c) + D'R(D'R+r_c)}{LC(R+r_c)^2} \rightarrow w_0 = \frac{1}{\sqrt{LC}} \sqrt{\frac{r_x}{R+r_c} + \frac{D'R(D'R+r_c)}{(R+r_c)^2}}$$

$$Q = \frac{w_0}{b_1} = \frac{w_0}{\frac{1}{C(R+r_c)} + \frac{1}{L} \left(r_x + \frac{D'Rr_c}{R+r_c} \right)}$$



$$G_{vd} = \frac{RV_g}{D'R(D'R + r_c) + r_x(R + r_c)} \frac{1}{LC(R + r_c)} r_c LC(R + r_c) \frac{(-s^2 + \alpha_1 s + \alpha_0)}{s^2 + \frac{w_0}{Q} s + w_0^2}$$

$$\begin{aligned} G_{vd}(s = 0) &= \frac{RV_g}{D'R(D'R + r_c) + r_x(R + r_c)} \frac{r_c LC(R + r_c)}{LC(R + r_c)} \frac{\alpha_0}{w_0^2} \\ &= \frac{RV_g}{D'R(D'R + r_c) + r_x(R + r_c)} r_c \frac{\frac{D'^2 R^2 - r_x(R + r_c)}{r_c LC(R + r_c)}}{\frac{r_x(R + r_c) + D'R(D'R + r_c)}{LC(R + r_c)^2}} \\ &= V_g \frac{R[D'^2 R^2 - r_x(R + r_c)](R + r_c)}{[D'R(D'R + r_c) + r_x(R + r_c)]^2} \end{aligned}$$

$$G_{vd} = \frac{RV_g}{D'R(D'R + r_c) + r_x(R + r_c)} r_c \frac{(-s^2 + \alpha_1 s + \alpha_0)}{s^2 + b_1 s + b_0} = K \frac{(-s^2 + \alpha_1 s + \alpha_0)}{s^2 + b_1 s + b_0}$$

$$K = \frac{RV_g}{D'R(D'R + r_c) + r_x(R + r_c)} r_c$$

$$\alpha_1 = \frac{a_1}{-a_2} = \frac{D'^2 R^2 r_c C - L(R + r_c) - C r_c r_x(R + r_c)}{r_c LC(R + r_c)}$$

$$\alpha_0 = \frac{a_0}{-a_2} = \frac{D'^2 R^2 - r_x(R + r_c)}{r_c LC(R + r_c)}$$

$$b_1 = \frac{1}{C(R + r_c)} + \frac{r_x + D'R r_c}{L(R + r_c)}$$

$$b_0 = \frac{r_x(R + r_c) + D_1 R(D'R + r_c)}{LC(R + r_c)^2}$$

ANEXO B.- Planos de la plataforma Hardware

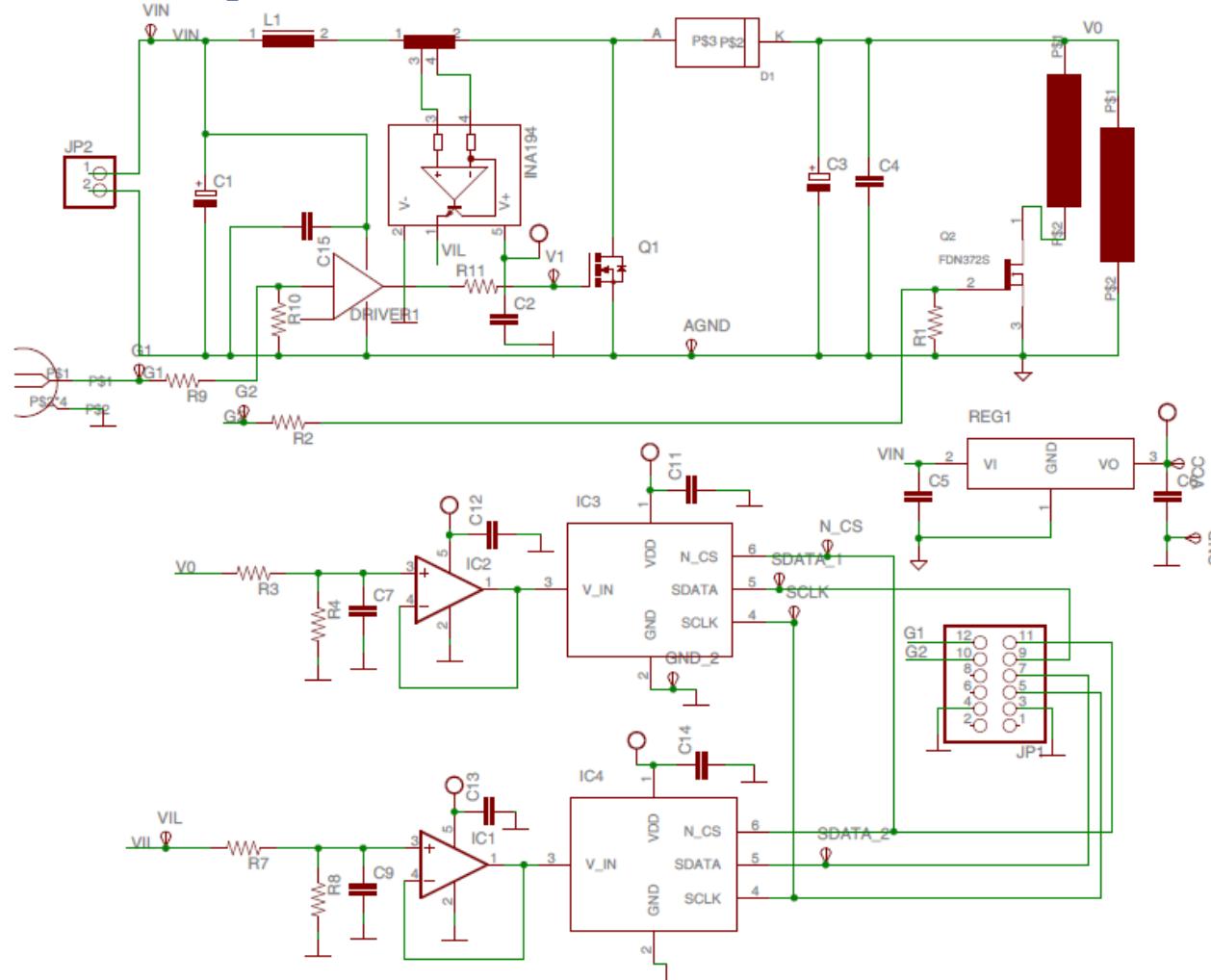


Fig. 48 Plano esquemático de los componentes y conexiones de la plataforma Hardware

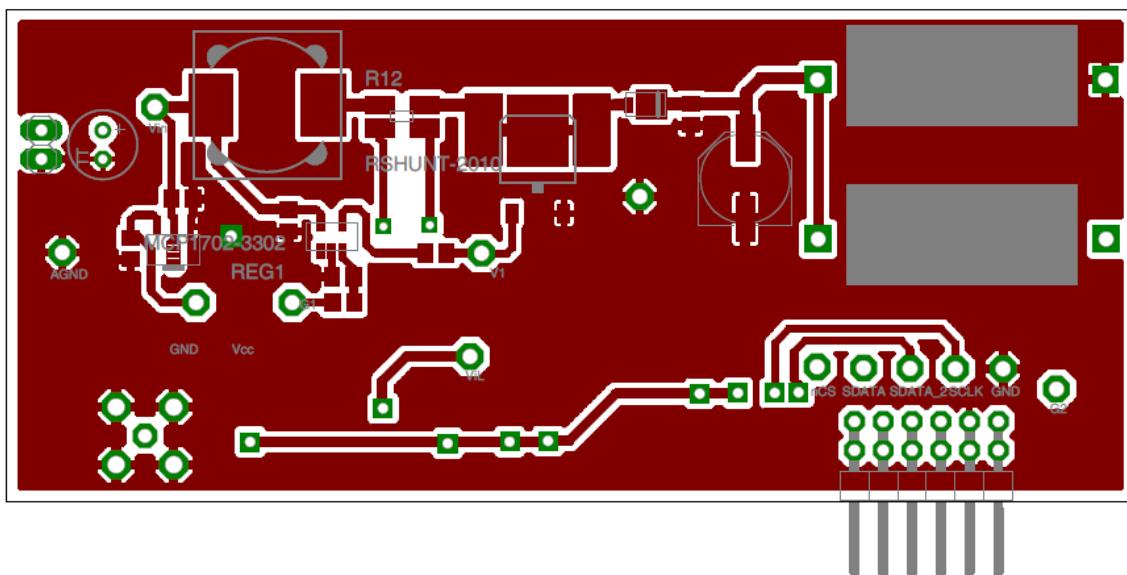


Fig. 49 Vista de la cara TOP de la plataforma Hardware

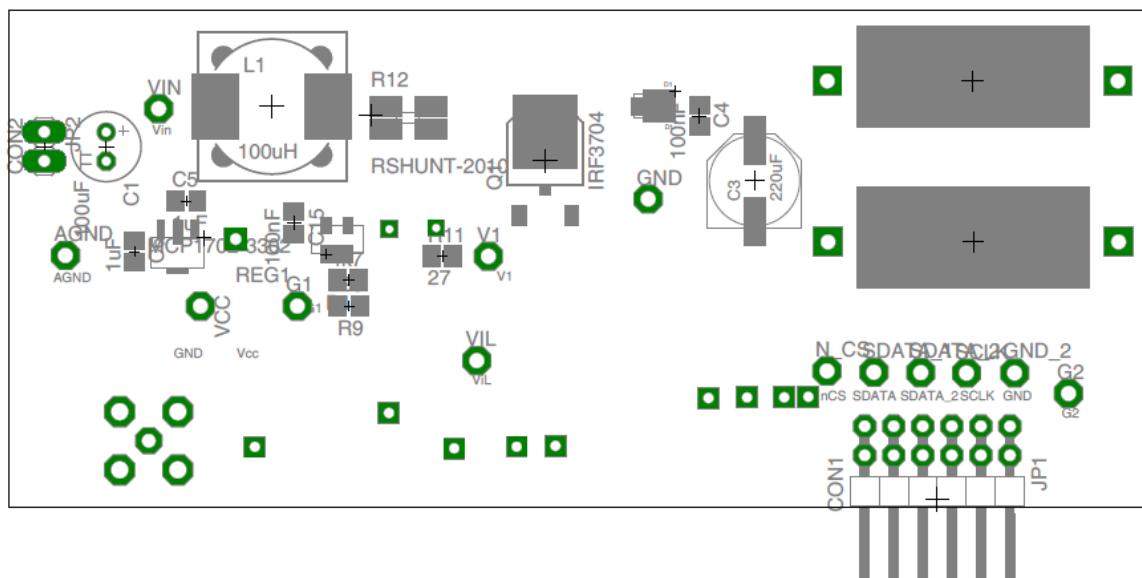


Fig. 50 Vista de situación de los componentes en la cara TOP de la plataforma Hardware

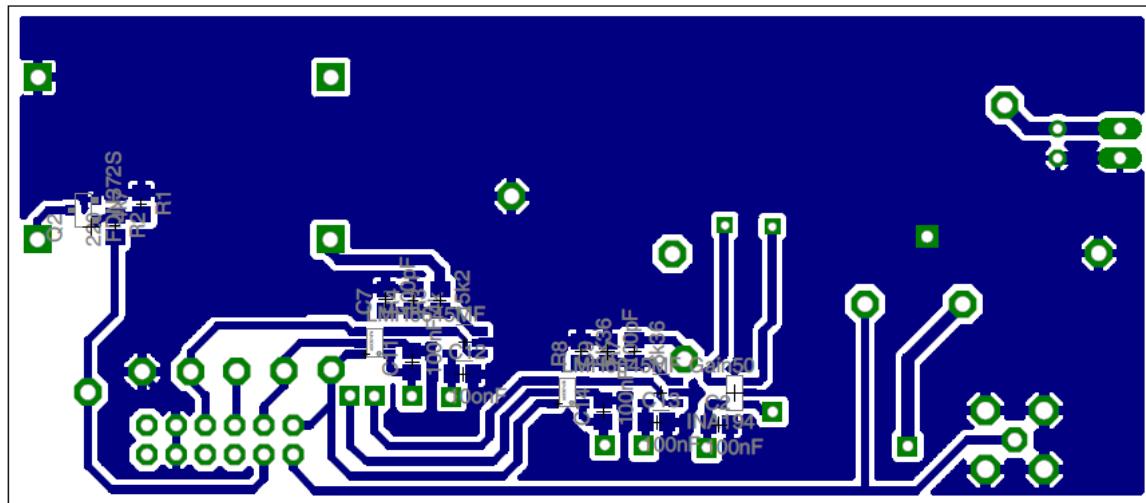


Fig. 51 Vista de la cara BOTTOM de la plataforma Hardware

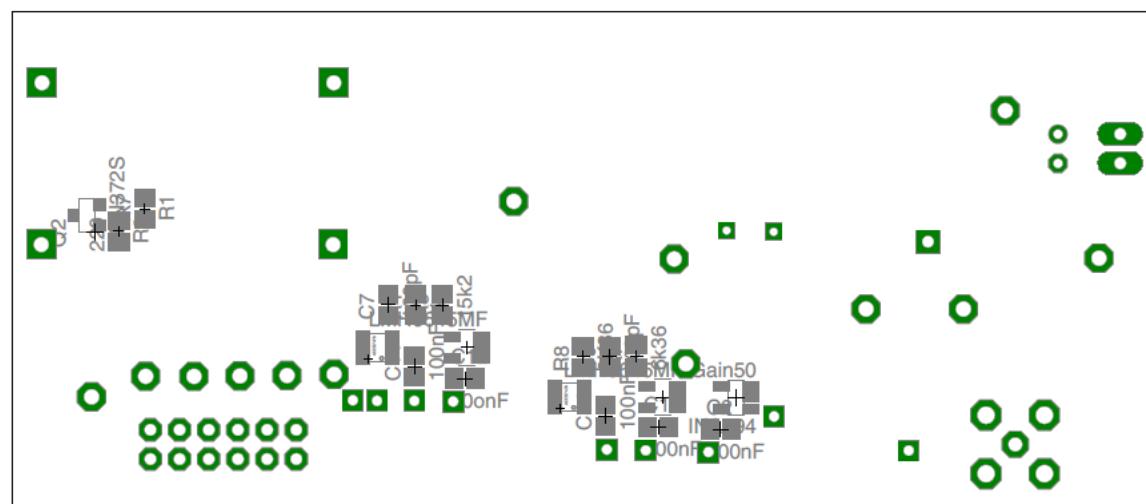


Fig. 52 Vista de situación de los componentes en la cara BOTTOM de la plataforma Hardware



ANEXO C.- Listado de Componentes:

El listado de componentes completo es el que se muestra a continuación:

Nº	Código Farnell	Fabricante Ref. fabricante	Descripción producto	Unidades	Componente
1	1909247	MOLEX - 73366-0060	BNC Coaxial mini	1	BNC1
2	2288307	COILCRAFT MSS1210-104XE	Bobina de potencia 100uH, 3A, 120mΩ, 3.6MHz	1	L1
3	1539514	PANASONIC 333FP1V221AP	Condensador de potencia 220uF, 35V, 105°C	1	C3
4	9504753	WELWYN W22 24R JI	Resistencia de potencia 24 Ω, 5% 7W	2	R5, R6
5	2361253	TEXAS INSTRUMENTS UCC27517ADBVT	Driver MOSFET Single-channel high-speed	1	DRIVER1
6	1460050	TEXAS INSTRUMENTS INA 194AIDBVT	Medidor de corriente Ganancia 50	1	INA194
7	8649618	INTERNATIONAL RECTIFIER IRFR024NPBF	Transistor MOSFET, N, 55V, 16A D-PACK_TO252AA	1	Q1
8	1495235	FAIRCHILD SEMICONDUCTOR FDN372S	Transistor MOSFET, N, SMD, SSOT	1	Q2
9	1462303	OHMITE LVK20R039FER	Resistencia Shunt 0.039 Ω, 750mW SMD	1	R12
10	1336545	VISHAY SS2P3L	Diodo Schottky 2A, 30V	1	D1
11	1605558	MICROCHIP MCP1702T-3302	Regulador 250MA 3.3V SOT-89	1	REG1
12	1248189	TE CONNECTIVITY 826953-6	Conector 2x06/90	1	JP1
13	9731148	MOLEX 22-27-2021	Conector 1x02 2,54mm	1	JP2
14	1312813	TEXAS INSTRUMENTS LMH6645MF	Ampl. Operacional 80MHz SOT23-5	2	IC1, IC2



15	9779710	TEXAS INSTRUMENTS ADCS7476AIMF	Conversor 12bits 1MSPS SOT23	ADC SMD	2	IC3, IC4
16	8731225	VERO 20-313143	Anillas de Test		14	
17	1611943	TAIYO YUDEN UMK212F105ZG-T	Condensadores 50V SMD 0805	1uF	2	C5, C6
18	1740665	AVX 08053C104KAT2A	Condensador 25V, SMD 0805	100nF, 7		C2, C4, C11, C12, C13, C14, C15
19	2079155	PANASONIC EEUEB1E101S	Condensador 25V	100uF	1	C1
20	1301711	AVX 08051A102J4T2A	Condensador 100V SMD 0805	1nF	2	C7, C9
21	1469923	VISHAY DRALORIC CRCW08054K70FKEA	Resistencia SMD 0805 1%	4k7Ω	2	R1, R10
22	9332979	MULTICOMP MC01W0805127R	Resistencia 0805 0.1W	27Ω SMD	1	R11
23	9332804	MULTICOMP MC01W08051220R	Resistencia SMD 0805 0.1W	220Ω	2	R2, R9
24	2123231	VISHAY DRALORIC CRCW08056K34FKEA	Resistencia SMD 0805 0.1W	6K34Ω	2	R7, R8
25	2123274	VISHAY DRALORIC CRCW080515K0FKEA	Resistencia SMD 0805 0.125W	15KΩ	1	R3
26	1697439RL	TE CONNECTIVITY CPF0805B3K9E1	Resistencia SMD 0805 0.125W	3K9Ω	1	R4

Tabla 15 Listado de componentes de la plataforma Hardware desarrollada

ANEXO D.- Cálculo de los reguladores:

En las ecuaciones (32), (33) y (34) calculadas anteriormente en el apartado 4.1 se ha obtenido:

$$\theta_{delay} = 360D \frac{f_c}{f_s} = 3.24^\circ$$

$$\angle Lu(jw_c) = -172.37^\circ$$

$$|Lu(jw_c)| = 0.5648$$

A continuación se muestra el proceso del cálculo de cada uno de los reguladores:

----- CASO 1 -----

Cálculo del regulador por el método de Ziegler-Nichols:

Los parámetros necesarios para realizar el cálculo del regulador por el método de Ziegler-Nichols y la forma de obtenerlos, son los que se muestran en la siguiente Tabla 16:

$ G(jw_u) = -180$ $K_u = \frac{1}{ G(jw_u) }$ $P_u = \frac{2\pi}{w_u}$	$G_c(s) = \frac{\left(Td \cdot \frac{Ti}{10} + Td \cdot Ti\right)s^2 + \left(\frac{Td}{10} + Ti\right)s + 1}{s\left(\frac{Ti \cdot Td}{10K_p} s + \frac{Ti}{K_p}\right)}$	$K_p = 0.6 * K_u$ $T_i = 0.5 * P_u$ $T_d = 0.125 * P_u$
---	---	---

Tabla 16 Función de transferencia del regulador y parámetros para su cálculo

A partir del diagrama de bode representado en la Fig. 53 se calculan los parámetros $K_u = \frac{1}{0.188}$ y $w_u = 16600 \text{ rad/s}$

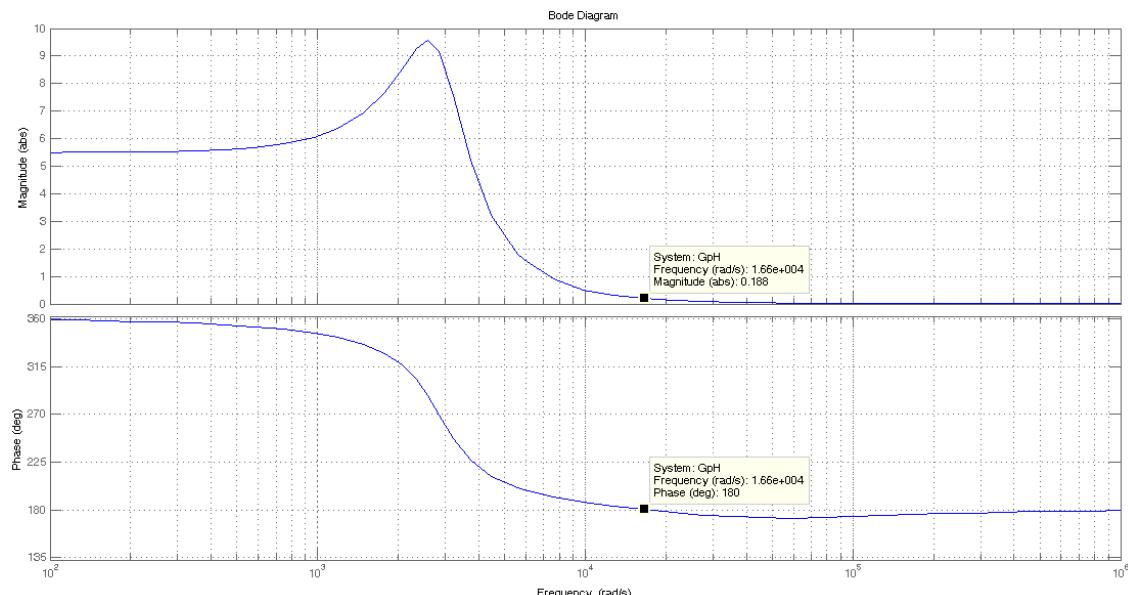


Fig. 53 Diagrama de bode de la planta con el acondicionamiento para el cálculo de los parámetros K_u y w_u

El regulador resultante es el siguiente:

$$G_c(s) = \frac{35.1064 (s^2 + 19690s + 1.015e8)}{s (s + 2.114e5)}$$

----- CASO 2 -----

Cálculo del regulador con un cero real doble ($\zeta=1$):

La función de transferencia del regulador es:

$$G_c(s) = \frac{K}{s} \frac{(1 + \frac{s}{w_{z1}})(1 + \frac{s}{w_{z2}})}{(1 + \frac{w}{w_p})}$$

Seleccionamos $w_{z1} = w_{z2} < w_n$, $w_{z1} = w_{z2} = 2\pi 400 = w_z$, $PM + \theta_{delay} = 55^\circ$

$$\angle G_c(jw_c) = -90 + 2\angle\left(1 + j\frac{w_c}{w_z}\right) - \angle\left(1 + j\frac{w_c}{w_p}\right) = -180^\circ + PM + \theta_{delay} - \angle Lu(jw_c)$$

$$\begin{aligned} \angle\left(1 + j\frac{w_c}{w_p}\right) &= -90^\circ + 2\angle(1 + j3.75) + 180^\circ - 55^\circ + (-172.37^\circ) \\ &= -138^\circ + 2\operatorname{tg}^{-1}(3.75) = -138^\circ + 2 \cdot 75.07^\circ = 12^\circ \end{aligned}$$

$$\frac{w_c}{w_p} = \operatorname{tg}(12^\circ) \rightarrow w_p = \frac{w_c}{\operatorname{tg}(12^\circ)} = 2\pi \cdot 6619.83 \quad (41)$$

$$|G_c(jw_c)| = \frac{K}{w_c} \frac{1 + \left(\frac{w_c}{w_z}\right)^2}{\sqrt{1 + \left(\frac{w_c}{w_p}\right)^2}} = \frac{K}{w_c} \frac{1 + (3.75)^2}{\sqrt{1 + 0.2266^2}} = \frac{1}{|Lu(jw_c)|}$$

$$K = \frac{w_c \cdot \sqrt{1 + 0.2266^2}}{15.0625 \cdot |Lu(jw_c)|} = \frac{2\pi f_c \cdot 1.0223}{15.0625 \cdot 0.5648} = 1135.93$$

El regulador resultante es el siguiente:

$$G_c(s) = \frac{1135.93}{s} \frac{(1 + s/2\pi \cdot 400)^2}{(1 + s/2\pi \cdot 6619.83)}$$

----- CASO 4 -----

Cálculo del regulador con 2 ceros complejos conjugados ($\zeta=0.9$)

$$G_c(s) = \frac{K(1 + \frac{s}{w_{z1}})(1 + \frac{s}{w_{z2}})}{s(1 + \frac{w}{w_p})}$$

Seleccionamos $w_{z1} \neq w_{z2} < w_n$, $w_z = 2\pi 400$, $PM + \theta_{delay} = 55^\circ$

$$\angle G_c(jw_c) = -90 + \angle\left(1 - \left(\frac{w_c}{w_z}\right)^2 + j2\zeta\frac{w_c}{w_z}\right) - \angle\left(1 + j\frac{w_c}{w_p}\right) = -180^\circ + 55^\circ - \angle Lu(jw_c)$$

$$\begin{aligned} \angle\left(1 + j\frac{w_c}{w_p}\right) &= -90^\circ + \angle\left(1 - \left(\frac{1500}{400}\right)^2 + j2 \cdot 0.9 \cdot \frac{1500}{400}\right) + 180^\circ - 55^\circ - 172.37^\circ \\ &= -137.37^\circ + 152.6725^\circ = 15.3025^\circ \end{aligned}$$

$$\frac{w_c}{w_p} = \tan(15.3025^\circ) \rightarrow w_p = \frac{w_c}{\tan(15.3025^\circ)} = 2\pi \cdot 5482.1366 \quad (42)$$

$$|G_c(jw_c)| = \frac{K}{w_c} \frac{1 + \left(\frac{w_c}{w_z}\right)^2}{\sqrt{1 + \left(\frac{w_c}{w_p}\right)^2}} = \frac{K}{w_c} \frac{1 + (3.75)^2}{\sqrt{1 + \tan^2(10.354) \cdot 10.354^2}} = \frac{1}{|Lu(jw_c)|}$$

$$K = \frac{w_c \cdot \sqrt{1 + \tan^2(15.3025) \cdot 15.3025^2}}{15.0625 \cdot |Lu(jw_c)|} = \frac{2\pi f_c \cdot \sqrt{1 + \tan^2(15.3025) \cdot 15.3025^2}}{15.0625 \cdot 0.5648} = 1148.56738$$

El regulador resultante es el siguiente:

$$G_c(s) = \frac{1148.56738}{s} \frac{\left(\frac{s}{2\pi \cdot 400}\right)^2 + 2 \frac{\zeta}{2\pi \cdot 400} s + 1}{\left(1 + \frac{s}{2\pi \cdot 5482.1366}\right)}$$

----- CASO 5 -----

Cálculo del regulador por el método del factor K

$$G_c(s) = \frac{K}{s} \frac{(1 + \frac{s}{w_{z1}})(1 + \frac{s}{w_{z2}})}{(1 + \frac{s}{w_p})}$$

El cero w_{z1} se coloca en $\frac{w_c}{10}$ y el adelanto de fase se calcula de forma que su máximo desfase ocurra en w_c , es decir, la media geométrica de w_{z2} y w_p debe ser w_c .

$$w_{z1} = \frac{w_c}{10} = \frac{2\pi \cdot 1500}{10} = 2\pi \cdot 150 \quad \frac{w_p}{w_c} = \alpha = \frac{w_c}{w_{z2}}$$

$$\angle \left(1 + j \frac{w_c}{w_{z2}} \right) = \angle (1 + j\alpha) = \theta_1$$

$$\angle \left(1 + j \frac{w_c}{w_p} \right) = \angle \left(1 + j \frac{1}{\alpha} \right) = \theta_2 \quad \theta_1 + \theta_2 = 90^\circ$$

$$\angle G_c(jw_c) = -90 + \angle \left(1 + j \frac{w_c}{w_{z1}} \right) + \angle \left(1 + j \frac{w_c}{w_{z2}} \right) - \angle \left(1 + j \frac{w_c}{w_p} \right) = -180^\circ + 55^\circ - \angle Lu(jw_c)$$

$$-90^\circ + \arctg(10) + \arctg(\alpha) - \arctg\left(\frac{1}{\alpha}\right) = -180^\circ + 55^\circ + 172.37^\circ \quad (43)$$

$$\alpha = 3 \quad \rightarrow \quad w_{z2} = \frac{2\pi \cdot 1500}{3} = 2\pi \cdot 500$$

$$w_p = 3 \cdot 2\pi \cdot 1500 = 2\pi \cdot 4500$$

$$|G_c(jw_c)| = \frac{K}{w_c} \frac{1 + \left(\frac{w_c}{w_z}\right)^2}{\sqrt{1 + \left(\frac{w_c}{w_p}\right)^2}} = \frac{K}{w_c} \frac{1 + (3.75)^2}{\sqrt{1 + \left(\frac{1}{3}\right)^2}} = \frac{1}{|Lu(jw_c)|}$$

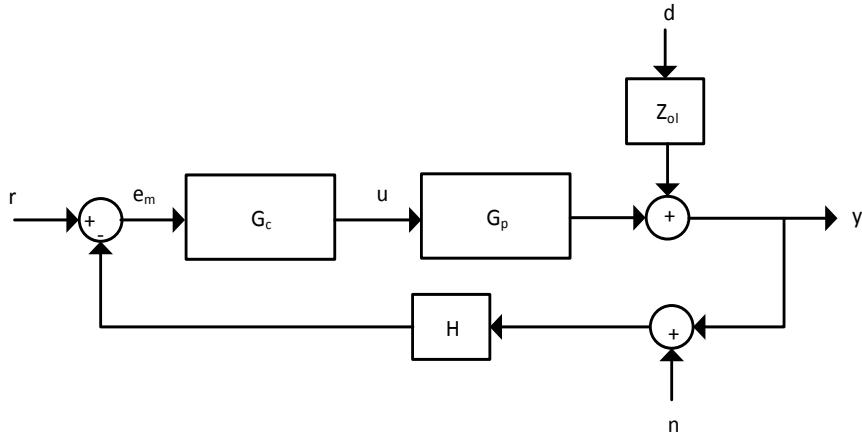
$$K = \frac{w_c \cdot \sqrt{1 + \frac{1}{9}}}{15.0625 \cdot |Lu(jw_c)|} = \frac{2\pi f_c \cdot \sqrt{1 + \frac{1}{9}}}{15.0625 \cdot 0.5648} = 553.47$$

El regulador resultante es el siguiente:

$$G_c(s) = \frac{553.47}{s} \frac{\left(1 + \frac{s}{2\pi \cdot 150}\right) \cdot \left(1 + \frac{s}{2\pi \cdot 500}\right)}{\left(1 + \frac{s}{2\pi \cdot 4500}\right)}$$

ANEXO E.- Funciones de mérito:

En primer lugar se analiza el diagrama de bloques que se muestra en la siguiente Fig. 54:



G_c	Controlador	d	Perturbaciones
G_p	Planta del Boost	n	ruido en las medidas
Z_{ol}	Impedancia de salida	y	salida en tensión
H	Acondicionamiento de tensión	y_m	tensión medida
r	Referencia de tensión	u	acción del controlador
e_m	error medido		

Fig. 54 Diagrama de bloques del sistema completo

El error se define como:

$$e = r - Hy \quad (44)$$

Aplicando el principio de superposición y álgebra de bloques en la Fig. 54 se obtiene,

$$\begin{aligned}
 e_m &= r - H(y + n) = e - Hn \\
 y &= G_p u + Z_{ol} d = G_p G_c e_m + Z_{ol} d = G_p G_c (r - Hy - Hn) + Z_{ol} d \\
 y(1 + G_p G_c H) &= G_p G_c r - G_p G_c H n + Z_{ol} d \\
 y &= \frac{G_p G_c}{1 + G_p G_c H} r - \frac{G_p G_c H}{1 + G_p G_c H} n + \frac{Z_{ol}}{1 + G_p G_c H} d = \frac{1}{H} Tr - Tn + SZ_{ol} d \quad (45) \\
 Y(s) &= \frac{1}{H(s)} T(s) r(s) - T(s) n(s) + S(s) Z_{ol}(s) d(s)
 \end{aligned}$$

El error e y la acción del regulador u son:

$$\begin{aligned} e &= r - Hy = r - (Tr - HTn + HSZ_{ol}d) = (1 - T)r + HTn - HSZ_{ol}d \\ &= Sr + HTn - HSZ_{ol}d \end{aligned} \quad (46)$$

$$E(s) = S(s)r(s) + H(s)T(s)n(s) - H(s)S(s)Z_{ol}(s)d(s)$$

$$\begin{aligned} u &= G_c e_m = G_c(e - Hn) = G_c e - G_c Hn = G_c Sr + G_c HTn - G_c HSZ_{ol}d - G_c Hn \\ &= G_c Sr + G_c H(T - 1)n - G_c HSZ_{ol}d = G_c Sr + G_c HSn - G_c HSZ_{ol}d \end{aligned} \quad (47)$$

$$U(s) = G_c(s)S(s)r(s) + G_c(s)H(s)S(s)n(s) - G_c(s)H(s)S(s)Z_{ol}(s)d(s)$$

De las cuales se obtiene, la función de transferencia en lazo abierto L :

$$L = G_c G_p H \quad (48)$$

La función de sensibilidad S :

$$S = \frac{1}{1 + G_c G_p H} \quad (49)$$

La función de sensibilidad complementaria:

$$T = \frac{G_c G_p H}{1 + G_c G_p H} \quad (50)$$

Las funciones de sensibilidad condensan la información sobre el desempeño del sistema, incluyendo seguimiento de referencias, efecto de las perturbaciones en cualquier punto y dinámica de la acción de control, todo ello tanto desde el punto de vista estático (frecuencias bajas) como desde el punto de vista dinámico (altas frecuencias). Además estas funciones están algebraicamente relacionadas,

$$S(s) + T(s) = 1 \quad (51)$$

es decir, éstas no pueden ser moldeadas de forma arbitraria mediante la elección de un regulador $G_c(s)$, lo que demuestra que el diseño del sistema de control tiene sus limitaciones, requiriendo soluciones de compromiso entre distintos objetivos.

La función de sensibilidad S (49) describe la atenuación del impacto de las perturbaciones que se obtienen mediante la realimentación. Es por tanto, como se observa en (46) y (47), que para un mayor rechazo a perturbaciones será deseable un valor bajo de la función de sensibilidad.

La función de sensibilidad complementaria T (50) describe la respuesta del sistema entre la referencia r y la salida $\frac{y}{H'}$, conociéndose también como la función de transferencia en bucle cerrado.

Por otra parte, una de las propiedades fundamentales de la realimentación es la de dotar de robustez al sistema ante variaciones en la dinámica del proceso. El efecto de estas variaciones también puede ser expresado en términos de las funciones de sensibilidad. En efecto, en ausencia de perturbaciones,

$$\frac{y}{r} = \frac{G_c G_p H}{1 + G_c G_p H} = T \quad (52)$$

La planta del sistema, G_p puede sufrir variaciones en su dinámica debidas a efectos externos o bien debidas a errores de modelado. El impacto relativo en la respuesta debido a una pequeña variación dG_p en el proceso puede evaluarse, de acuerdo con,

$$S_G^T = \frac{\frac{dT}{T}}{\frac{dG}{G}} = \frac{dT}{dG} \frac{G}{T} \quad (53)$$

Derivando se tiene

$$\frac{dT}{dG} = \frac{G_c H}{(1 + G_c G_p H)^2} = \frac{G_p G_c H}{(1 + G_c G_p H)(1 + G_c G_p H) G_p} = S \frac{T}{G} \quad (54)$$

Con lo cual

$$S_G^T = \frac{d \log T}{d \log G} = \frac{dT}{dG} \frac{G}{T} = S \quad (55)$$

La ecuación (55) es la razón por la que $S(s)$ recibe el nombre de función de sensibilidad, e indica que la alteración relativa en la respuesta en bucle cerrado será pequeña para aquéllas frecuencias en las que la función de sensibilidad es pequeña y viceversa

En cuanto a la acción del regulador (47), la acción se hace menor cuanto menor sea el producto $G_c(s)S(s)$.

Es por todas estas razones, sistema más robusto y fiable y acción del controlador menos exigido, mejor cuanto menor sea $S(s)$. En resumen, las conclusiones serían:

- La manera de reducir el efecto de las perturbaciones es disminuir S .
- Cuanto menor sea S , en el rango de frecuencias en el que actúa el controlador, menor será el error. Si hay un integrador en el controlador $S(0)=0$.
- Si se consigue $T \approx 1$, la salida sigue a la referencia escalada por H .
- Cuanto menor sea la función de sensibilidad al control, menor será la acción del controlador.



Una vez explicado de dónde se obtiene la función de sensibilidad se procede a explicar cómo se han obtenido los valores de las funciones de mérito numeradas en el apartado 4.2.

En primer lugar, representando el diagrama de bode de L se obtienen los parámetros:

f_c	Frecuencia a la cual la ganancia de L es de 0dB.
PM	Es el ángulo que le falta a la fase para llegar a los -180° cuando la ganancia es de 0dB.
GM	Es el valor que le falta a la ganancia para llegar a 0dB cuando la fase es de -180°

Para obtener el valor de la Sobreoscilación **SO** se aplica un escalón unitario a la función de transferencia en bucle cerrado y se selecciona el valor máximo obtenido.

Para calcular el resto de términos, hay que explicar previamente que, la norma infinito de una función de transferencia $f(s)$ es el valor de pico de la magnitud de ésta en función de la frecuencia.

$$\|f(s)\|_{\infty} = \max |f(j\omega)| \quad (56)$$

Por tanto, para el cálculo del término $\|S\|_{\infty}$ se calcula el valor de la norma infinito de la función de sensibilidad S , previamente explicada. Lo mismo para el caso de $\|Z_{cl}\|_{\infty}$ y $\|G_c * S\|_{\infty}$ en las que Z_{cl} determina la impedancia de salida en bucle cerrado y $G_c * S$, el grado de esfuerzo del regulador.

El valor de f_B determina la frecuencia a la que el módulo de la función de sensibilidad es igual a $\frac{1}{\sqrt{2}}$, y por último, la obtención del valor de **Ki** se realiza según se ha mostrado previamente en (39).

ANEXO F.- Cálculo de las funciones de mérito:

REGULADOR 1

CASO 1.-Cálculo del regulador por el método de Ziegler-Nichols

$$G_c(s) = \frac{1203,7847 (1 + s/2\pi \cdot 500) \cdot (1 + s/2\pi \cdot 150)}{s (1 + s/2\pi \cdot 33645,355)}$$

$K = 1203,7847$
 $w_{z1} = 2\pi \cdot 500$
 $w_{z2} = 2\pi \cdot 150$
 $w_p = 2\pi \cdot 33645,355$

Con este regulador se obtiene el siguiente diagrama de bode en bucle abierto (Fig. 55):

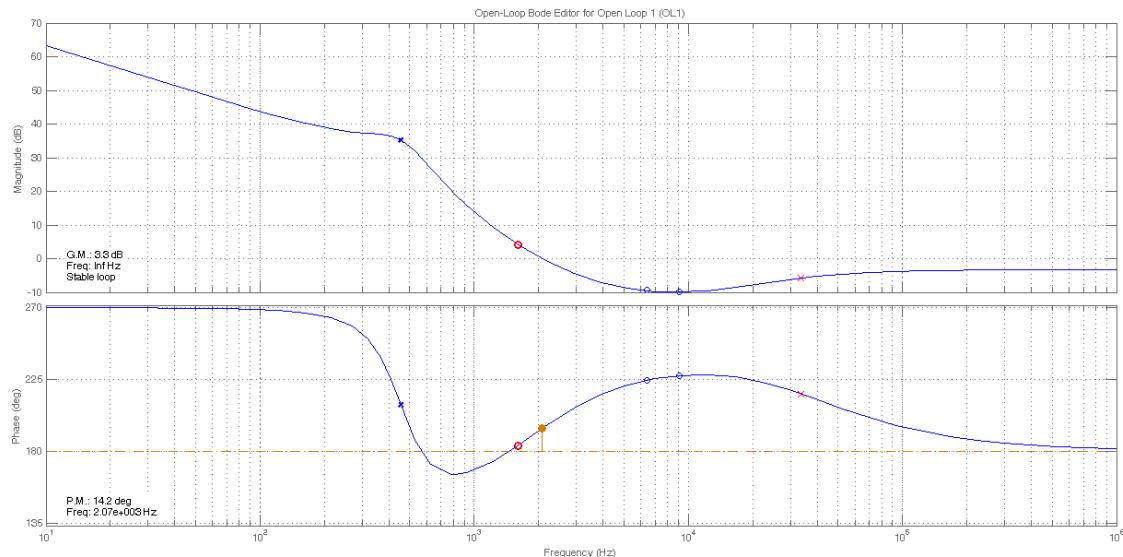


Fig. 55 Diagrama de bode del sistema en bucle abierto, $f_c=2.07\text{kHz}$, $PM=14.2^\circ$, $GM=3.3 \text{ dB}$

A partir del siguiente script en Matlab y de las gráficas que se obtienen, se calculan el resto de los valores de las funciones de mérito que se enumeraban anteriormente:

```

Sys1=series(Gc3,H*Gp)
Sys2=feedback(Sys1,1)
Sys3=1-Sys2          %Funcion sensibilidad
norm(Sys3,inf)       % |S|inf=4.210552829288
%
Zo_cl=series(-Zo_ol,Sys3);
norm(Zo_cl,inf) % |Zcl|inf=1.65035875262
bode(Zo_ol,Zo_cl)
[ystep,t]=step(Sys2);
norm(ystep,inf)
% SO=2.167279141941345
bode(Sys3)
Sys4=series(Gc3,Sys3);
norm(Sys4,inf)
% |Gc*S|inf=111.19171455756
%Condicion de ciclos límite ---- G_o*H*Ki<1
% G_o*H=cte para todos los reguladores K*Ki<1
% Mejor cuanto menor sea Ki

```

$$Ki = \lim_{z \rightarrow 1} \frac{18.7868(z^2 - 1.812z + 0.821)}{(z - 1)(z + 0.02798)} = 0.16448$$

Tabla 17 Script en Matlab para la obtención de los valores de las funciones de mérito

La siguiente Fig. 56, muestra la impedancia de salida (Zo_{ol} y Zo_{cl}) en bucle abierto y bucle cerrado respectivamente:

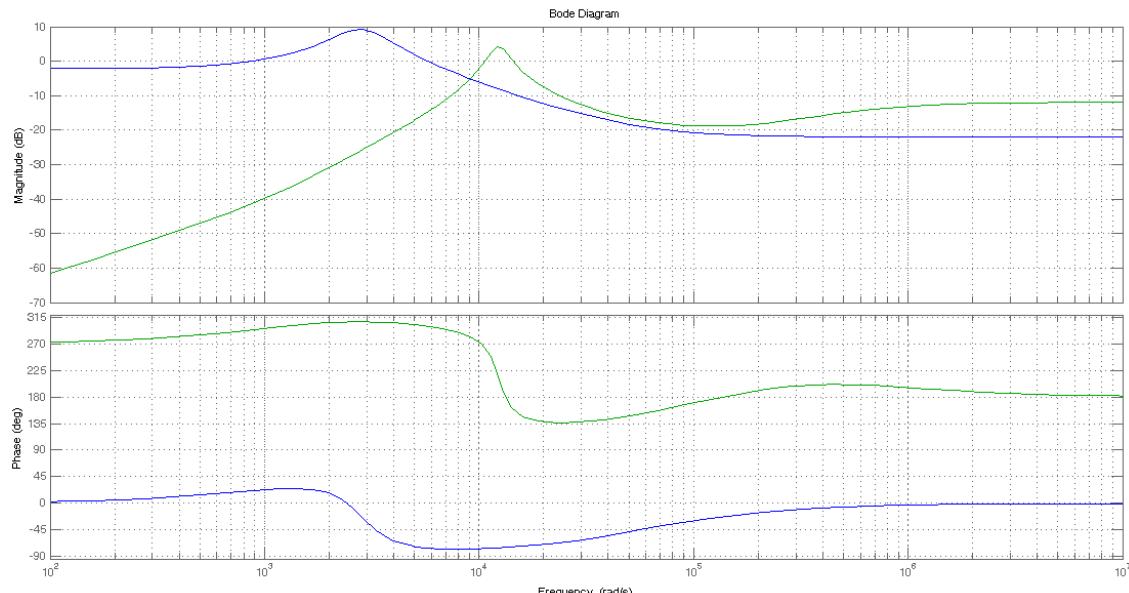


Fig. 56 Diagrama de bode de la impedancia de salida en bucle abierto (azul) y en bucle cerrado (verde)

A partir de la siguiente Fig. 57 se obtiene , $f_B=1.31\text{kHz}$

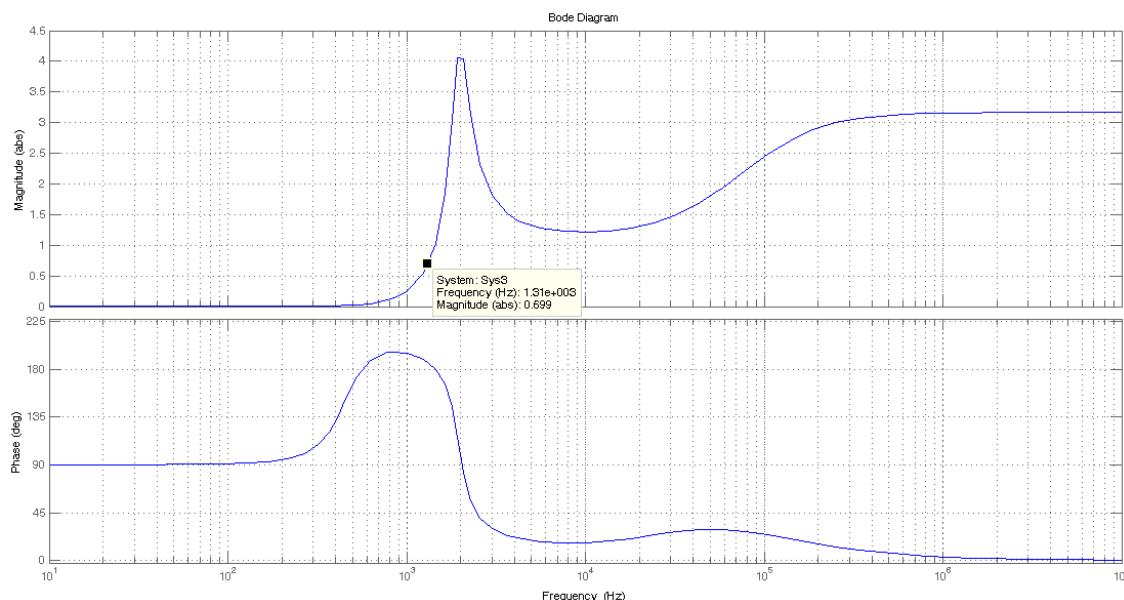


Fig. 57 Diagrama de Bode de la función de sensibilidad S

REG	fc	PM	GM	PO	S inf	Zcl inf	f _B	GcS inf	Ki
Caso1	2.07kHz	14.2	3.3dB	2.16728	4.21	1.65	1.31kHz	111.2	0.16448

----- REGULADOR 2 -----

CASO 2.-Cálculo del regulador con un cero real doble ($\zeta=1$)

$$G_c(s) = \frac{1135,93}{s} \frac{(1 + s/2\pi \cdot 400)^2}{(1 + s/2\pi \cdot 6619,83)}$$

$$K = 1135,93 \\ w_{z1} = w_{z2} = 2\pi \cdot 400 \\ w_p = 2\pi \cdot 6619,83$$

Con este regulador se obtiene el siguiente diagrama de bode en bucle abierto (Fig. 58):

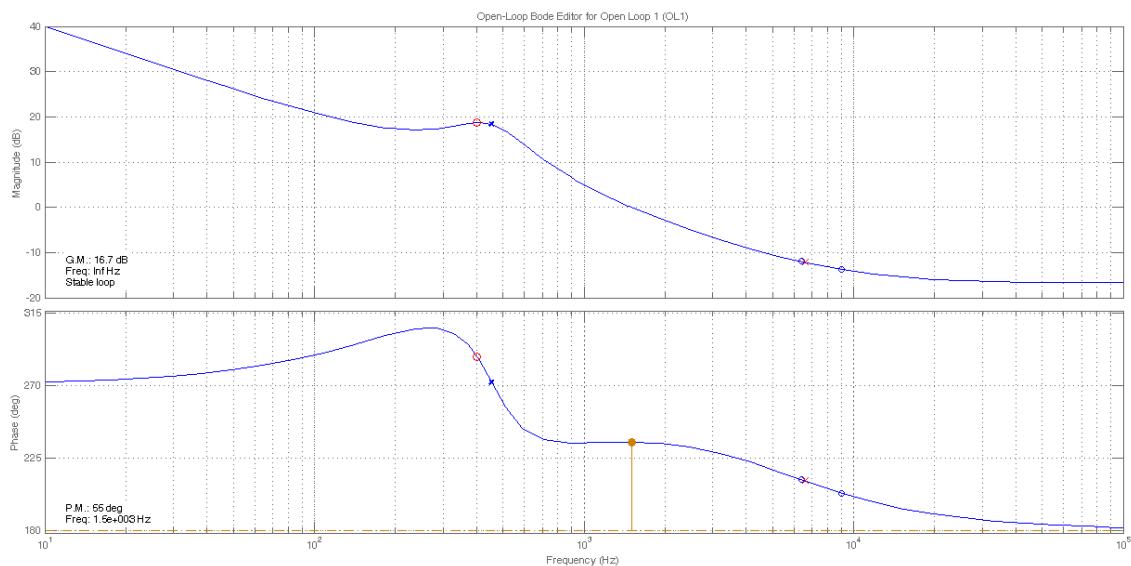


Fig. 58 Diagrama de bode del sistema en bucle abierto, $f_c=1.5\text{kHz}$, $PM=55^\circ$, $GM=16.7 \text{ dB}$

A partir del siguiente script en Matlab y de las gráficas que se obtienen, se calculan el resto de los valores de las funciones de mérito que se enumeraban anteriormente:

```

Sys1=series (Gc3,H*Gp)
Sys2=feedback (Sys1,1)
Sys3=1-Sys2          %Funcion sensibilidad
norm(Sys3,inf)       % |S|inf=1.281835960817598
%
Zo_cl=series (-Zo_ol,Sys3);
norm(Zo_cl,inf)      % |Zcl|inf=0.621524275037794
bode(Zo_ol,Zo_cl)
[ystep,t]=step(Sys2);
norm(ystep,inf)
%                               SO=1.127518864762084
bode(Sys3)
Sys4=series (Gc3,Sys3);
norm(Sys4,inf)
%                               |Gc*S|inf=8.756615968689244
% Condición de ciclos límite ---- G_o*H*Ki<1
% G_o*H=cte para todos los reguladores   K*Ki<1
% Mejor cuanto menor sea Ki

```

$$Ki = \lim_{z \rightarrow 1} (z - 1) \frac{6.3481(z - 0.9752)^2}{(z - 1)(z - 0.6555)} = 0.01132$$

Tabla 18 Script en Matlab para la obtención de los valores de las funciones de mérito

La siguiente Fig. 59, muestra la impedancia de salida (Zo_{ol} y Zo_{cl}) en bucle abierto y bucle cerrado respectivamente:

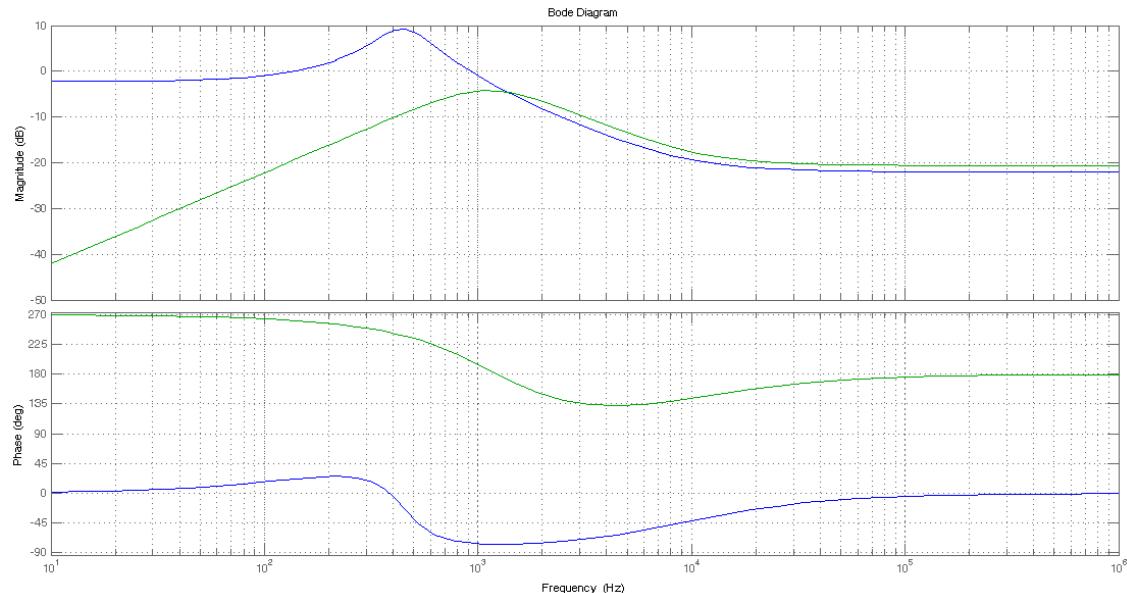


Fig. 59 Diagrama de bode de la impedancia de salida en bucle abierto (azul) y en bucle cerrado (verde)

A partir de la siguiente Fig. 60 se obtiene $f_B=1.01\text{kHz}$

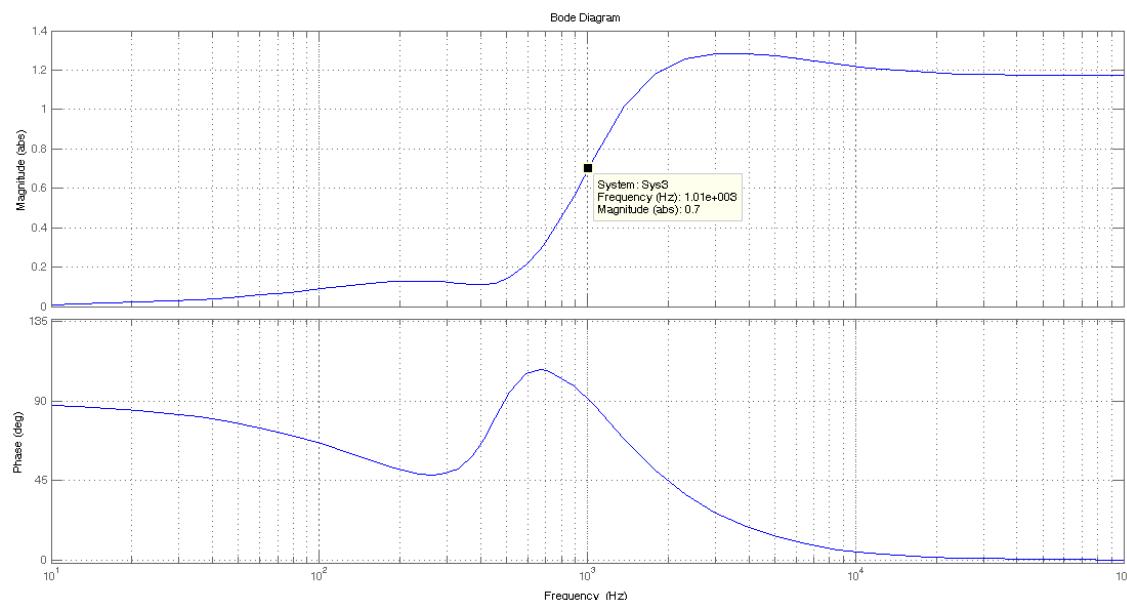


Fig. 60 Diagrama de Bode de la función de sensibilidad S

REG	fc	PM	GM	PO	S inf	Zcl inf	f _B	GcS inf	Ki
Caso2	1.5kHz	55	16.7dB	1.1275	1.282	0.62	1.01kHz	8.7566	0.01132

----- REGULADOR 4 -----

CASO 4 Cálculo del regulador con 2 ceros complejos conjugados ($\zeta=0.9$)

$$G_c(s) = \frac{1148,56738}{s} \frac{\frac{s}{2\pi \cdot 400}^2 + 2 \frac{\zeta}{2\pi \cdot 400} s + 1}{(1 + \frac{s}{2\pi \cdot 5482,1366})}$$

$$K = 1148,56738$$

$$w_{z1} = 2\pi \cdot (360 + j174,37)$$

$$w_{z2} = 2\pi \cdot (360 - j174,37)$$

$$w_p = 2\pi \cdot 5482,1366$$

Con este regulador se obtiene el siguiente diagrama de bode en bucle abierto (Fig. 61):

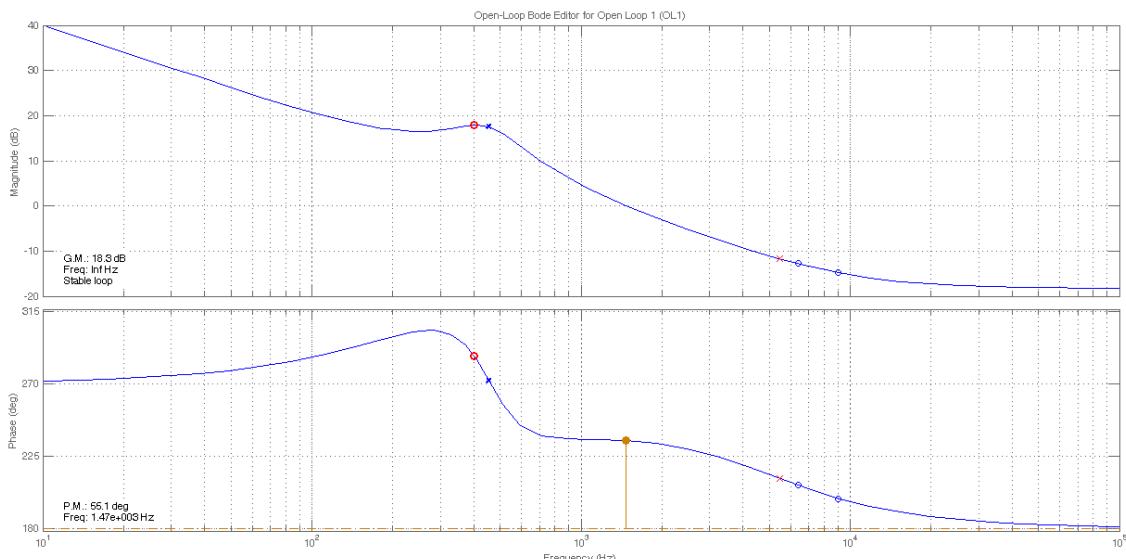


Fig. 61 Diagrama de bode del sistema en bucle abierto, $f_c=1.47\text{kHz}$, $PM=55.1^\circ$, $GM=18.3$ dB

A partir del siguiente script en Matlab y de las gráficas que se obtienen, se calculan el resto de los valores de las funciones de mérito que se enumeraban anteriormente:

```

Sys1=series (Gc3,H*Gp)
Sys2=feedback (Sys1,1)
Sys3=1-Sys2          %Funcion sensibilidad
norm(Sys3,inf)      % |S|inf=1.313921389024328
%
Zo_cl=series (-Zo_ol,Sys3);
norm(Zo_cl,inf)      % |Zcl|inf=0.6326714505525757
bode (Zo_ol,Zo_cl)
[ystep,t]=step (Sys2);
norm(ystep,inf)
%                      SO=1.120992969025024
bode (Sys3)
Sys4=series (Gc3,Sys3);
norm(Sys4,inf)
%                      |Gc*S|inf=7.134312759869205
% Condición de ciclos límite ---- G_o*H*Ki<1
% G_o*H=cte para todos los reguladores  K*Ki<1
% Mejor cuanto menor sea Ki

```

$$Ki = \lim_{z \rightarrow 1} \frac{5.4643(z^2 - 1.955z + 0.9557)}{(z - 1)(z - 0.706)} = 0.013$$

Tabla 19 Script en Matlab para la obtención de los valores de las funciones de mérito

La siguiente Fig. 62, muestra la impedancia de salida (Zo_{ol} y Zo_{cl}) en bucle abierto y bucle cerrado respectivamente:

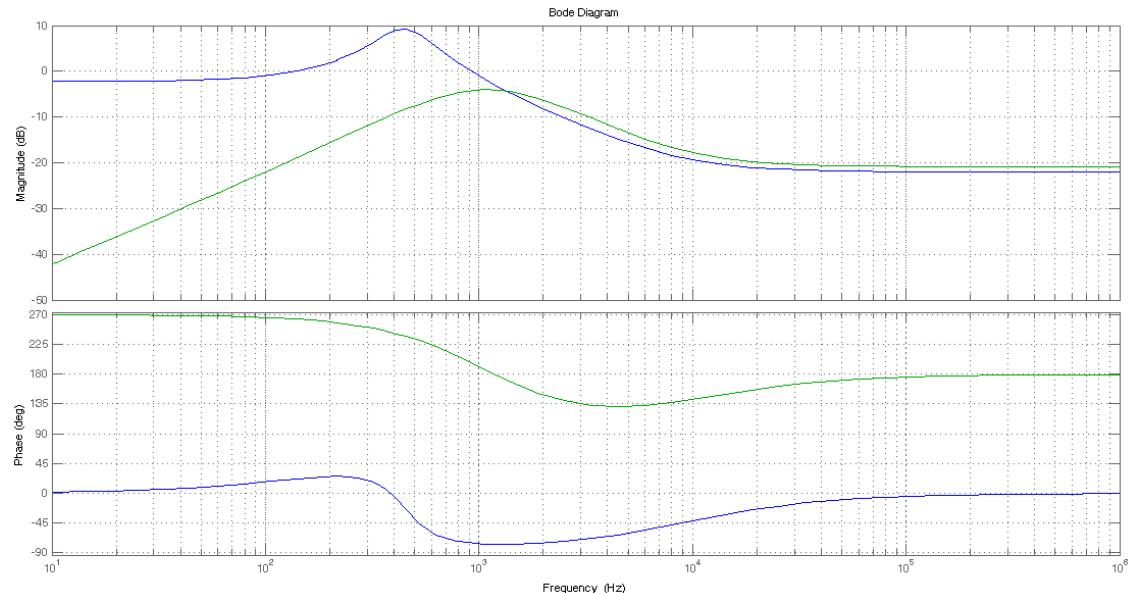


Fig. 62 Diagrama de bode de la impedancia de salida en bucle abierto (azul) y en bucle cerrado (verde)

A partir de la siguiente Fig. 63 se obtiene $f_B=992\text{Hz}$

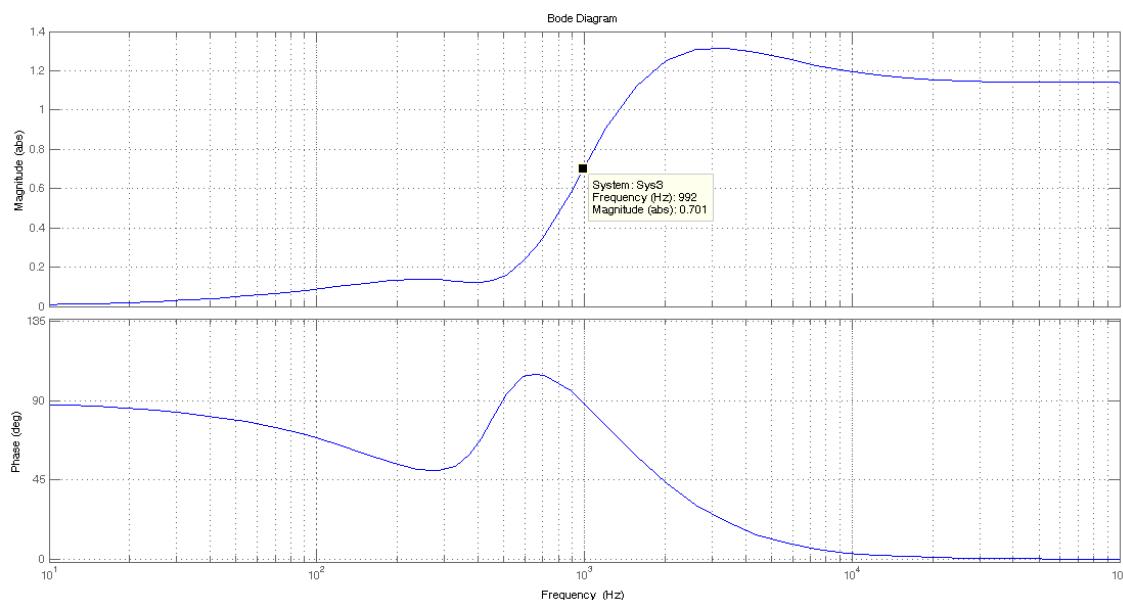


Fig. 63 Diagrama de Bode de la función de sensibilidad S

REG	fc	PM	GM	PO	S inf	Zcl inf	f _B	GcS inf	Ki
Caso4	1.47kHz	55.1	18.3dB	1.12	1.314	0.63267	0.992kHz	7.134	0.013

----- REGULADOR 5 -----

CASO 5 Cálculo del regulador por el método del factor K

$$G_c(s) = \frac{553,47}{s} \frac{(1 + s/2\pi \cdot 150) \cdot (1 + s/2\pi \cdot 500)}{(1 + s/2\pi \cdot 4500)}$$

$$K = 553,47$$

$$w_{z1} = 2\pi \cdot 150$$

$$w_{z2} = 2\pi \cdot 500$$

$$w_p = 2\pi \cdot 4500$$

Con este regulador se obtiene el siguiente diagrama de bode en bucle abierto (Fig. 64):

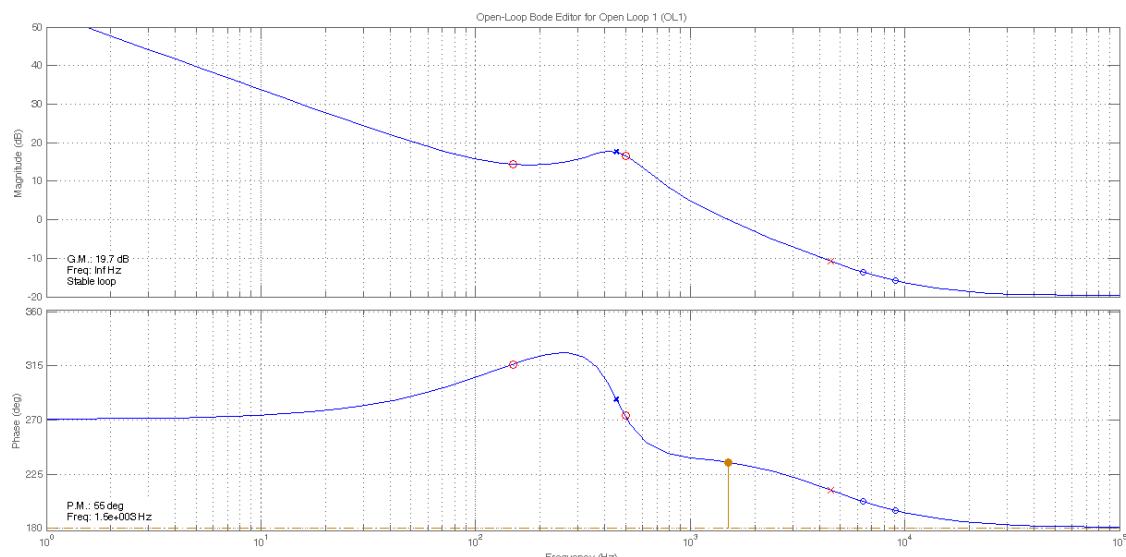


Fig. 64 Diagrama de bode del sistema en bucle abierto, $f_c=1.5\text{kHz}$, $PM=55^\circ$, $GM=19.7 \text{ dB}$

A partir del siguiente script en Matlab y de las gráficas que se obtienen, se calculan el resto de los valores de las funciones de mérito que se enumeraban anteriormente:

```

Sys1=series(Gc3,H*Gp)
Sys2=feedback(Sys1,1)
Sys3=1-Sys2          %Funcion sensibilidad
norm(Sys3,inf)       % |S|inf=1.349378594175179
%
Zo_cl=series(-Zo_ol,Sys3);
norm(Zo_cl,inf)      % |Zcl|inf=0.5926423466203826
bode(Zo_ol,Zo_cl)

[ystep,t]=step(Sys2);
norm(ystep,inf)       % SO=1.087652948866536
bode(Sys3)
Sys4=series(Gc3,Sys3);
norm(Sys4,inf)
%           |Gc*S|inf=5.892249657290878
% Condición de ciclos límite ---- G_o*H*Ki<1
% G_o*H=cte para todos los reguladores   K*Ki<1
% Mejor cuanto menor sea Ki

```

$$Ki = \lim_{z \rightarrow 1} (z - 1) \frac{4.7252(z - 0.9906)(z - 0.969)}{(z - 1)(z - 0.7521)} = 0.00555$$

Tabla 20 Script en Matlab para la obtención de los valores de las funciones de mérito

La siguiente Fig. 65, muestra la impedancia de salida (Zo_{ol} y Zo_{cl}) en bucle abierto y bucle cerrado respectivamente:

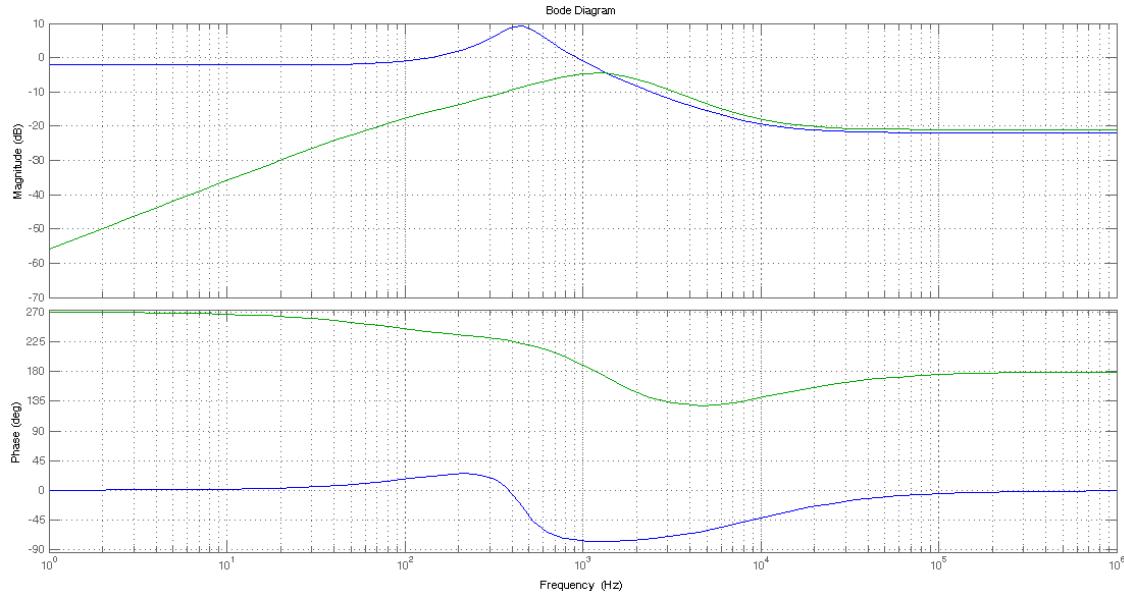


Fig. 65 Diagrama de bode de la impedancia de salida en bucle abierto (azul) y en bucle cerrado (verde)

A partir de la función de sensibilidad, Fig. 66 se obtiene $f_B=1.04\text{kHz}$

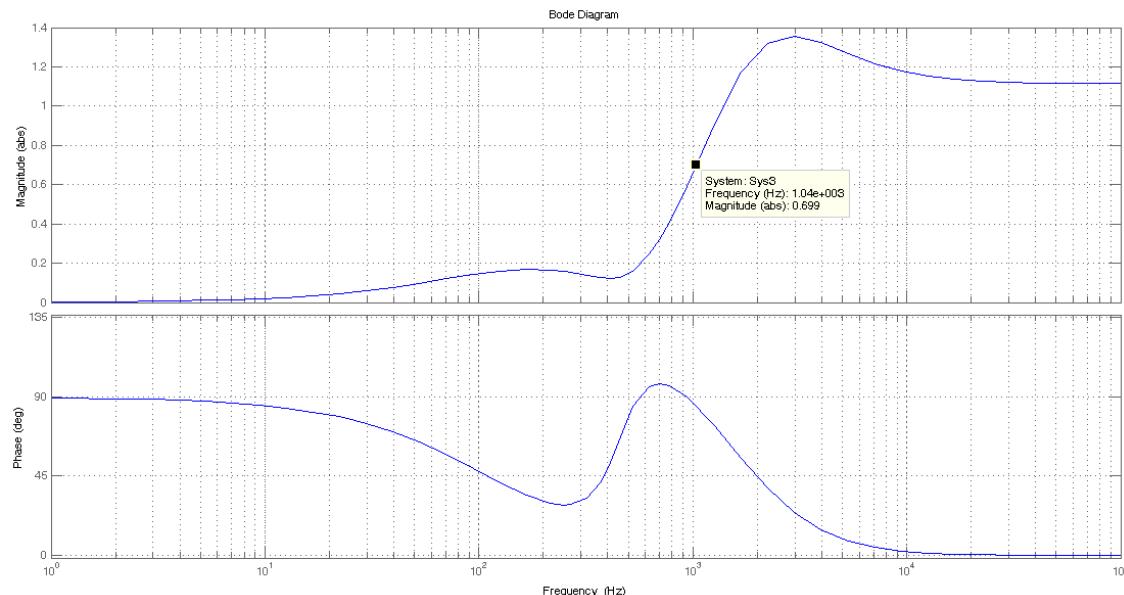


Fig. 66 Diagrama de Bode de la función de sensibilidad S

REG	fc	PM	GM	PO	S inf	Zcl inf	f _B	GcS inf	Ki
Caso5	1.5kHz	55	19.7dB	1.087653	1.35	0.59264	1.04kHz	5.892	0.00555



ANEXO G.- Código en VHDL

Control del ADC

```
-- CONTROL DEL ADC --  
  
-- Máquina de estados del conversor ADC  
process(ESTADO, CONT_CLK, START_ADC, CONT_BIT, REG_DESP, DATA)  
begin  
    ESTADO_SIG<=ESTADO;  
    CONT_BIT_SIG<=CONT_BIT;  
    CONT_CLK_SIG<=CONT_CLK;  
    REG_DESP_SIG<=REG_DESP;  
    case ESTADO is  
        when REPOSO=>  
            SCK<='1';  
            nCS<='1';  
            if (START_ADC='1') then  
                ESTADO_SIG<=LOAD;  
                CONT_BIT_SIG<=(others=>'0');  
                CONT_CLK_SIG<=(others=>'0');  
            end if;  
        when LOAD=>  
            SCK<='1';  
            nCS<='0';  
            ESTADO_SIG<=RDL;  
            CONT_BIT_SIG<=(others=>'0');  
            CONT_CLK_SIG<=(others=>'0');  
        when RDL=>  
            SCK<='0';  
            nCS<='0';  
            if ((CONT_CLK=2) and (CONT_BIT=15)) then  
                ESTADO_SIG<=REPOSO;  
                CONT_BIT_SIG<=(others=>'0');  
                CONT_CLK_SIG<=(others=>'0');  
            elsif (CONT_CLK=2) then  
                ESTADO_SIG<=RDH;  
                CONT_BIT_SIG<=CONT_BIT+1;  
                CONT_CLK_SIG<=(others=>'0');  
            else  
                CONT_CLK_SIG<=CONT_CLK + 1;  
            end if;  
        when RDH=>  
            SCK<='1';  
            nCS<='0';  
            if (CONT_CLK=1) then  
                REG_DESP_SIG<=(REG_DESP(13 downto 0)&DATA);  
                CONT_CLK_SIG<=CONT_CLK + 1;  
            elsif (CONT_CLK=2) then  
                ESTADO_SIG<=RDL;  
                CONT_CLK_SIG<=(others=>'0');  
            else  
                CONT_CLK_SIG<=CONT_CLK + 1;  
            end if;  
    end case;  
end process;
```



DAq<=REG_DESP(11 downto 4);

DA_visualizar<=REG_DESP(11 downto 4);

Tabla 21 Código del protocolo de comunicaciones con el conversor ADC en VHDL sintetizable.

Visualización

```
-- 8-bit binary to 12-bit BCD scaling to 330 and conversion
-- Input: signal DA: std_logic_vector(7 downto 0);
-- Output: signal DO: std_logic_vector(11 downto 0);
process (DA_visualizar)
begin
    case DA_visualizar is
        when "00000000" => DO <= "000000000000";
        when "00000001" => DO <= "000000000001";
        ..... (se hace con los 8 bits)
        ..... 
        when "11111101" => DO <= "001100100110";
        when "11111110" => DO <= "001100100111";
        when others => DO <= "001100110000";
    end case;
end process;

-- Proceso de Conversión de BCD a 7 segmentos
process (valor)
begin
    case valor is
        when "0000" => SSEG <= "0000001";
        when "0001" => SSEG <= "1001111";
        when "0010" => SSEG <= "0010010";
        when "0011" => SSEG <= "0000110";
        when "0100" => SSEG <= "1001100";
        when "0101" => SSEG <= "0100100";
        when "0110" => SSEG <= "0100000";
        when "0111" => SSEG <= "0001111";
        when "1000" => SSEG <= "0000000";
        when "1001" => SSEG <= "0000100";
        when others=> SSEG <= "1111110";
    end case;
end process;
```

----- REPRESENTACION DEL DUTY EN LOS VISUALIZADORES DE 7 SEGMENTOS -----

```
--TIMER visualizadores (1ms)
process (TIMER)
begin
    if (TIMER=49999) then
        TIMER_SIG<=(others=>'0');
        RCO<='1';
    else
        TIMER_SIG<=TIMER+1;
        RCO<='0';
    end if;
end process;
```

---- TIMER de 100 secuencias (100ms)



```
process (TIMER2, RCO)
begin
    if (TIMER2=99 and RCO='1') then
        TIMER2_SIG<=(others=>'0');
    elsif (TIMER2<99 and RCO='1') then
        TIMER2_SIG<=TIMER2+1;
    else
        TIMER2_SIG<=TIMER2;
    end if;
end process;

-- CONTADOR 3 UNIDADES PARA REPRESENTAR EL DATO EN LOS 3 VISUALIZADORES --

process (RCO, VISUAL)
begin
    if (RCO='1' and VISUAL=2) then
        VISUAL_SIG<="00";
    elsif (RCO='1' and VISUAL<2) then
        VISUAL_SIG<=VISUAL+1;
    else
        VISUAL_SIG<=VISUAL;
    end if;
end process;

---- REPRESENTACION DE LOS DIGITOS EN EL VISUALIZADOR CORRESPONDIENTE ----
process (VISUAL, DO)
begin
    if (VISUAL=0) then
        ASEL<="0111";
        valor<=DO(11 downto 8);
        DP<='0';
    elsif (VISUAL=1) then
        ASEL<="1011";
        valor<=DO(7 downto 4);
        DP<='1';
    else
        ASEL<="1101";
        valor<=DO(3 downto 0);
        DP<='1';
    end if;
end process;
```

Tabla 22 Código del bloque de gestión de los visualizadores de 7 segmentos en VHDL sintetizable.

Entradas

```
-- SEÑALES PARA EL FILTRADO DE LOS REBOTES DE LOS PULSADORES

signal enable_cont_rebotes, Q1_SW_HI_LOAD, Q2_SW_HI_LOAD, Q1_SW_CLOSED, Q2_SW_CLOSED: std_logic;
signal flanco_ascendente, flanco_descendente: std_logic;
signal cont_rebotes: std_logic_vector(7 downto 0);--contador módulo 200
signal REGULADOR_OFF, CARGA_BAJA: std_logic;

-----CIRCUITO ANTIREBOTES-----
--Proceso que genera los registros necesarios para procesar los flancos ascendentes y los flancos
--descendentes de los pulsadores SW1 y SW2
process(RST,CLK)
```



```
begin
    if RST='1' then Q1_SW_CLOSED<='0';Q2_SW_CLOSED<='0';Q1_SW_HI_LOAD<='0';Q2_SW_HI_LOAD<='0';
    elsif CLK'event and CLK='1' then
        Q1_SW_CLOSED<=SW_CLOSED;
        Q2_SW_CLOSED<=Q1_SW_CLOSED;
        Q1_SW_HI_LOAD<=SW_HI_LOAD;
        Q2_SW_HI_LOAD<=Q1_SW_HI_LOAD;
    end if;
end process;
flanco_ascendente<=(SW_CLOSED AND(NOT Q1_SW_CLOSED) AND (NOT Q2_SW_CLOSED)) OR (SW_HI_LOAD
AND(NOT Q1_SW_HI_LOAD) AND (NOT Q2_SW_HI_LOAD));
flanco_descendente<=((NOT SW_CLOSED) AND Q1_SW_CLOSED AND Q2_SW_CLOSED) OR ((NOT SW_HI_LOAD) AND
Q1_SW_HI_LOAD AND Q2_SW_HI_LOAD);
--Procesos asociados al contador de 2 milisegundos para evitar los rebotes mecánicos de los pulsadores.
--Puesto que existe un contador de 10us ya implementado, se utiliza éste encadenado a un nuevo contador módulo 200 para
conseguir un contador de 2 ms (200*10us=2ms)
--El contador implementado tendrá un borrado asíncrono que inicializará el contador ante la llegada del primer flanco de rebotes
process(RST,flanco_descendente, flanco_ascendente, cont_rebotes, CLK)
begin
    if RST='1' then cont_rebotes<=conv_std_logic_vector(199,8);
    --en su estado de reposo el contador está en su valor máximo, que es cuando el contador está deshabilitado
    elsif ( (flanco_ascendente='1' OR flanco_descendente='1') AND (cont_rebotes=199) ) then cont_rebotes
    <=(others=>'0');
    --ante la llegada del primer flanco, el contador se borra (borrado asíncrono)
    elsif CLK'event and CLK='1' then
        if (enable_cont_rebotes='1' AND CONT_PWM=499) then
            --si el contador está habilitado y el contador PWM está en su máximo, se incrementa una unidad el contador
            --del tiempo entre rebotes.
            cont_rebotes<=cont_rebotes + 1; --no es necesario poner la asignación de pasar de 199 a 0 porque en 199, en el
            máximo, el contador se deshabilita.
        end if;
    end if;
end process;
--Proceso asociado al registro de la habilitación del contador del tiempo máximo entre rebotes
process(RST, cont_rebotes)
begin
    if RST='1' then enable_cont_rebotes<='0';
    elsif cont_rebotes=199 then enable_cont_rebotes<='0';
    else enable_cont_rebotes<='1';
    end if;
end process;
--Proceso asociado a los registros que finalmente almacenan el estado de los pulsadores mecánicos
--SW1 (SW_CLOSED) y SW2 (SW_HI_LOAD)
process(RST, SW_CLOSED, SW_HI_LOAD, CLK)
begin
    if RST='1' then REGULADOR_OFF<=SW_CLOSED; CARGA_BAJA<=SW_HI_LOAD;
    elsif CLK'event and CLK='1' then
        --si no hay rebotes, entonces compruebo el estado de los pulsadores y almaceno su estado en REGULADOR_OFF (estado
        SW_CLOSED) y en CARGA_BAJA (estado SW_HI_LOAD)
        if (enable_cont_rebotes='0') then
            if (SW_CLOSED='1' AND Q2_SW_CLOSED='1') then REGULADOR_OFF<='1';
            elsif (SW_CLOSED='0' AND Q2_SW_CLOSED='0') then REGULADOR_OFF<='0';
            end if;
            if (SW_HI_LOAD='1' AND Q2_SW_HI_LOAD='1') then CARGA_BAJA<='1';
            elsif (SW_HI_LOAD='0' AND Q2_SW_HI_LOAD='0') then CARGA_BAJA<='0';
            end if;
        end if;
        --si existen rebotes, entonces los valores de estos registros permanecen inalterados, para que los flancos no produzcan efectos
        indeseados en nuestro regulador
    end if;
```



```
    end if;  
end process;
```

Tabla 23 Código del bloque encargado del filtrado de los rebotes de los interruptores y el pulsador en VHDL sintetizable.

PWM

```
-- Generación de la PWM--  
  
process (CONT_PWM)  
begin  
    if (CONT_PWM=499) then  
        CONT_PWM_SIG<=(others=>'0');  
    else  
        CONT_PWM_SIG<=CONT_PWM + 1;  
    end if;  
end process;  
  
-- Generación de la señal de salida G1  
G1<='1' when (CONT_PWM<=DutyC) else '0';
```

Tabla 24 Código del bloque encargado de la generación de la señal PWM en VHDL sintetizable.

Código en VHDL del programa completo

El código completo implementado en la FPGA es el que se muestra a continuación:

```
-----  
-- Company:  
-- Engineer: IGNACIO MACHIN  
--  
-- Create Date: 11:17:39 08/06/2014  
-- Design Name: TFM control del Boost  
-- Module Name: Boost - Behavioral  
-- Project Name:  
-- Target Devices:  
-- Tool versions:  
-- Description:  
--  
-- Dependencies:  
--  
-- Revision:  
-- Revision 0.01 - File Created  
-- Additional Comments:  
--  
-----  
library IEEE;  
use ieee.std_logic_1164.ALL;  
use IEEE.STD_LOGIC_unsigned.ALL;  
use IEEE.STD_LOGIC_arith.ALL;  
  
-- Uncomment the following library declaration if using  
-- arithmetic functions with Signed or Unsigned values  
--use IEEE.NUMERIC_STD.ALL;
```



```
-- Uncomment the following library declaration if instantiating
-- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity Boost is
    Port      (
        CLK : in STD_LOGIC;
        RST : in STD_LOGIC;
        SW_CLOSED : in STD_LOGIC;
        SW_HI_LOAD : in STD_LOGIC;
        DATA : in STD_LOGIC;
        G1 : out STD_LOGIC;
        G2 : out STD_LOGIC;
        SSEG : out STD_LOGIC_VECTOR (6 downto 0);
        DP : out STD_LOGIC;
        ASEL : out STD_LOGIC_VECTOR (3 downto 0);
        SCK : out STD_LOGIC;
        nCS : out STD_LOGIC);
end Boost;

architecture Behavioral of Boost is

type ESTADOS is (REPOSO, LOAD, RDL, RDH);
signal ESTADO, ESTADO_SIG: ESTADOS;
signal REG_DESP, REG_DESP_SIG : std_logic_vector(14 downto 0);
signal START_ADC, RCO: STD_LOGIC;
signal CONT_CLK, CONT_CLK_SIG: std_logic_vector(1 downto 0);
signal VISUAL, VISUAL_SIG: std_logic_vector (1 downto 0);
signal TIMER, TIMER_SIG: std_logic_vector(15 downto 0);
signal TIMER2, TIMER2_SIG: std_logic_vector(6 downto 0);
signal valor: std_logic_vector(3 downto 0);
signal CONT_BIT, CONT_BIT_SIG: std_logic_vector(3 downto 0);
signal DO: std_logic_vector(11 downto 0);
signal DAq : std_logic_vector(7 downto 0);
signal DA_visualizar : std_logic_vector(7 downto 0);
signal REG1, REG2, REG3, REG4, REG5, REG6, REG7, REG8, REG1_sig, REG2_sig, REG3_sig, REG4_sig, REG5_sig,
REG6_sig, REG7_sig, REG8_sig : integer;
signal CONT, CONT_SIG: std_logic_vector (11 downto 0);
signal EN: std_logic;
signal VREFq : std_logic_vector(7 downto 0);

-- COEFICIENTES DEL REGULADOR --
constant B0 : signed(17 downto 0) := conv_signed(49592,18); -- <18,10> 61555
-- B0=48.4301;I=6 <18,10> U=round(48.4301*2^10)=49592;
constant B1 : signed(17 downto 0) := conv_signed(-96492,18); -- <18,10> -96492
-- B1=-94.2305;I=7 <18,10> U=round(-94.2305*2^10)=-96492;
constant B2 : signed(17 downto 0) := conv_signed(46919,18); -- <18,10> 46919
-- B2=45.8197;I=7 <18,10> U=round(45.8197*2^10)=46919;
constant A1 : signed(17 downto 0) := conv_signed(-104183,18); -- <18,16> -104183
-- A1=-1.5897;I=1 <18,16> U=round(-1.5897*2^16)=-104183;
constant mA1 : signed(17 downto 0) := conv_signed(104183,18); -- <18,16>
constant A2 : signed(17 downto 0) := conv_signed(38647,18); -- <18,16> 38647
-- A2=0.5897;I=1 <18,16> U=round(0.5897*2^16)=38647;
constant mA2 : signed(17 downto 0) := conv_signed(-38647,18); -- <18,16> -8067

-- CONSTANTES --
constant duty_BA_24 : signed (31 downto 0) := "00010011101000000000000000000000"; -- DUTY EN BUCLE ABIERTO PARA
CARGA DE 24 OHMIOS
```



```
constant duty_BA_12 : signed (31 downto 0) := "00010011110000000000000000000000"; -- DUTY EN BUCLE ABIERTO PARA
CARGA DE 12 OHMOS

-- SEÑALES
signal CONT_PWM, CONT_PWM_SIG : std_logic_vector (8 downto 0);
signal DutyC, DutyC_sig : std_logic_vector(8 downto 0);
signal Duty_sin_limitar, Duty_sin_limitar_sig : signed(11 downto 0);
signal Verror, Verror_sig, Verror_1, Verror_1_sig, Verror_2, Verror_2_sig : signed(8 downto 0);
signal duty, duty_sig, duty_1, duty_1_sig, duty_2, duty_2_sig : signed(31 downto 0);

-- SEÑALES PARA LA UNIDAD DE ACUMULACION --
signal ACC : signed (56 downto 0);
signal ACC_sig : signed (56 downto 0);

-- SEÑALES PARA EL FILTRADO DE LOS REBOTES DE LOS PULSADORES
signal enable_cont_rebotes, Q1_SW_HI_LOAD, Q2_SW_HI_LOAD, Q1_SW_CLOSED, Q2_SW_CLOSED : std_logic;
signal flanco_ascendente, flanco_descendente : std_logic;
signal cont_rebotes : std_logic_vector(7 downto 0); -- contador módulo 200
signal REGULADOR_OFF, CARGA_BAJA : std_logic;

begin
-----CIRCUITO ANTIREBOTES-----
--Proceso que genera los registros necesarios para procesar los flancos ascendentes y los flancos
--descendentes de los pulsadores SW1 y SW2
process(RST,CLK)
begin
    if RST='1' then Q1_SW_CLOSED<='0';Q2_SW_CLOSED<='0';Q1_SW_HI_LOAD<='0';Q2_SW_HI_LOAD<='0';
    elsif CLK'event and CLK='1' then
        Q1_SW_CLOSED<=SW_CLOSED;
        Q2_SW_CLOSED<=Q1_SW_CLOSED;
        Q1_SW_HI_LOAD<=SW_HI_LOAD;
        Q2_SW_HI_LOAD<=Q1_SW_HI_LOAD;
    end if;
end process;
flanco_ascendente<=(SW_CLOSED AND(NOT Q1_SW_CLOSED) AND (NOT Q2_SW_CLOSED)) OR (SW_HI_LOAD
AND(NOT Q1_SW_HI_LOAD) AND (NOT Q2_SW_HI_LOAD));
flanco_descendente<=((NOT SW_CLOSED) AND Q1_SW_CLOSED AND Q2_SW_CLOSED) OR ((NOT SW_HI_LOAD) AND
Q1_SW_HI_LOAD AND Q2_SW_HI_LOAD);
--Procesos asociados al contador de 2 milisegundos para evitar los rebotes mecánicos de los pulsadores.
--Puesto que existe un contador de 10us ya implementado, se utiliza éste encadenado a un nuevo contador módulo 200 para
conseguir un contador de 2 ms (200*10us=2ms)
--El contador implementado tendrá un borrado asíncrono que inicializará el contador ante la llegada del primer flanco de rebotes
process(RST,flanco_descendente, flanco_ascendente, cont_rebotes, CLK)
begin
    if RST='1' then cont_rebotes<=conv_std_logic_vector(199,8);
    --en su estado de reposo el contador está en su valor máximo, que es cuando el contador está deshabilitado
    elsif ( (flanco_ascendente='1' OR flanco_descendente='1') AND (cont_rebotes=199) ) then cont_rebotes
    <=(others=>'0');
    --ante la llegada del primer flanco, el contador se borra (borrado asíncrono)
    elsif CLK'event and CLK='1' then
        if (enable_cont_rebotes='1' AND CONT_PWM=499) then
            --si el contador está habilitado y el contador PWM está en su máximo, se incrementa una unidad el contador
            --del tiempo entre rebotes.
            cont_rebotes<=cont_rebotes + 1; --no es necesario poner la asignación de pasar de 199 a 0 porque en 199, en el
            --máximo, el contador se deshabilita.
        end if;
    end if;
```



```
end process;  
--Proceso asociado al registro de la habilitación del contador del tiempo máximo entre rebotes  
process(RST, cont_rebotes)  
begin  
    if RST='1' then enable_cont_rebotes<='0';  
    elsif cont_rebotes=199 then enable_cont_rebotes<='0';  
    else enable_cont_rebotes<='1';  
    end if;  
end process;  
--Proceso asociado a los registros que finalmente almacenan el estado de los pulsadores mecánicos  
--SW1 (SW_CLOSED) y SW2 (SW_HI_LOAD)  
process(RST, SW_CLOSED, SW_HI_LOAD, CLK)  
begin  
    if RST='1' then REGULADOR_OFF<=SW_CLOSED; CARGA_BAJA<=SW_HI_LOAD;  
    elsif CLK'event and CLK='1' then  
        --si no hay rebotes, entonces compruebo el estado de los pulsadores y almaceno su estado en REGULADOR_OFF (estado SW_CLOSED) y en CARGA_BAJA (estado SW_HI_LOAD)  
        if (enable_cont_rebotes='0') then  
            if (SW_CLOSED='1' AND Q2_SW_CLOSED='1') then REGULADOR_OFF<='1';  
            elsif (SW_CLOSED='0' AND Q2_SW_CLOSED='0') then REGULADOR_OFF<='0';  
            end if;  
            if (SW_HI_LOAD='1' AND Q2_SW_HI_LOAD='1') then CARGA_BAJA<='1';  
            elsif (SW_HI_LOAD='0' AND Q2_SW_HI_LOAD='0') then CARGA_BAJA<='0';  
            end if;  
        end if;  
        --si existen rebotes, entonces los valores de estos registros permanecen inalterados, para que los flancos no produzcan efectos indeseados en nuestro regulador  
        end if;  
    end if;  
end process;  
  
-- Modelado de los biestables y reset asíncrono  
process(RST,CLK)  
begin  
    if (RST='1') then  
        ESTADO<=REPOSO;  
        CONT_BIT<=(others=>'0');  
        CONT_CLK<=(others=>'0');  
        REG_DESP<=(others=>'0');  
        TIMER<=(others=>'0');  
        TIMER2<=(others=>'0');  
        VISUAL<=(others=>'0');  
        CONT<=(others=>'0');  
        REG1<=0;  
        REG2<=0;  
        REG3<=0;  
        REG4<=0;  
        REG5<=0;  
        REG6<=0;  
        REG7<=0;  
        REG8<=0;  
        Verror<=(others=>'0');  
        Verror_1<=(others=>'0');  
        Verror_2<=(others=>'0');  
        duty<=(others=>'0');  
        duty_1<=(others=>'0');  
        duty_2<=(others=>'0');  
        ACC<=(others=>'0');  
        DutyC<=(others=>'0');  
        Duty_sin_limitar<=(others=>'0');
```



```
CONT_PWM<=(others=>'0');
elsif(CLK'event and CLK='1') then
  ESTADO<=ESTADO_SIG;
  CONT_BIT<=CONT_BIT_SIG;
  CONT_CLK<=CONT_CLK_SIG;
  REG_DESP<=REG_DESP_SIG;
  TIMER<=TIMER_SIG;
  TIMER2<=TIMER2_SIG;
  VISUAL<=VISUAL_SIG;
  CONT<=CONT_SIG;
  REG1<=REG1_sig;
  REG2<=REG2_sig;
  REG3<=REG3_sig;
  REG4<=REG4_sig;
  REG5<=REG5_sig;
  REG6<=REG6_sig;
  REG7<=REG7_sig;
  REG8<=REG8_sig;
  Verror<=Verror_sig;
  Verror_1<=Verror_1_sig;
  Verror_2<=Verror_2_sig;
  duty<=duty_sig;
  duty_1<=duty_1_sig;
  duty_2<=duty_2_sig;
  ACC<=ACC_sig;
  DutyC<=DutyC_sig;
  Duty_sin_limitar<=Duty_sin_limitar_sig;
  CONT_PWM<=CONT_PWM_SIG;
end if;
end process;

-----
-- CONTROL DEL ADC --
-----
-- Maquina de estados del conversor ADC
process(ESTADO, CONT_CLK, START_ADC, CONT_BIT, REG_DESP, DATA)
begin
  ESTADO_SIG<=ESTADO;
  CONT_BIT_SIG<=CONT_BIT;
  CONT_CLK_SIG<=CONT_CLK;
  REG_DESP_SIG<=REG_DESP;
  case ESTADO is
    when REPOSO=>
      SCK<='1';
      nCS<='1';
      if (START_ADC='1') then
        ESTADO_SIG<=LOAD;
        CONT_BIT_SIG<=(others=>'0');
        CONT_CLK_SIG<=(others=>'0');
      end if;
    when LOAD=>
      SCK<='1';
      nCS<='0';
      ESTADO_SIG<=RDL;
      CONT_BIT_SIG<=(others=>'0');
      CONT_CLK_SIG<=(others=>'0');
    when RDL=>
      SCK<='0';
      nCS<='0';
  end case;
end process;
```



```
if ((CONT_CLK=2) and (CONT_BIT=15)) then
    ESTADO_SIG<=REPOSO;
    CONT_BIT_SIG<=(others=>'0');
    CONT_CLK_SIG<=(others=>'0');
elsif (CONT_CLK=2) then
    ESTADO_SIG<=RDH;
    CONT_BIT_SIG<=CONT_BIT+1;
    CONT_CLK_SIG<=(others=>'0');
else
    CONT_CLK_SIG<=CONT_CLK + 1;
end if;
when RDH=>
    SCK<='1';
    nCS<='0';
    if (CONT_CLK=1) then
        REG_DESP_SIG<=(REG_DESP(13 downto 0)&DATA);
        CONT_CLK_SIG<=CONT_CLK + 1;
    elsif (CONT_CLK=2) then
        ESTADO_SIG<=RDL;
        CONT_CLK_SIG<=(others=>'0');

    else
        CONT_CLK_SIG<=CONT_CLK + 1;
    end if;
end case;
end process;

DAq<=REG_DESP(11 downto 4);

DA_visualizar<=REG_DESP(11 downto 4);

-- 8-bit binary to 12-bit BCD scaling to 330 and conversion
-- Input: signal DA: std_logic_vector(7 downto 0);
-- Output: signal DO: std_logic_vector(11 downto 0);
process (DA_visualizar)
begin
    case DA_visualizar is
        when "00000000" => DO <= "000000000000";
        when "00000001" => DO <= "000000000001";
        ..... (se hace con los 8 bits)
        ..... 
        when "11111101" => DO <= "001100100110";
        when "11111110" => DO <= "001100100111";
        when others => DO <= "001100110000";
    end case;
end process;

-- Proceso de Conversión de BCD a 7 segmentos
process (valor)
begin
    case valor is
        when "0000" => SSEG <= "0000001";
        when "0001" => SSEG <= "1001111";
        when "0010" => SSEG <= "0010010";
        when "0011" => SSEG <= "0000110";
        when "0100" => SSEG <= "1001100";
        when "0101" => SSEG <= "0100100";
        when "0110" => SSEG <= "0100000";
        when "0111" => SSEG <= "0001111";
```



```
when "1000" => SSEG <= "0000000";
when "1001" => SSEG <= "0000100";
when others=> SSEG <= "1111110";
end case;
end process;

----- REPRESENTACION DEL DUTY EN LOS VISUALIZADORES DE 7 SEGMENTOS -----

--TIMER visualizadores (1ms)
process (TIMER)
begin
    if (TIMER=49999) then
        TIMER_SIG<=(others=>'0');
        RCO<='1';
    else
        TIMER_SIG<=TIMER+1;
        RCO<='0';
    end if;
end process;

---- TIMER de 100 secuencias (100ms)
process (TIMER2, RCO)
begin
    if (TIMER2=99 and RCO='1') then
        TIMER2_SIG<=(others=>'0');
    elsif (TIMER2<99 and RCO='1') then
        TIMER2_SIG<=TIMER2+1;
    else
        TIMER2_SIG<=TIMER2;
    end if;
end process;

-- CONTADOR 3 UNIDADES PARA REPRESENTAR EL DATO EN LOS 3 VISUALIZADORES --

process (RCO, VISUAL)
begin
    if (RCO='1' and VISUAL=2) then
        VISUAL_SIG<="00";
    elsif (RCO='1' and VISUAL<2) then
        VISUAL_SIG<=VISUAL+1;
    else
        VISUAL_SIG<=VISUAL;
    end if;
end process;

----- REPRESENTACION DE LOS DIGITOS EN EL VISUALIZADOR CORRESPONDIENTE ----
process (VISUAL, DO)
begin
    if (VISUAL=0) then
        ASEL<="0111";
        valor<=DO(11 downto 8);
        DP<='0';
    elsif (VISUAL=1) then
        ASEL<="1011";
        valor<=DO(7 downto 4);
        DP<='1';
    else
        ASEL<="1101";
    end if;
end process;
```



```
valor<=DO(3 downto 0);
DP<='1';
end if;
end process;
-----
-- Desarrollo del regulador --
-----
-- proceso combinacional --
process(CONT_PWM, ACC, DAq, VREFq, Verror, Verror_1, Verror_2, duty, duty_1, duty_2, SW_CLOSED, SW_HI_LOAD)
variable XY_temp1 : signed (26 downto 0):=(others=>'0');
variable XY_temp2 : signed (49 downto 0):=(others=>'0');
begin
    Verror_sig<=Verror;
    Verror_1_sig<=Verror_1;
    Verror_2_sig<=Verror_2;
    duty_sig<=duty;
    duty_1_sig<=duty_1;
    duty_2_sig<=duty_2;
    ACC_sig<=ACC;
    case CONT_PWM is
        when "111101000" => -- 488
            XY_temp1:=(others=>'0');
            XY_temp2:=(others=>'0');
            ACC_sig<=(others=>'0');
            Verror_sig<=signed('0'&VREFq) - signed('0'&DAq); -- resta de 2 números de 8 bits =>9 bits
        when "111101001" => -- 489
            XY_temp1:=B0*Verror;--<18,10>*<9,0>=<27,10>
            ACC_sig<=ACC + (XY_temp1&"00000000000000000000000000000000");--<57,36>+<53,36>=<57,36>
        when "111101010" => -- 490
            XY_temp1:=B1*Verror_1;--<18,10>*<9,0>=<27,10>
            ACC_sig<=ACC + (XY_temp1&"00000000000000000000000000000000");--<57,36>+<53,36>=<57,36>
        when "111101011" => -- 491
            XY_temp1:=B2*Verror_2; -- <18,10>*<9,0>=<27,10>
            ACC_sig<=ACC + (XY_temp1&"00000000000000000000000000000000");--<57,36>+<53,36>=<57,36>
        when "111101100" => -- 492
            XY_temp1:=(others=>'0');
            XY_temp2:=mA1*duty_1; -- <18,16>*<32,20>=<50,36>
            ACC_sig<=ACC + XY_temp2; -- <57,36>+<50,36>=> ACC<57,36>
        when "111101101" => -- 493
            XY_temp2:=mA2*duty_2; -- <18,16>*<32,20>=<50,36>
            ACC_sig<=ACC + XY_temp2; -- <57,36>+<50,36>=> ACC<57,36>
        when "111101110" => -- 494
            XY_temp2:=(others=>'0');
            ACC_sig<=ACC;
            if (SW_CLOSED<='0') then
                if (SW_HI_LOAD<='0') then
                    duty_sig<=duty_BA_24;
                    else
                        duty_sig<=duty_BA_12;
                    end if;
                else
                    if (ACC(56 downto 36)<= -2048) then --- saturar a 12 bits de parte entera

```



```
duty_sig<="100000000000"&ACC(35 downto 16);  
elsif (ACC(56 downto 36)>= 2047) then  
duty_sig<="011111111111"&ACC(35 downto 16);  
else  
duty_sig<=(ACC(47 downto 16));  
end if;  
end if;  
  
when "111101111" => -- 495  
duty_1_sig<=duty;  
duty_2_sig<=duty_1;  
Verror_1_sig<=Verror;  
Verror_2_sig<=Verror_1;  
  
when others=>  
  
end case;  
end process;  
  
Duty_sin_limitar_sig<=(duty(31 downto 20));  
  
-- LIMITACIÓN DEL DUTY A 0.3 (CONT_PWM=150) Y A 0.7 (CONT_PWM=350) --  
  
process (Duty_sin_limitar)  
begin  
if (Duty_sin_limitar<=150) then DutyC_sig<=conv_std_logic_vector(150,9); --"001100100";  
elsif (Duty_sin_limitar>=350) then DutyC_sig<=conv_std_logic_vector(350,9); --"110010000";  
else DutyC_sig<=std_logic_vector(Duty_sin_limitar(8 downto 0));  
end if;  
end process;  
  
-- Generación de la PWM  
process (CONT_PWM)  
begin  
if (CONT_PWM=499) then  
CONT_PWM_SIG<=(others=>'0);  
else  
CONT_PWM_SIG<=CONT_PWM + 1;  
end if;  
end process;  
  
-- Generación Soft Start --  
-- Limitar la tensión de referencia en forma de escalones--  
process(EN, REG1, REG2, REG3, REG4, REG5, REG6, REG7, REG8)  
begin  
if (EN='1') then  
REG1_sig<=194;  
REG2_sig<=REG1;  
REG3_sig<=REG2;  
REG4_sig<=REG3;  
REG5_sig<=REG4;  
REG6_sig<=REG5;  
REG7_sig<=REG6;  
REG8_sig<=REG7;  
else  
REG1_sig<=REG1;  
REG2_sig<=REG2;  
REG3_sig<=REG3;
```



```
REG4_sig<=REG4;
REG5_sig<=REG5;
REG6_sig<=REG6;
REG7_sig<=REG7;
REG8_sig<=REG8;

end if;
end process;

process (CONT)
begin
    if (CONT=3999) then
        CONT_SIG<=(others=>'0');
    else
        CONT_SIG<=CONT + 1;
    end if;
end process;

VREFq<=conv_std_logic_vector(((REG1+REG2+REG3+REG4+REG5+REG6+REG7+REG8)/8),8);

-- Generación de la señal de salida G1
G1<='1' when (CONT_PWM<=DutyC) else '0';

-- Generación de la señal START_ADC inicio del proceso de conversión del dato
START_ADC<='1' when (CONT_PWM=370) else '0';

-- Generación de la señal de salida G2
G2<=CARGA_BAJA;

EN<='1' when (CONT=0) else '0';

end Behavioral;
```

Tabla 25 Código completo del control digital implementado en la FPGA en VHDL sintetizable.



ANEXO H.- Código en VHDL no sintetizable

Planta del convertidor Boost y Etapa de Acondicionamiento

```
-- Constantes de la planta del BOOST --  
  
constant Ts : time := 20 ns; -- periodo de conmutación 20 ns  
constant Vg : real := 5.0;  
constant Vf : real := 0.7; -- tensión de conducción del diodo  
constant R1 : real := 24.0;  
constant R2 : real := 12.0;  
constant L : real := 100.0E-6;  
constant C : real := 220.0E-6;  
constant Re : real := 80.0E-3;  
constant Rl : real := 120.0E-3;  
  
-- constantes para R1=24ohmios  
constant F11_OFF : real := 0.999960044923658; -- constantes matriz discreta Switch OFF  
constant F12_OFF : real := -1.993311899430234e-04;  
constant F21_OFF : real := 9.060508633773790e-05;  
constant F22_OFF : real := 0.999996215682192;  
constant G11_OFF : real := 1.999960047667781e-04;  
constant G21_OFF : real := 9.060574671660074e-09;  
constant C11_OFF : real := 0.079734219269103;  
constant C12_OFF : real := 0.996677740863788;  
  
constant F11_ON : real := 0.999976000287998; -- constantes matriz discreta Switch ON  
constant F12_ON : real := 0.0;  
constant F21_ON : real := 0.0;  
constant F22_ON : real := 0.999996224712653;  
constant G11_ON : real := 1.999976000191999e-04;  
constant G21_ON : real := 0.0;  
constant C11_ON : real := 0.0;  
constant C12_ON : real := 0.996677740863788;  
  
-- constantes para R2=12ohmios  
constant F11_OFF_2 : real := 0.999960097785384; -- constantes matriz discreta Switch OFF  
constant F12_OFF_2 : real := -1.986707856002255e-04;  
constant F21_OFF_2 : real := 9.030490254555708e-05;  
constant F22_OFF_2 : real := 0.999992465470587;  
constant G11_OFF_2 : real := 1.999960100510303e-04;  
constant G21_OFF_2 : real := 9.030561638696569e-09;  
constant C11_OFF_2 : real := 0.079470198675497;  
constant C12_OFF_2 : real := 0.993377483443709;  
  
constant F11_ON_2 : real := 0.999976000287998; -- constantes matriz discreta Switch ON  
constant F12_ON_2 : real := 0.0;  
constant F21_ON_2 : real := 0.0;  
constant F22_ON_2 : real := 0.999992474441321;  
constant G11_ON_2 : real := 1.999976000191999e-04;  
constant G21_ON_2 : real := 0.0;  
constant C11_ON_2 : real := 0.0;  
constant C12_ON_2 : real := 0.993377483443709;  
  
signal Vc : real := 0.0;  
signal II : real := 0.0;  
signal V0 : real := 0.0;  
signal V02 : real := 0.0;
```



process

```
variable Il_aux : real;
variable Vc_aux : real;
variable V0_aux : real;
variable V0_2: real;

begin
wait for Ts;
if (G2='1') then -- R=12ohmios
    if (G1='1') then -- SWITCH ON
        Il_aux:=F11_ON_2*Il + F12_ON_2*Vc + G11_ON_2*Vg;
        Vc_aux:=F21_ON_2*Il + F22_ON_2*Vc + G21_ON_2*Vg;
        V0_aux:=C11_ON_2*Il + C12_ON_2*Vc;
    elsif (G1='0') then -- SWITCH OFF
        Il_aux:=F11_OFF_2*Il + F12_OFF_2*Vc + G11_OFF_2*Vg;
        Vc_aux:=F21_OFF_2*Il + F22_OFF_2*Vc + G21_OFF_2*Vg;
        V0_aux:=C11_OFF_2*Il + C12_OFF_2*Vc;
    end if;
    if (Il_aux<0.0) then -- conducción discontinua
        Il_aux:=0.0;
        Vc_aux:=F22_ON_2*Vc;
        V0_aux:=C12_ON_2*Vc;
    end if;
elsif (G2='0') then -- R=24ohmios
    if (G1='1') then -- SWITCH ON
        Il_aux:=F11_ON*Il + F12_ON*Vc + G11_ON*Vg;
        Vc_aux:=F21_ON*Il + F22_ON*Vc + G21_ON*Vg;
        V0_aux:=C11_ON*Il + C12_ON*Vc;
    elsif (G1='0') then -- SWITCH OFF
        Il_aux:=F11_OFF*Il + F12_OFF*Vc + G11_OFF*Vg;
        Vc_aux:=F21_OFF*Il + F22_OFF*Vc + G21_OFF*Vg;
        V0_aux:=C11_OFF*Il + C12_OFF*Vc;
    end if;
    if (Il_aux<0.0) then -- conducción discontinua
        Il_aux:=0.0;
        Vc_aux:=F22_ON*Vc;
        V0_aux:=C12_ON*Vc;
    end if;
end if;
V0_2:=V0_aux/4.846; --lo dividido por 4.846 para que la amplitud pase de 12V a 2.5V (etapa de acondicionamiento)
Il<=Il_aux;
Vc<=Vc_aux;
V02<=V0_aux;
V0<=V0_2; -- para simulación
end process;
```

Tabla 26 Código en VHDL no sintetizable de la planta del convertidor y la etapa de acondicionamiento implementado en el Test bench.



Conversor ADC:

```
procedure write_serial(signal nCS, SCK: in std_logic; signal DATA: out std_logic) is
    constant VFSM1LSB : real := 3.2992;
    variable DA: std_logic_vector(11 downto 0);
    variable RES : integer;
    variable V0_1 : real;
begin
    DATA <= 'Z';
    wait until nCS'event and nCS='0';
    if (V0 >= VFSM1LSB) then
        V0_1:= VFSM1LSB;
    elsif (V0 <= 0.0) then
        V0_1:= 0.0;
    else
        V0_1:= V0;
    end if;
    RES:=integer(V0_1*((2.0**12) - 1.0)/VFSM1LSB);
    DA:= conv_std_logic_vector(RES, 12);
    for i in 2 downto 0 loop
        wait until SCK'event and SCK='0';
        DATA <= '0';
    end loop;
    for i in 11 downto 0 loop
        wait until SCK'event and SCK='0';
        DATA <= DA(i);
    end loop;
    wait until SCK'event and SCK='0';
    DATA <= 'Z';
end write_serial;

write_serial(nCS, SCK, DATA);
```

Tabla 27 Código en VHDL no sintetizable modelando el comportamiento del conversor ADC implementado en el Test bench.