



## Trabajo Fin de Grado

Medida de corriente y tensión en etapas de potencia para inducción doméstica. Análisis de las alternativas de digitalización

Autor

Félix Gómez Aguaviva

Directores

Isidro Urriza Parroqué  
Alberto Domínguez Vicente

Universidad de Zaragoza / Escuela de Ingeniería y Arquitectura  
2015



**DECLARACIÓN DE  
AUTORÍA Y ORIGINALIDAD**

(Este documento debe acompañar al Trabajo Fin de Grado (TFG)/Trabajo Fin de Máster (TFM) cuando sea depositado para su evaluación).

D./Dª. Félix Gómez Aguaviva,

con nº de DNI 73134978S en aplicación de lo dispuesto en el art.

14 (Derechos de autor) del Acuerdo de 11 de septiembre de 2014, del Consejo de Gobierno, por el que se aprueba el Reglamento de los TFG y TFM de la Universidad de Zaragoza,

Declaro que el presente Trabajo de Fin de (Grado/Máster) Grado, (Título del Trabajo)

Medida de corriente y tensión en etapas de potencia para inducción doméstica. Análisis de las alternativas de digitalización.

es de mi autoría y es original, no habiéndose utilizado fuente sin ser citada debidamente.

Zaragoza, 17 de Noviembre de 2015

Fdo: Félix Gómez Aguaviva

## AGRADECIMIENTOS

No podría dar por concluido este Trabajo Fin de Grado sin dedicar un apartado para mostrar mi agradecimiento hacia todas las personas que me han estado ayudando y apoyando constantemente durante su elaboración.

Especialmente me refiero a Isidro Urriza y Alberto Domínguez, por su implicación, su paciencia, su disponibilidad en todo momento, y por todos los conocimientos que se han esforzado en transmitirme durante todos estos meses. Sin duda su ayuda incondicional ha sido clave en el desarrollo de este trabajo, y es lo que me ha permitido aprender tanto.

Quiero dar también las gracias a mi familia y amigos, por todo el apoyo y afecto demostrado, no sólo desde que comenzó este proyecto. Es a ellos a quien me gustaría dedicarles todo el esfuerzo y trabajo desarrollado, y también, como no, a todos los que sé que estarán siempre ahí.

## RESUMEN

El presente trabajo fin de grado consiste en analizar un método diferente al utilizado actualmente para medir la corriente y tensión en la carga de una etapa de potencia perteneciente a una cocina de inducción, en concreto de un semipuente resonante serie. La correcta medida de estas señales es algo necesario para llevar a cabo un adecuado control de la etapa, además de para asegurar la seguridad del usuario y de los dispositivos en todo momento.

A día de hoy se utilizan conversores  $\Sigma\Delta$  para realizar las medidas, los cuales se quieren sustituir por ADCs de tipo Nyquist integrados dentro de un ASIC. Este cambio permitirá un ahorro de espacio y de costes de producción, y lo que se pretende averiguar con el análisis que se va a llevar a cabo es encontrar unos valores mínimos relativos al número de bits y a la frecuencia de muestreo del ADC que permitan obtener unos resultados comparables con los obtenidos a día de hoy, y a ser posible mejores.

Por otro lado, este análisis se va a aprovechar para poner en marcha la herramienta de simulación mixta Virtuoso® Design Environment de Cadence®, y se elaborará un manual de usuario que sirva como referencia a la hora de aprender a manejar la herramienta para llevar a cabo simulaciones mixtas por parte de futuros usuarios.

Finalmente se obtendrán resultados experimentales con la configuración del ADC elegida, que verifiquen las conclusiones obtenidas en el análisis.

## SUMMARY

This Bachelor's Thesis analyzes a new method for measuring current and voltage in a power stage load, relating to induction heating home appliances. This power stage is a half-bridge, concretely. An accurate measure of these signals is completely necessary to obtain a good control of the power stage. Furthermore, it is also necessary to ensure both the user's and device's safety.

Nowadays,  $\Sigma\Delta$  converters are used in the measurement process. They are going to be replaced by Nyquist ADCs, which will be integrated in an ASIC. This change in the methodology will allow to save room in the design and production costs. The aim of the analysis is finding the minimum values relating to the ADC's number of bits and sampling frequency that get results good enough in comparison to the ones obtained with the actual topology, or even better.

The analysis that is going to be carried out will serve as a way of setting up the mixed signal tool Virtuoso® Design Environment from Cadence®, and a user manual will be made in order to guide future users through the design and simulation process.

Finally, experimental results will be obtained using the ADC configuration chosen in the analysis. These results are intended to verify the analysis conclusions.

# ÍNDICE GENERAL

LISTA DE ACRÓNIMOS .....	7
ÍNDICE DE FIGURAS .....	8
ÍNDICE DE TABLAS .....	11
<b>1. INTRODUCCIÓN .....</b>	<b>12</b>
1.1 EL FENÓMENO FÍSICO DE LA INDUCCIÓN .....	12
1.1.1 APLICACIONES DOMÉSTICAS DE LA INDUCCIÓN.....	13
1.2 MARCO GENERAL DEL PROYECTO .....	15
1.3 OBJETIVOS .....	16
1.4 METODOLOGÍA.....	17
1.4.1 SIMULACIÓN MIXTA.....	19
1.5 CRONOGRAMA DE LAS DIFERENTES FASES DEL PROYECTO .....	20
<b>2. MODELO DE SIMULACIÓN DEL SISTEMA.....</b>	<b>21</b>
2.1 SEÑALES MEDIDAS Y PARÁMETROS A OBTENER .....	24
2.2 MÉTODO ACTUAL DE MEDIDA .....	25
2.3 MÉTODO PROPUESTO .....	31
<b>3. UTILIZACIÓN DE CONVERSORES NYQUIST .....</b>	<b>32</b>
3.1 MODELADO DE LOS CONVERSORES .....	32
3.2 ETAPA DE ADAPTACIÓN DE SEÑALES Y FILTRADO .....	34
3.3 OBTENCIÓN DE MEDIDAS EN SIMULACIÓN .....	35
<b>4. RESULTADOS DE SIMULACIÓN .....</b>	<b>36</b>
4.1 MÉTODO DE ANÁLISIS UTILIZADO .....	38
4.1.1 PARÁMETROS A VARIAR EN LAS SIMULACIONES.....	39
4.1.2 DESCRIPCIÓN DEL PROCESO .....	40
4.2 INFLUENCIA DE LOS DIFERENTES PARÁMETROS .....	42
4.2.1 ERRORES DE CUANTIZACIÓN TEÓRICOS.....	43
4.2.2 ANÁLISIS DE ALTERNATIVAS.....	44
4.3 CONVERSOR ELEGIDO .....	50
<b>5. RESULTADOS EXPERIMENTALES .....</b>	<b>53</b>
<b>6. CONCLUSIONES OBTENIDAS .....</b>	<b>56</b>
6.1 LÍNEAS FUTURAS .....	57
<b>7. REFERENCIAS .....</b>	<b>58</b>
7.1 REFERENCIAS DE FIGURAS .....	59
<b>ANEXOS .....</b>	<b>60</b>
ANEXO A: CONVERSORES A/D .....	61
1. CONVERSORES QUE NO UTILIZAN SOBREMUESTREO .....	61

2. CONVERSORES QUE UTILIZAN SOBREMUESTREO .....	64
<b>ANEXO B: CÁLCULOS UTILIZADOS EN DISEÑO Y SIMULACIÓN .....</b>	<b>67</b>
1. FRECUENCIA DE RESONANCIA DE LA ETAPA.....	67
2. GANANCIAS DE LAS ETAPAS DE LOS CONVERSORES $\Sigma-\Delta$ .....	67
3. GANANCIAS DE LAS ETAPAS PREVIAS DE LOS ADC NYQUIST .....	68
4. FILTRO RC.....	70
<b>ANEXO C: PROCEDIMIENTO DE CÁLCULO DE LA INCERTIDUMBRE DEL ADC .....</b>	<b>71</b>
<b>ANEXO D: MANUAL DE UTILIZACIÓN DE LA HERRAMIENTA DE SIMULACIÓN .....</b>	<b>73</b>
INTRODUCCIÓN.....	73
OBJETIVOS .....	73
LIBRARY MANAGER .....	74
CREACIÓN DE UN ESQUEMÁTICO .....	75
GENERACIÓN DEL SÍMBOLO DE UNA CELDA .....	78
GENERACIÓN DEL <i>TEST-BENCH</i> .....	80
IMPORTACIÓN DE BLOQUES EN VHDL.....	81
PERSONALIZACIÓN DEL DISEÑO.....	85
CONFIGURACIÓN DEL ENTORNO DE SIMULACIÓN. CREACIÓN DE UN NUEVO TEST .....	85
CONFIGURACIÓN DEL ENTORNO DE SIMULACIÓN. DEFINICIÓN DE REGLAS DE CONEXIÓN.....	89
UTILIZACIÓN DEL ENTORNO DE SIMULACIÓN.....	91
ANEXO 1: MÉTODOS ABREVIADOS DE TECLADO ÚTILES EN SCHEMATIC XL EDITING .....	98
ANEXO 2: CÓDIGO VHDL DE LOS BLOQUES UTILIZADOS EN EL EJEMPLO .....	99
<b>ANEXO E: BLOQUES MODELADOS EN VHDL UTILIZADOS EN EL PROTOTIPO .....</b>	<b>102</b>

## LISTA DE ACRÓNIMOS

- ADC: Conversor Analógico Digital  
ASIC: Application Specific Integrated Circuit  
CA: Corriente alterna  
CC: Corriente continua  
CIC: Cascade Integrator Comb  
CSV: Comma-separated values  
DAC: Conversor Digital Analógico  
 $f_c$ : Frecuencia de corte  
**FdT**: Función de Transferencia  
**fem**: Fuerza electromotriz  
FFT: Fast Fourier Transform  
FPGA: Field Programmable Gate Array  
 $f_s$ : Frecuencia de muestreo  
IC: Intervalo de confianza  
 $I_L$ : Corriente por la carga  
 $L_{eq}$ : Inductancia equivalente  
 $P_{ABS}$ : Potencia instantánea absorbida  
PCB: Printed circuit board  
 $R_{eq}$ : Resistencia equivalente  
RMS: Root-mean-square  
 $\Sigma-\Delta$ : Sigma-Delta  
 $V_{BUS}$ : Tensión de bus

## ÍNDICE DE FIGURAS

Figura 1. Ciclo de histéresis de un material ferromagnético .....	12
Figura 2. Ejemplo visual de que el calor se genera sobre la base del recipiente .....	13
Figura 3. Tipología de inversor más utilizada: Semipuente resonante serie .....	14
Figura 4. Modelo circuital del conjunto inductor-recipiente.....	14
Figura 5. Principales bloques que componen una cocina de inducción .....	15
Figura 6. Herramienta de simulación elegida .....	17
Figura 7. Cronograma del proyecto.....	20
Figura 8. Bloques componentes del modelo de simulación al completo .....	21
Figura 9. Modelo del semipuente resonante serie utilizado en la simulación .....	22
Figura 10. Esquema representativo de la etapa de potencia completa.....	22
Figura 11. Señales de disparo de los interruptores utilizadas.....	23
Figura 12. Forma de onda de la corriente que circula por la carga a 35 kHz .....	25
Figura 13. Forma de onda de la tensión de bus .....	25
Figura 14. Bloques que componen el modulador de un conversor Σ-Δ de primer orden.....	26
Figura 15. Parte analógica del conversor Σ-Δ de corriente utilizado en simulación .....	27
Figura 16. Señal analógica de entrada y salida del comparador del modulador de corriente .....	28
Figura 17. Modulador del conversor Σ-Δ de tensión utilizado en simulación .....	28
Figura 18. Bloques de la parte digital de los conversores Σ-Δ de corriente (a) y tensión (b).....	30
Figura 19. Comparación de la forma de onda obtenida con el conversor Σ-Δ de corriente.....	30
Figura 20. Comparación de la forma de onda obtenida con el conversor Σ-Δ de tensión .....	31
Figura 21. Bloques de los ADC de corriente de 8 y 10 bits .....	32
Figura 22. Función de transferencia del conversor modelado .....	33
Figura 23. Representación de la FdT del ADC modelado .....	33
Figura 24. Etapa de atenuación y filtrado de la señal de entrada del ADC de corriente .....	34
Figura 25. Etapa de atenuación y filtrado de la señal de entrada del ADC de tensión .....	34
Figura 26. Comparación de la forma de onda obtenida con el ADC de corriente.....	35
Figura 27. Comparación de la forma de onda obtenida con el ADC de tensión.....	35
Figura 28. Bloque encargado de calcular la potencia instantánea absorbida por la etapa .....	36
Figura 29. Bloques generadores de las frecuencias de reloj utilizadas en el diseño .....	36
Figura 30. Esquema representativo del procedimiento utilizado .....	37
Figura 31. Ventana de resultados del entorno de simulación ADE XL.....	38
Figura 32. Tareas desarrolladas por el programa implementado en Matlab ® .....	41
Figura 33. Error en la medida de $I_{L\text{ peak}}$ para cada configuración (noise = 10 %, D = 0.5) .....	49

Figura 34. Error en la medida de $I_{L\text{ RMS}}$ para cada configuración (noise = 2 %, D = 0.5) .....	49
Figura 35. Error en la medida del valor de pico de $I_L$ para varios valores de ruido .....	50
Figura 36. Error en la medida del valor RMS de $I_L$ para varios valores de ruido.....	50
Figura 37. Diagrama de incertidumbre para las medidas del valor de pico (8 bits, 1 MHz) .....	51
Figura 38. Diagrama de incertidumbre para las medidas del valor RMS (8 bits, 1 MHz).....	52
Figura 39. Bloques componentes del sistema de medida utilizado .....	53
Figura 40. Protocolo serie de comunicación con el AD7356.....	54
Figura 41. Máquina de estados implementada para el protocolo SPI del AD7356 .....	54
Figura 42. Datos obtenidos experimentalmente muestreando a 1 y 5 MHz, respectivamente .....	55
Figura 43. Símbolo genérico de un ADC .....	61
Figura 44. Bloques que componen la arquitectura de aproximaciones sucesivas de un ADC .....	62
Figura 45. Componentes de la arquitectura flash de un ADC.....	63
Figura 46. Bloques que componen la arquitectura Two Step de un ADC .....	63
Figura 47. Bloques que componen la arquitectura Pipeline de un ADC.....	63
Figura 48. Bloques que componen un conversor $\Sigma-\Delta$ .....	64
Figura 49. Bloques que componen el modulador de un conversor $\Sigma-\Delta$ de primer orden.....	64
Figura 50. Efecto del "noise shaping" en el espectro frecuencial de la señal.....	65
Figura 51. Espectro frecuencial de la señal de salida tras el filtrado (Línea discontinua) .....	65
Figura 52. Ruido de cuantización en función del orden del modulador de un conversor $\Sigma-\Delta$ .....	66
Figura 53. Formas de onda en la salida de cada elemento que forma el conversor $\Sigma-\Delta$ .....	66
Figura 54. Etapa de captación de la señal de entrada del conversor $\Sigma-\Delta$ de corriente .....	67
Figura 55. Etapa de atenuación y filtrado de la señal de entrada del ADC de corriente .....	68
Figura 56. Etapa de atenuación y filtrado de la señal de entrada del ADC de tensión .....	69
Figura 57. Filtro RC.....	70
Figura 58. Command Interpreter Window (CIW) .....	74
Figura 59. Library Manager.....	74
Figura 60. Creación de una nueva celda.....	76
Figura 61. Añadir un componente a un esquemático .....	77
Figura 62. Añadir un pin a un esquemático .....	77
Figura 63. Información mostrada en la ventana CIW.....	77
Figura 64. Esquemático del modulador de un conversor $\Sigma-\Delta$ .....	78
Figura 65. Creación de una nueva representación de una celda .....	78
Figura 66. Orden y posición de los pines de un símbolo .....	79
Figura 67. Representación symbol del modulador de un conversor $\Sigma-\Delta$ .....	79
Figura 68. Test-bench de nuestro diseño .....	80

Figura 69. Ventana VHDL Import .....	82
Figura 70. Generación del símbolo de un archivo importado .....	82
Figura 71. Orden y posición de los pines de entrada y salida .....	83
Figura 72. Creación del tipo de representación config .....	83
Figura 73. Ventana de configuración de la view de tipo config.....	84
Figura 74. Hierarchy Editor.....	84
Figura 75. Ventana de bienvenida de ADE XL.....	86
Figura 76. Editor de tests.....	86
Figura 77. Selección del tipo de análisis y del tiempo de simulación. ....	87
Figura 78. Selección de señales a visualizar en la simulación.....	88
Figura 79. Crear rango de valores para una variable.....	88
Figura 80. Definición de las reglas de conexión .....	89
Figura 81. Configuración de Netlist and Run Options .....	90
Figura 82. Salidas que van a ser visualizadas como resultado de la simulación .....	91
Figura 83. Resultados de simulación.....	92
Figura 84. Formas de onda de las señales de entrada y salida (fr = 600 Hz y 1 kHz).....	93
Figura 85. Calculadora del entorno de simulación .....	94
Figura 86. Ventana de configuración de la FFT .....	94
Figura 87. Espectro frecuencial de la señal de salida del conversor (1 kHz).....	95
Figura 88. Asistente de importación de datos a una hoja de cálculo. Paso 1 .....	96
Figura 89. Asistente de importación de datos a una hoja de cálculo. Paso 2.....	97
Figura 90. Asistente de importación de datos a una hoja de cálculo. Paso 3.....	97

## ÍNDICE DE TABLAS

Tabla 1. Parámetros obtenidos en simulación para cada señal.....	24
Tabla 2. Ecuaciones de los filtros implementados.....	29
Tabla 3. Ejemplo de tabla utilizada para almacenar los resultados de una simulación .....	39
Tabla 4. Configuraciones comparadas en cada una de las condiciones de operación .....	40
Tabla 5. Resultados de una simulación completa ( $D = 0.3$ ).....	45
Tabla 6. Resultados de una simulación completa ( $D = 0.5$ ).....	45
Tabla 7. Errores relativos en la medida del valor de pico de $I_L$ ( $D = 0.3$ ).....	46
Tabla 8. Errores relativos en la medida del valor RMS de $I_L$ ( $D = 0.3$ ) .....	46
Tabla 9. Errores relativos en la medida del valor de pico de $I_L$ ( $D = 0.5$ ).....	46
Tabla 10. Errores relativos en la medida del valor RMS de $I_L$ ( $D = 0.5$ ).....	46
Tabla 11. Intervalos en los que se mueven los errores relativos en función del ADC ( $D = 0.3$ ) .....	47
Tabla 12. Intervalos en los que se mueven los errores relativos en función del ADC ( $D = 0.5$ ) .....	47
Tabla 13. Errores relativos cometidos por un ADC de 8 bits a 1 MHz de $f_s$ .....	48
Tabla 14. Errores relativos cometidos por un ADC de 10 bits a 1 MHz de $f_s$ .....	48
Tabla 15. Errores relativos cometidos por un ADC de 8 bits a 8 MHz de $f_s$ .....	48
Tabla 16. Elementos necesarios para nuestro diseño .....	76
Tabla 17. Características de la señal de entrada del test-bench.....	80

# 1. INTRODUCCIÓN

En este primer apartado del presente Trabajo Fin de Grado se va a realizar una presentación del trabajo desarrollado, contextualizándolo y explicando sus objetivos y la metodología utilizada para alcanzarlos. Así mismo, se hace un pequeño análisis del fenómeno de la inducción, el cual tiene una conexión directa con el contenido del proyecto.

## 1.1 EL FENÓMENO FÍSICO DE LA INDUCCIÓN

El fenómeno de la inducción electromagnética se basa en la *Ley de Faraday*, que relaciona la fuerza electromotriz (fem) inducida con el flujo magnético variable en cualquier espira [1]. Es de especial interés el fenómeno del calentamiento por inducción, capaz de calentar una superficie sin que haya contacto alguno con ella. Este hecho ofrece una gran variedad de aplicaciones en ámbitos como el industrial, la biomedicina o el doméstico.

El calentamiento por inducción se debe a los siguientes fenómenos físicos:

### Corrientes de Foucault, o corrientes inducidas

Cuando un material conductor se ve sometido a un campo magnético variable se inducen en él corrientes que tienden a contrarrestar el efecto de dicho campo magnético creando otro de sentido contrario. Debido a la resistencia que ofrece dicho material, estas corrientes inducidas generan pérdidas por *Efecto Joule*, calentándolo.

### Histéresis magnética

En un material ferromagnético, la relación entre magnetización y el campo magnético que se le está aplicando es diferente cuando el campo aumenta que cuando disminuye. Cuando se deja de aplicar el campo sobre el material, permanece cierta magnetización en él. Para reducir esta magnetización a cero se requiere aplicar un campo magnético en la dirección inversa.

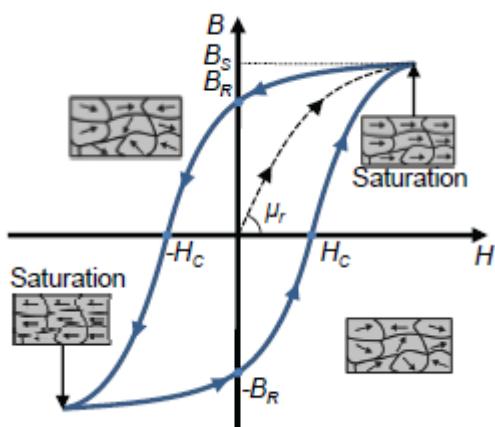


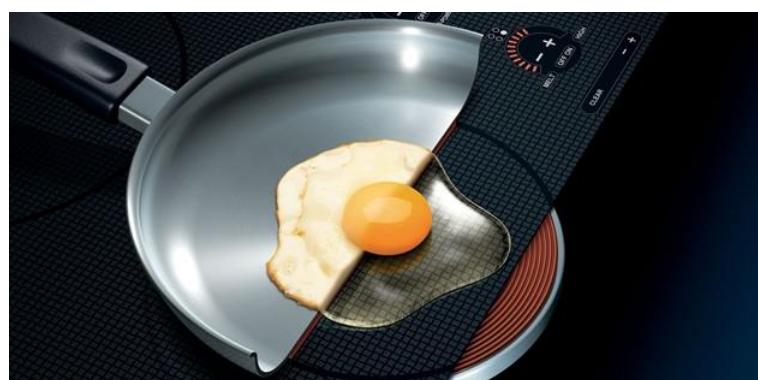
Figura 1. Ciclo de histéresis de un material ferromagnético

Este comportamiento se denomina histéresis. La magnetización y desmagnetización de un material ferromagnético supone una disipación de energía que hace que el material se caliente [1].

### 1.1.1 APPLICACIONES DOMÉSTICAS DE LA INDUCCIÓN

Centrándonos en la aplicación doméstica del calentamiento por inducción, tenemos que hablar de las cocinas de inducción. Su principio básico de funcionamiento consiste en generar un campo magnético variable sobre un recipiente, el cual debe ser ferromagnético, de manera que este se caliente según el fenómeno del calentamiento por inducción descrito en el anterior apartado.

Esto supone una ventaja frente al resto de cocinas tradicionales ya que el calor se genera directamente sobre la base del recipiente, haciendo que este tipo de cocinas sean más eficientes, más rápidas, y más seguras, ya que la temperatura del cristal de la vitrocerámica aumenta solamente debido al calor transferido por la base del recipiente [2].



*Figura 2. Ejemplo visual de que el calor se genera sobre la base del recipiente*

La forma de generar este campo magnético es mediante unas bobinas planas en forma de espiral hechas de material conductor, generalmente cobre, por las que se hace circular una corriente alterna (CA) a una frecuencia que está en el rango de los 30 kHz a 80 kHz.

Esta corriente se obtiene por medio de una etapa de potencia, la cual se encarga de rectificar en doble onda la tensión de la red eléctrica mediante un rectificador de corriente alterna-corriente continua (CA-CC), y después genera dicha CA por medio de un inversor que actúa como convertidor CC-CA comutando la tensión que se le aplica a la carga. Existen diversas tipologías de inversores, pero en la actualidad la más utilizada en aplicaciones de inducción doméstica es la de semipuente resonante serie. Esta tipología, debido a su robustez y sencillez cumple perfectamente con los requerimientos de la aplicación asumiendo un coste aceptable [2].

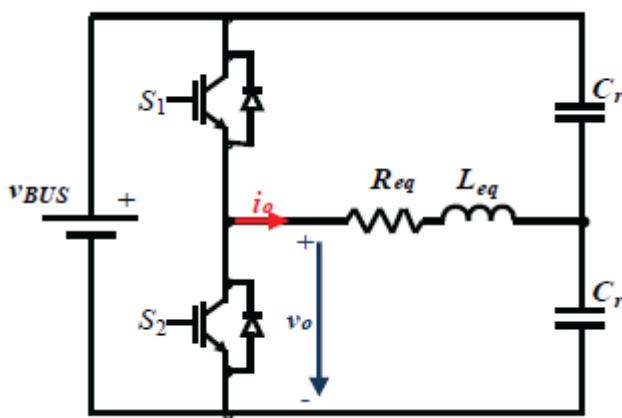


Figura 3. Tipología de inversor más utilizada: Semipuente resonante serie

El conjunto inductor-recipiente actúa como carga de la etapa de potencia. Como una aproximación de primer orden, se puede modelar mediante un circuito equivalente formado por una resistencia equivalente ( $R_{eq}$ ) y una inductancia equivalente ( $L_{eq}$ ) conectadas en serie [3].

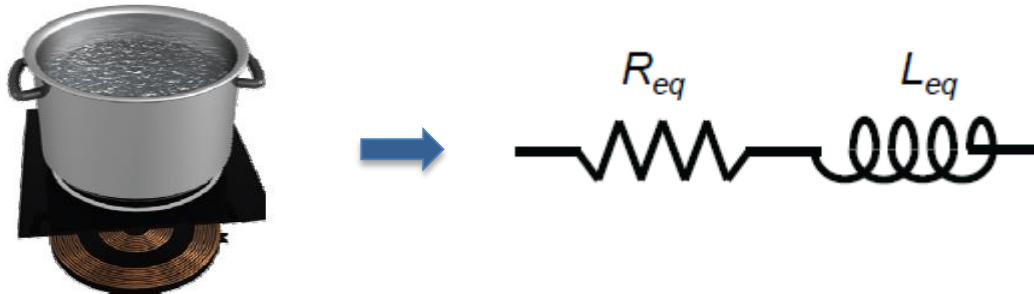


Figura 4. Modelo circuital del conjunto inductor-recipiente

Por último falta hablar del sistema de control. Por un lado, se encarga de llevar a cabo el control del inversor variando su frecuencia de conmutación, para de esta manera aplicar la potencia necesaria a la carga en función del nivel de potencia seleccionado por el usuario.

Por otro lado, para realizar adecuadamente este control, es necesario medir la tensión y corriente que se está aplicando a la carga, y de esta manera conocer la potencia que se está entregando. Esto también se lleva a cabo por el sistema de control. Además de para realizar un adecuado control de la etapa, la toma de medidas es una forma de incluir medidas de seguridad y protección, tanto para el usuario como para los componentes.

Es en este punto en el que nos vamos a centrar en el presente Trabajo Fin de Grado. Concretamente, en conocer las características del sistema de medida que hacen que esas medidas sean suficientemente precisas.

A modo de resumen de todo lo anteriormente expuesto, en la siguiente imagen podemos ver los principales bloques que componen una cocina de inducción, y la conversión que sufren las señales a medida que pasan a través de ellos:

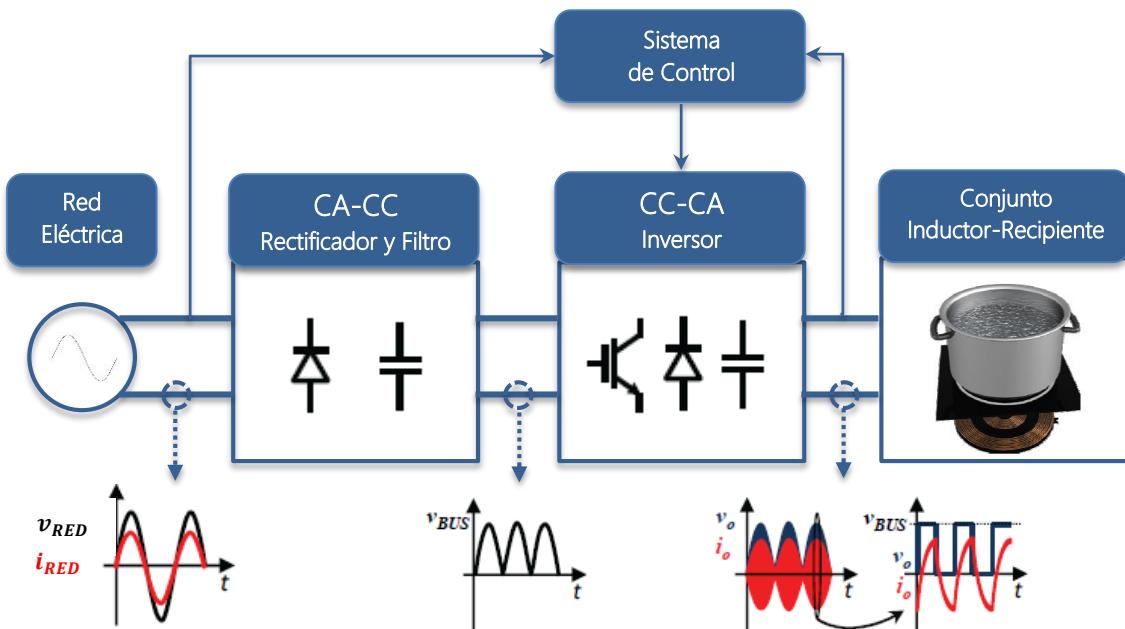


Figura 5. Principales bloques que componen una cocina de inducción

## 1.2 MARCO GENERAL DEL PROYECTO

El presente Trabajo Fin de Grado se enmarca dentro de la parte dedicada al control digital de la línea de investigación llevada a cabo por el Grupo de Electrónica de Potencia y Microelectrónica (GEPM) de la Universidad de Zaragoza, en el campo del calentamiento por inducción doméstico.

El proyecto se centra en encontrar una manera de medir de forma suficientemente precisa las diferentes señales de tensión y corriente que se aplican al inductor de una cocina de inducción. Se pretende que la nueva estrategia de medida proporcione mejores resultados que la utilizada actualmente, y además con ello se conseguirá un ahorro tanto de espacio como de costes de producción.

Es de vital importancia realizar unas correctas medidas de las correspondientes señales de la carga del sistema que estamos tratando, de manera que los datos obtenidos se puedan utilizar para realimentar el bucle de control y este se lleve a cabo de forma adecuada y se pueda adaptar a los cambios del sistema. La carga del sistema cambiará en función de múltiples factores, como el recipiente utilizado, su forma, su temperatura, su alineación con el inductor, etc. Por este motivo es absolutamente necesario que las medidas sean fieles a la realidad para poder controlar el sistema.

Además de para un correcto control de la etapa, la corrección en las medidas cobra importancia por temas de seguridad, ya que son necesarias para detectar una situación anómala que pueda ser peligrosa, tanto para el usuario, de manera que no se pueda ver expuesto en ningún momento a una situación peligrosa, como para el correcto estado de los dispositivos.

Este análisis estará complementado con la puesta en marcha de una herramienta de simulación mixta, de manera que ambas tareas se llevarán a cabo en paralelo. El análisis desarrollado se utilizará como una manera de conocer la herramienta y descubrir los usos que se le pueden dar a su gran cantidad de funcionalidades.

El escenario del que se parte es un semipuente resonante serie, que como se ha comentado anteriormente es la topología de inversor más utilizada actualmente. La alternativa propuesta es medir tensión y corriente en la carga utilizando conversores analógico digitales (ADC) Nyquist, en lugar de por el método actual, que se basa en conversores sigma-delta ( $\Sigma-\Delta$ ).

En posteriores apartados de la memoria se explicarán más detalladamente estas cuestiones.

- El capítulo 2 habla sobre el modelo de simulación utilizado como punto de partida del análisis, incluyendo el método actual de medida y el propuesto.
- En el capítulo 3 se desarrolla el modelo de la alternativa propuesta.
- En el capítulo 4 se explica el análisis llevado a cabo, así como los resultados obtenidos.
- En el capítulo 5 se exponen los resultados experimentales conseguidos.
- En el capítulo 6 se resumen las conclusiones obtenidas a lo largo del análisis, y se comentan las futuras líneas de trabajo sobre las que se podría seguir investigando.
- En los Anexos se incluye el manual de usuario de la herramienta de simulación que se ha elaborado, además de otros apartados que pueden ser interesantes para una correcta comprensión de algunos conceptos desarrollados durante la memoria.

### 1.3 OBJETIVOS

A continuación se exponen los objetivos del proyecto:

- Creación de un modelo de simulación de la medida de corriente y tensión con un ADC Nyquist, que permita analizar la exactitud de las medidas en función de los parámetros del conversor (Frecuencia de muestreo y número de bits).
- Selección de los parámetros más adecuados del ADC, el cual irá integrado dentro de un circuito integrado de aplicación específica (Application Specific Integrated Circuit o ASIC). Como especificación, el número de bits a comparar será de 8, 10 y 12, ya que son los conversores más habituales que se suelen integrar.
- Comparativa con la precisión obtenida respecto al método actual de medida, utilizando conversores  $\Sigma-\Delta$ .
- Obtención de resultados experimentales mediante implementación en lenguaje VHDL sintetizable del cálculo de parámetros de las señales con los datos medidos.
- Puesta en marcha de una herramienta de simulación mixta utilizada para realizar el análisis, y elaboración de un manual de usuario de la misma.

La elaboración de un manual de usuario de la herramienta de simulación utilizada se incluye como un objetivo más del Trabajo Fin de Grado, con la intención de que sirva como punto de partida para futuros usuarios de la herramienta.

A través de este manual se pueden comprender ciertos aspectos característicos que tiene la herramienta, y se explica la forma de operar con ella, elaborar un diseño desde cero y cómo proceder a su simulación y visualización de resultados. En definitiva, se habla de los aspectos que se consideran más importantes para aprovechar al máximo sus recursos y exprimir todas las posibilidades que ofrece, ya que si bien no es un programa tan sencillo de utilizar de primeras como otros, sus funcionalidades lo hacen un entorno muy interesante de aprender a manejar.

Este manual se incluye al final del documento, en el apartado de Anexos. A partir de este momento, cada vez que se hable en la memoria sobre algún aspecto que requiera haberse hecho a través de la herramienta se hará una referencia al apartado del manual en el que se habla sobre cómo realizar dicha acción.

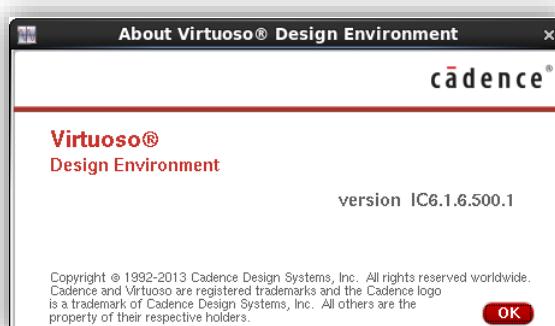
## 1.4 METODOLOGÍA

La forma de abordar la problemática que se pretende resolver en este Trabajo Fin de Grado es principalmente mediante simulación. Se va a comparar la resolución obtenida midiendo la tensión y la corriente en la carga de un semipuente resonante serie, por un lado con un conversor  $\Sigma\text{-}\Delta$ , y por otro con un ADC Nyquist.

Para ello, se introducirán los modelos de ambos conversores en la herramienta seleccionada, así como de la etapa de potencia que estamos tratando, con el fin de obtener resultados numéricos que se puedan comparar entre sí como resultado de la simulación.

Los parámetros básicos que se van a tener en cuenta para caracterizar el comportamiento del ADC Nyquist son la frecuencia de muestreo a la que trabaja, y el número de bits del dato que el ADC devuelve como fruto de la conversión. Estas son las variables de nuestro trabajo, que consistirá en encontrar los valores mínimos de ambas que proporcionen unos resultados suficientemente precisos, y apreciablemente mejores que los obtenidos mediante el conversor  $\Sigma\text{-}\Delta$ .

La herramienta seleccionada para realizar las simulaciones es el Virtuoso® Design Environment de Cadence®, en concreto la versión 6.1.



*Figura 6. Herramienta de simulación elegida*

El motivo por el cual se eligió dicha herramienta en concreto es porque permite llevar a cabo simulaciones mixtas. Una simulación mixta consiste en una simulación conjunta de un diseño que contiene tanto partes analógicas como digitales interconectadas entre sí.

Nuestro diseño está formado por una parte analógica y una parte digital que debemos interconectar para modelar de una manera fiel el sistema que queremos simular.

La parte analógica del diseño consta de la etapa de potencia del semipuente resonante serie, las etapas de adaptación de la señal que entra a los conversores, que se debe ajustar a un rango concreto, y parte de las etapas de los conversores  $\Sigma\text{-}\Delta$ .

A su vez la parte digital está formada por los modelos de los conversores Nyquist, la parte digital de los conversores  $\Sigma\text{-}\Delta$ , el reloj del sistema, y un bloque utilizado para calcular la potencia instantánea absorbida por la etapa. En definitiva, la parte digital está formada por todos los bloques que se han diseñado en lenguaje VHDL y se han introducido en el diseño. Sobre todos ellos se hablará más detenidamente en posteriores apartados de la memoria.

Una vez introducido todo el diseño en la herramienta, se aprovecharon sus posibilidades para configurar un perfil de simulación que nos devolviera además de las ondas de las señales simuladas (Corriente por la carga ( $I_L$ ), tensión de bus ( $V_{BUS}$ ) y potencia instantánea absorbida por la etapa), valores de ciertos parámetros de estas señales.

Estos parámetros son el valor máximo, o valor de pico de cada señal, su valor medio, y su valor root-mean-square (RMS). En el [apartado 2.1](#) se habla sobre los parámetros obtenidos para cada señal.

Cada simulación se realizó para el rango de frecuencias comprendido entre 35 kHz y 80 kHz, a intervalos de 5 kHz.

Era necesario encontrar la manera de comparar los datos entre sí para poder darle un significado a los datos obtenidos como resultado de la simulación y obtener conclusiones. Por ello, una vez finalizada la simulación, los datos eran importados para ser leídos mediante un programa creado en Matlab®, el cual organiza los datos de simulación en una hoja de cálculo, de manera que su compresión resulte más directa y visual. Este mismo programa se encarga al mismo tiempo de volver a leer la hoja de cálculo, en la cual se calculan los errores relativos de cada medida respecto a la medida ideal, y representar dichos errores relativos gráficamente para así poder comparar el comportamiento de cada conversor en función de los parámetros que lo caracterizan.

A continuación se explica en qué consiste la simulación mixta y cómo se ha configurado la herramienta para poder llevarla a cabo.

#### 1.4.1 SIMULACIÓN MIXTA

Las señales que componen un diseño electrónico pueden ser de dos tipos: digitales y analógicas.

Una señal digital es un tipo de señal discreta que puede tomar un cierto número de valores o estados, generalmente dos, denominados valor en bajo y valor en alto, o cero y uno. Este tipo de señales son constantes durante un cierto tiempo, y cambian a un nuevo valor tras la ocurrencia de un cierto evento.

Una señal analógica es un tipo de señal continua que varía suavemente dentro de un rango de valores como una función respecto del tiempo.

Los diseños electrónicos frecuentemente combinan ambos tipos de señales dentro del mismo diseño. Por ello, la existencia de herramientas que permitan combinar ambas señales dentro del mismo diseño y simularlas conjuntamente agiliza el proceso de desarrollo. El entorno de simulación ADE de la herramienta Virtuoso® Design Environment de Cadence® ofrece un simulador AMS que combina dos métodos diferentes de simulación. Para la parte digital del diseño se utiliza un simulador basado en eventos, como en cualquier otra herramienta de simulación digital, y para la parte analógica se utiliza un simulador SPICE como el que se puede encontrar en un simulador de circuitos [4].

Estos simuladores deben soportar la inclusión de bloques, tanto digitales como analógicos, previamente diseñados en otras herramientas para una posterior simulación conjunta. Por este motivo, los simuladores internos de la herramienta de simulación mixta deben ser completamente compatibles con otras herramientas de simulación existentes. En concreto la herramienta que estamos utilizando permite introducir bloques digitales diseñados en lenguajes de descripción de hardware como Verilog o VHDL, y modelos de circuitos analógicos en forma de un fichero de Spice, Verilog-A, o VHDL-AMS.

Dado que la naturaleza de cada tipo de señal es diferente, si pretendemos realizar un diseño que combine ambos tipos de señales, existe la problemática de encontrar una manera de relacionarlas entre sí. Esto se resuelve mediante las denominadas reglas de conexión. Consisten en un módulo descrito en Verilog-AMS que describe la interfase entre el mundo analógico y el digital. Lo que hacen es relacionar los valores digitales en alto y en bajo con el correspondiente valor analógico que le queremos asignar. En el [apartado correspondiente](#) del manual de usuario incluido en el Anexo D se explica su correcta configuración.

## 1.5 CRONOGRAMA DE LAS DIFERENTES FASES DEL PROYECTO

En el siguiente cronograma se puede ver el desarrollo de tareas llevado a cabo a lo largo de la elaboración de este Trabajo Fin de Grado:



Figura 7. Cronograma del proyecto

## 2. MODELO DE SIMULACIÓN DEL SISTEMA

En este apartado se pretende presentar las etapas de las que se partió en un primer momento y que sirvieron como base para el proceso de simulación de la toma de medidas, pero primero se va a mostrar un esquema de bloques con cada una de las partes que componen el modelo de simulación, de manera que a medida que vayan apareciendo las distintas etapas la comprensión de la relación entre ellas resulte más sencilla.

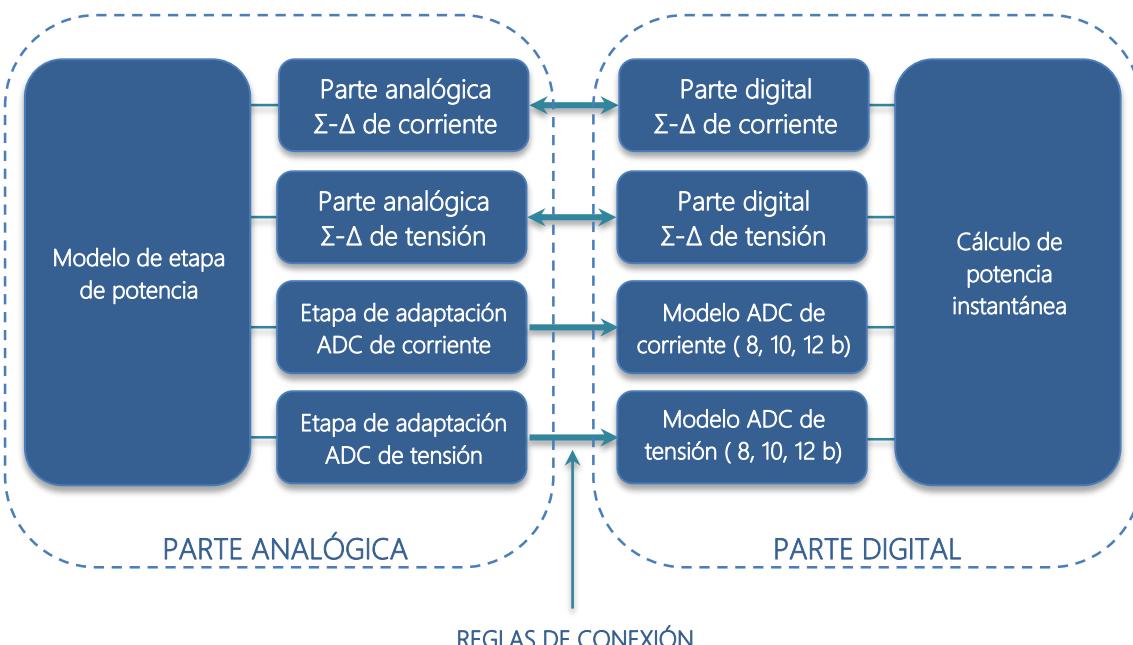


Figura 8. Bloques componentes del modelo de simulación al completo

Como se ha comentado anteriormente, como etapa de potencia contamos con un semipuente resonante serie mediante el cual se van a generar las señales de tensión y corriente en una carga que modela el conjunto inductor-recipiente que podemos encontrar en el sistema real. Nuestro objetivo es medir dichas señales y comparar los resultados con los obtenidos con un conversor  $\Sigma\Delta$ . Se cuenta con un conversor para tensión, y otro para corriente.

El primer paso es obtener un modelo de simulación adecuado de las etapas mencionadas, utilizando para ello la herramienta Virtuoso® Design Environment de Cadence® tal y como se ha comentado previamente [5]. A continuación vamos a explicar las características del modelo utilizado de la etapa de potencia, dejando los modelos de los conversores para los siguientes apartados.

En la siguiente imagen se puede ver la etapa del semipuente resonante serie una vez ya introducida en el entorno de simulación. Los valores de los componentes y los modelos de algunos de ellos fueron los proporcionados inicialmente.

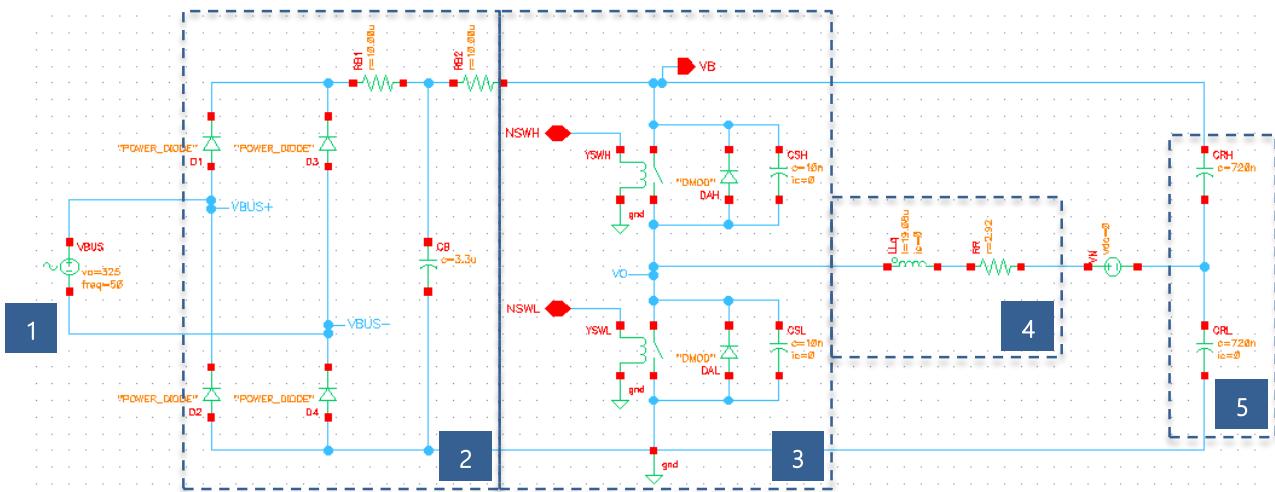


Figura 9. Modelo del semipuente resonante serie utilizado en la simulación

[Enlace al manual de la herramienta: Creación de un esquemático](#)

En la parte izquierda de la imagen podemos ver una fuente de tensión que modela la tensión tomada directamente de la red eléctrica (1), y un puente de diodos con un condensador conectado en paralelo (2) que se encargan de rectificarla en doble onda y filtrarla. A continuación tenemos el inversor (3) al cual está conectado la carga del sistema (4), y el condensador de resonancia (5). Este inversor se encarga de comutar la tensión continua que le entra para hacer circular por la carga una corriente alterna a una determinada frecuencia.

Para modelar el comportamiento del inversor se ha utilizado un modelo ideal de interruptores controlados por tensión, en lugar de tiristores. Se ha hecho de esta manera ya que lo que se pretende no es modelar al detalle la etapa real sino más bien recrear las condiciones que necesitamos para nuestro propósito, que es la correcta toma de medidas.

Las señales utilizadas como disparo de los interruptores del inversor se generan con unas fuentes de onda cuadrada, como se puede ver en la siguiente imagen. La frecuencia de trabajo de estas fuentes de onda cuadrada se fijó con un parámetro para así poder modificarla fácilmente desde el entorno de simulación.

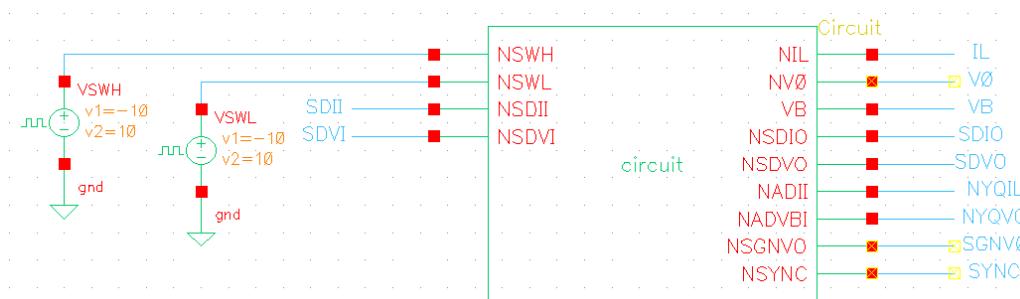


Figura 10. Esquema representativo de la etapa de potencia completa

El bloque de la imagen incorpora la etapa de potencia que se puede ver en la Figura 8, las partes analógicas de los conversores  $\Sigma-\Delta$  y unas etapas para adaptar la señal que entra a los conversores Nyquist que vamos a modelar y sobre los que hablaremos más adelante.

Estas señales de disparo son iguales para ambos interruptores, y deben activar un solo interruptor a la vez, motivo por el cual una de las señales está desfasada  $90^\circ$  respecto de la otra. Para evitar que haya momentos en los que ambos interruptores estén activos y se produzca un cortocircuito de  $V_{BUS}$ , generando así pérdidas de conmutación, se ha dejado un tiempo muerto entre ambas señales. Con esto se consigue que haya un tiempo en el que ambas ondas están en su nivel bajo entre el flanco de bajada de una y el de subida de la otra.

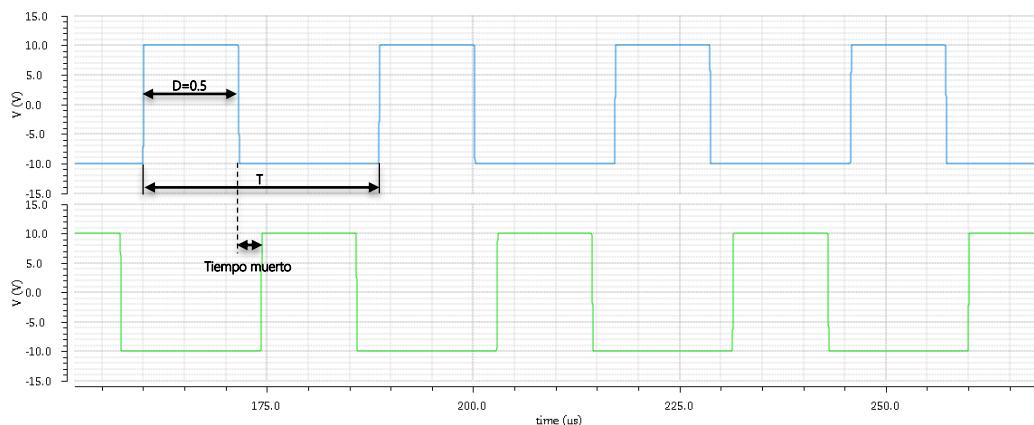


Figura 11. Señales de disparo de los interruptores utilizadas

Los valores utilizados para la inductancia y la resistencia de la carga de la etapa fueron elegidos para tener el peor caso posible de carga. Para modelar mejor el sistema real, el valor de la inductancia se fijó a  $31 \mu\text{H}$ , pero el valor de la resistencia se dejó en función de la frecuencia de trabajo. Esta es la expresión utilizada:

$$R = \frac{2\pi f \cdot L}{2.035163499}$$

Con dichos valores la frecuencia de resonancia del circuito es de 23.82 kHz. En el [apartado 1 del Anexo B](#) se pueden comprobar los cálculos. Dado que la etapa debe trabajar siempre por encima de la frecuencia de resonancia, se decidió empezar a realizar las simulaciones a partir de 35 kHz.

Una de las señales que se pretenden medir y caracterizar es la corriente que circula por la carga de la etapa. Para poder medirla correctamente se ha introducido en serie con la carga una fuente ideal de tensión continua de 0 V, de manera que utilizando en otras etapas una fuente de corriente controlada por la corriente que circula por dicha fuente de tensión podamos generar la corriente que circula a través de la carga.

En definitiva, se puede ver que se trata de una etapa meramente analógica.

## 2.1 SEÑALES MEDIDAS Y PARÁMETROS A OBTENER

Como ya hemos ido diciendo, las señales que tenemos como objetivo medir son la tensión y corriente en la carga de la etapa. Respecto a la tensión, no se mide la tensión que hay directamente en la carga, sino la tensión rectificada en doble onda justo antes de que se vea afectada por el inversor, es decir  $V_{BUS}$ .

Además, con los datos obtenidos del muestreo de estas señales se calcularán ciertos parámetros de estas que se explicarán a continuación. Estos parámetros son utilizados en el presente Trabajo Fin de Grado como una forma más de comprobar la exactitud de las medidas y el comportamiento del conversor, viendo cómo afectan en cada uno de los diferentes parámetros.

Aprovechando las funcionalidades que ofrece la herramienta, calcularemos también la potencia instantánea absorbida ( $P_{ABS}$ ) por la etapa multiplicando los datos de tensión y corriente obtenidos por cada conversor.

Los parámetros obtenidos para cada una de las señales muestreadas son los siguientes:

$I_L$	$V_{BUS}$	$P_{ABS}$
Valor de pico ( $I_{L\ peak}$ )	Valor de pico ( $V_{BUS\ peak}$ )	Valor RMS ( $P_{ABS\ RMS}$ )
Valor mínimo ( $I_{L\ min}$ )	Valor RMS ( $V_{BUS\ RMS}$ )	
Valor RMS ( $I_{L\ RMS}$ )	Valor medio ( $V_{BUS\ avg}$ )	

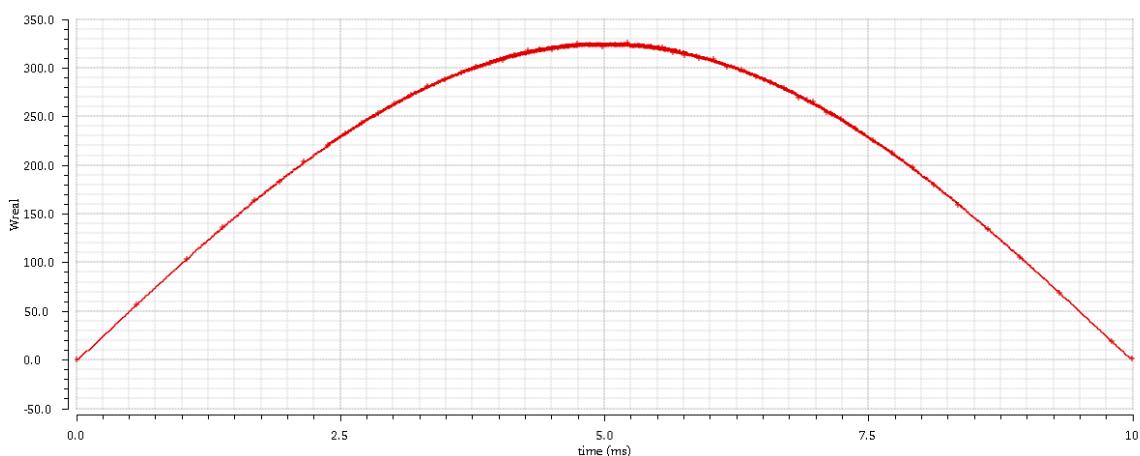
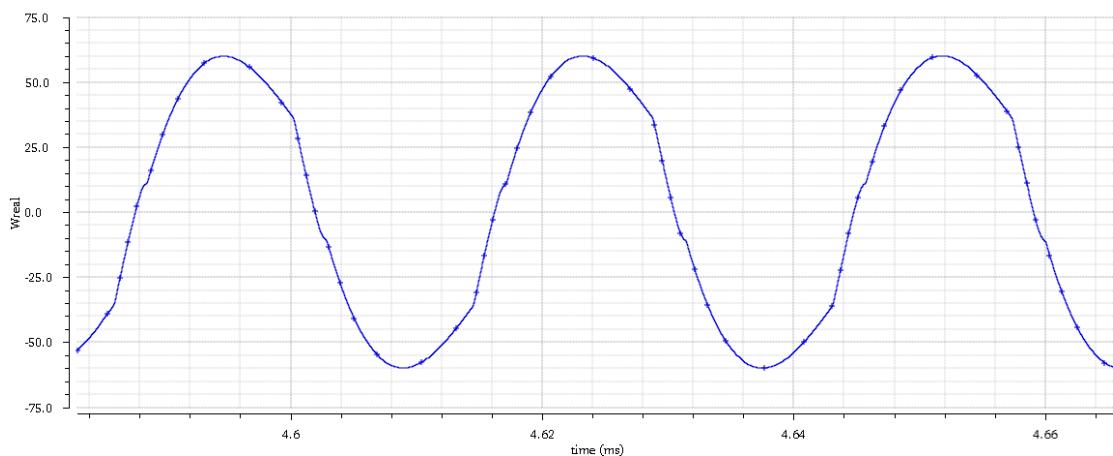
Tabla 1. Parámetros obtenidos en simulación para cada señal

En el caso de  $I_L$  no tiene sentido calcular su valor medio, ya que debido al carácter sinusoidal de la señal este va a ser cero. Lo mismo ocurre con el valor mínimo de  $V_{BUS}$ , al tratarse de una tensión rectificada en doble onda, su valor mínimo será cero.

Estos parámetros se calculan para todo el rango de frecuencias en el que se llevan a cabo las simulaciones. Este rango va de los 35 kHz a los 80 kHz, a intervalos de 5 kHz, simulando así un total de diez frecuencias diferentes.

Cabe destacar la importancia de medir correctamente la tensión y la corriente en la carga, ya que es la manera más exacta de caracterizar el conjunto inductor-recipiente. Conocer de forma precisa el valor de la carga permite que el control de la potencia que está suministrando la etapa se realice de una manera más adecuada [6].

A continuación podemos ver las formas de onda, tanto de  $V_{BUS}$  como de  $I_L$ , obtenidas del modelo utilizado en simulación, las cuales muestrearemos con los conversores.



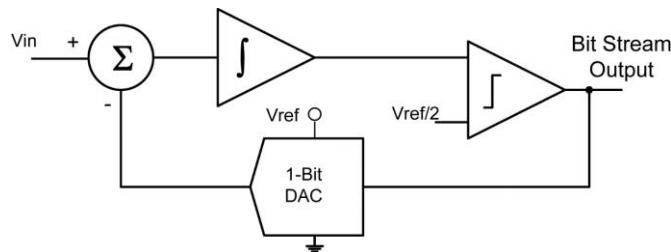
La herramienta de simulación nos permite calcular directamente con los datos que componen las formas de onda los parámetros antes mencionados. Estos parámetros se utilizarán como valores ideales con los que poder comparar los parámetros calculados con los datos obtenidos mediante los conversores, y así servirán como referencia para conocer el error de las medidas de los conversores.

## 2.2 MÉTODO ACTUAL DE MEDIDA

El método de medida actual de tensión y corriente en las cocinas de inducción es mediante conversores  $\Sigma-\Delta$  de primer orden. El motivo de haber escogido este tipo de conversores es por su sencilla implementación, y por la poca circuitería analógica que requieren, haciendo que su coste sea bajo.

Tal y como se explica en el apartado [2. CONVERSORES SIGMA-DELTA](#) del Anexo A, un conversor  $\Sigma-\Delta$  está formado por una parte analógica y otra digital, o lo que es lo mismo, un modulador y un filtro digital colocado en su salida. Vamos a analizar los modelos de conversor, tanto para corriente como tensión, utilizados en el entorno de simulación.

Primero compararemos los moduladores utilizados en simulación con el modulador típico de un conversor  $\Sigma-\Delta$  de primer orden de un bit. Acto seguido hablaremos de los filtros digitales utilizados para cada conversor.



*Figura 14. Bloques que componen el modulador de un conversor  $\Sigma-\Delta$  de primer orden*

Los moduladores utilizados no contienen todos los bloques de la Figura 13 tal y como aparecen en ella. Vamos a analizar en primer lugar el modulador utilizado para el conversor  $\Sigma-\Delta$  de corriente.

En anteriores apartados se ha comentado la inclusión de una fuente ideal de tensión continua de 0 V en serie con la carga de la etapa. Es en este punto donde se va a hacer uso de ella, ya que para recrear la señal de entrada del modulador se utiliza una fuente de corriente dependiente de la corriente que circula por dicha fuente de tensión (1). En realidad, el elemento real que se pretende modelar de esta forma es un trafo de sensado, en el cual la corriente que circula por la carga circularía por el devanado primario, y la corriente inducida en el devanado secundario sería la que obtenemos con nuestra fuente de corriente, con el debido factor de reducción.

Este factor de reducción se consigue asignando a la fuente de corriente de nuestro diseño una ganancia de 0.005. A su vez la corriente que genera se hace circular por una resistencia de  $4.64\ \Omega$ . Todo ello se hace con el fin de convertir la señal de corriente en una señal de tensión, que es la magnitud que el conversor puede medir, y además adaptarla al rango de valores admisibles para el conversor. El valor de la corriente que circula por la carga se ve finalmente afectado por una ganancia de 0.0232, que reduce la corriente a un 2.32% de su valor original. Al tratarse de una señal alterna, se le suma un offset de 1.65 V, la mitad del rango de medida del conversor, de manera que la señal que entre al conversor sea siempre positiva. Tras este proceso, la señal de corriente está lista para ser muestreada con el conversor  $\Sigma-\Delta$ .

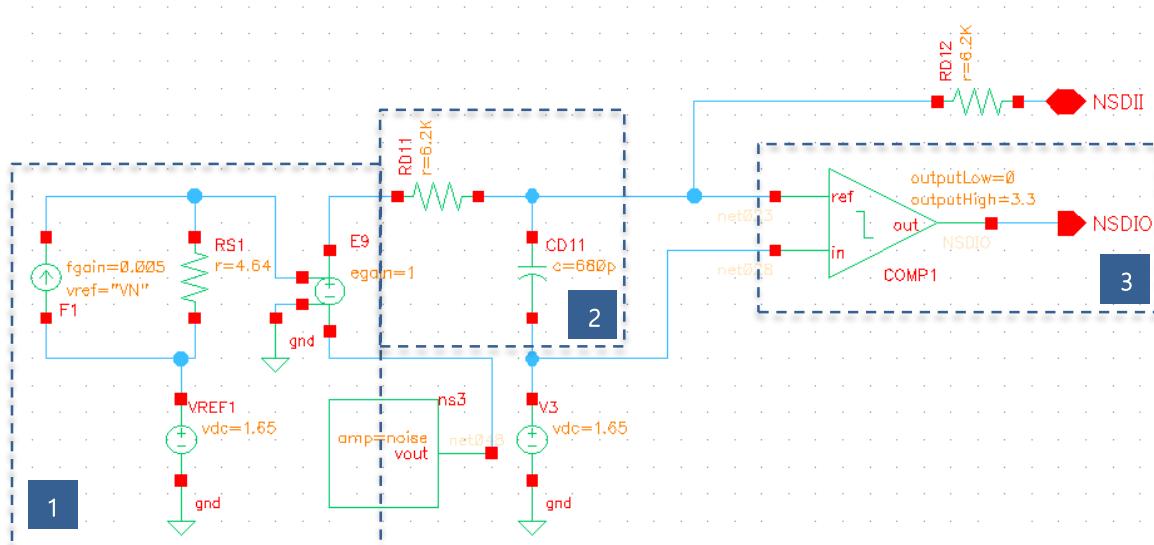


Figura 15. Parte analógica del conversor  $\Sigma\Delta$  de corriente utilizado en simulación

A la señal que entra al modulador, se le añade un cierto ruido para modelar de una manera más fiel a la realidad el comportamiento de este. La inclusión de este ruido se realiza en todas las etapas de adaptación de la señal que va a ser muestreada, tanto con los conversores  $\Sigma\Delta$  como con los conversores Nyquist, tal y como se verá más adelante. La magnitud de este ruido será como máximo de un 10% del fondo de escala de los ADC.

En cuanto a los bloques que componen el modulador, la principal diferencia con el modelo de bloques de la Figura 13 es que en nuestro caso el bloque del integrador se ha sustituido por un circuito  $RC$  (2). Para el bloque del comparador se utiliza un comparador ideal (3), al cual se ha conectado en su entrada positiva una fuente de tensión continua de 1.65 V, el valor medio del rango de tensión del conversor, que va de 0 a 3.3 V. La salida del comparador se realimenta negativamente una vez ha sido almacenada previamente en un biestable, el cual trabaja a 10 MHz. Esta realimentación tiende a mantener constante la tensión en los bornes del condensador. El conversor digital analógico (DAC) de 1 bit se modela en nuestro caso mediante las reglas de conexión que es necesario definir en la herramienta a la hora de simular el diseño. Estas reglas nos permiten relacionar los valores digitales con sus correspondientes valores analógicos, permitiéndonos así conectar directamente la salida de un bloque digital con una parte analógica del circuito.

[Enlace al manual de la herramienta: Definición de reglas de conexión](#)

Fijándonos en nuestro modulador, la señal a muestrear entra por la entrada negativa del comparador para tener así una realimentación negativa. Esto da lugar a un tren de pulsos en la salida que tendrá una mayor densidad de ceros cuando la señal esté aumentando, y por el contrario una mayor densidad de unos cuando la señal decrezca, hecho que se puede comprobar en la siguiente imagen:

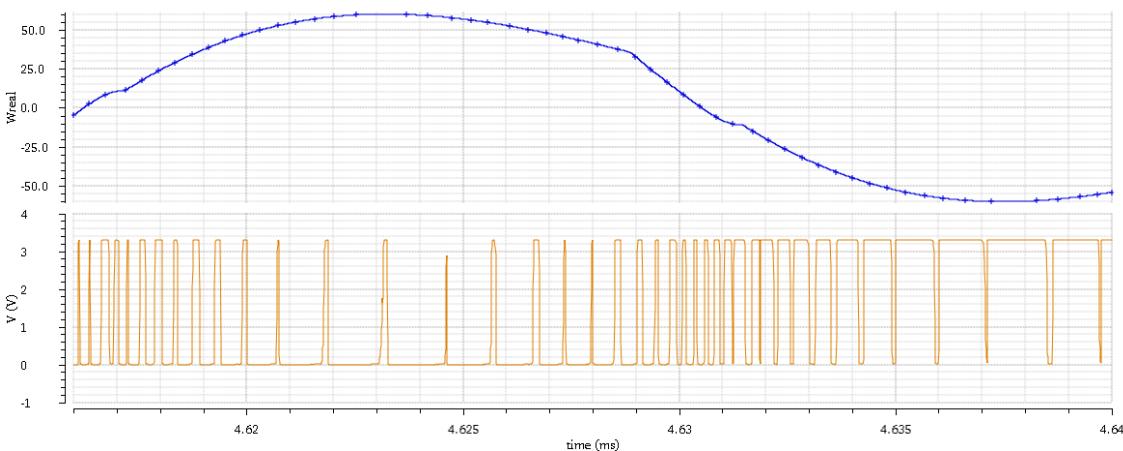


Figura 16. Señal analógica de entrada y salida del comparador del modulador de corriente

El posterior filtrado de este tren de pulsos nos dará como resultado una reconstrucción de la señal de entrada. Para ello se utiliza un filtro digital de paso bajo, que recibe como entrada los pulsos de salida del comparador una vez han sido almacenados en el biestable colocado en la entrada del filtro, e invertidos. El tipo de filtro utilizado es el mismo para ambos conversores, y se trata de un *cascade integrator comb* (CIC). Se trata de un filtro sencillo y barato de implementar, ya que no requiere el uso de multiplicadores.

Pese a tener algunas diferencias con el modelo teórico del modulador de un conversor  $\Sigma-\Delta$ , se puede ver que el comportamiento del modulador utilizado en simulación es el mismo.

La idea que se ha seguido para el modulador del conversor  $\Sigma-\Delta$  de tensión es la misma. Por este motivo, no se va a explicar de nuevo su funcionamiento, ya que ambos moduladores son prácticamente iguales. La mayor diferencia radica en que la tensión se toma directamente de la etapa de potencia. Para la inclusión de ruido en la etapa se hace uso de una fuente de tensión dependiente de la tensión de entrada, en la cual se fija una ganancia de 0.008100512 para adaptar la señal de entrada al rango de medida del conversor.

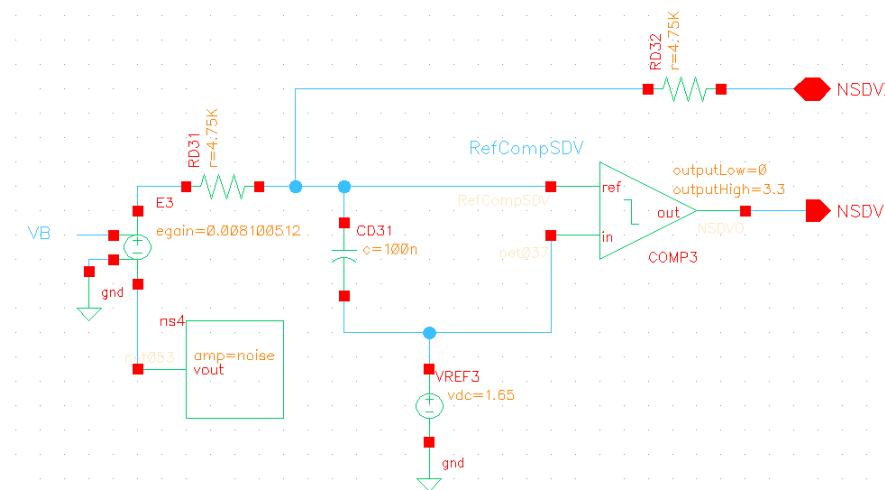


Figura 17. Modulador del conversor  $\Sigma-\Delta$  de tensión utilizado en simulación

Una vez analizada la parte analógica de los conversores  $\Sigma-\Delta$ , vamos a pasar a la parte digital, la cual está formada por los filtros encargados de reconstruir la señal de entrada a partir del tren de pulsos proveniente del modulador.

En la siguiente tabla se muestran las ecuaciones de los filtros utilizados para cada uno de los conversores:

Filtro para el conversor $\Sigma-\Delta$ de $I_L$	Filtro para el conversor $\Sigma-\Delta$ de $V_{BUS}$
$H_1(z) = \left( \frac{1}{8} \cdot \frac{1 - z^{-8}}{1 - z^{-1}} \right)^2$	$H_2(z) = \left( \frac{1}{16} \cdot \frac{1 - z^{-16}}{1 - z^{-1}} \right)^2$

Tabla 2. Ecuaciones de los filtros implementados

Estas ecuaciones, así como todos los valores de los componentes de las etapas analógicas de los moduladores, fueron proporcionadas al inicio del presente Trabajo Fin de Grado.

En ambos casos se trata de un filtro de orden 2. Su funcionamiento consiste básicamente en hacer una media móvil [7] con los 8 últimos datos de entrada, en caso del filtro utilizado en el conversor  $\Sigma-\Delta$  de  $I_L$ , o 16 en el caso del filtro del conversor  $\Sigma-\Delta$  de  $V_{BUS}$ . El resultado de estos valores medios se va almacenando, y se vuelve a hacer nuevamente otra media móvil con los últimos 8, o 16 según corresponda, valores de estos datos almacenados tal y como se hacía con los datos de entrada, obteniendo así el dato de salida en cada instante.

Estos filtros se implementaron en lenguaje VHDL, y posteriormente dicho fichero se importó en la herramienta de simulación como un bloque más, interconectando sus entradas y salidas con el resto de etapas del diseño. Se aprovechó para aunar toda la parte digital del conversor dentro del mismo bloque digital, describiendo a la vez en lenguaje VHDL el comportamiento del biestable y el del filtro.

[Enlace al manual de la herramienta: importación de bloques en VHDL](#)

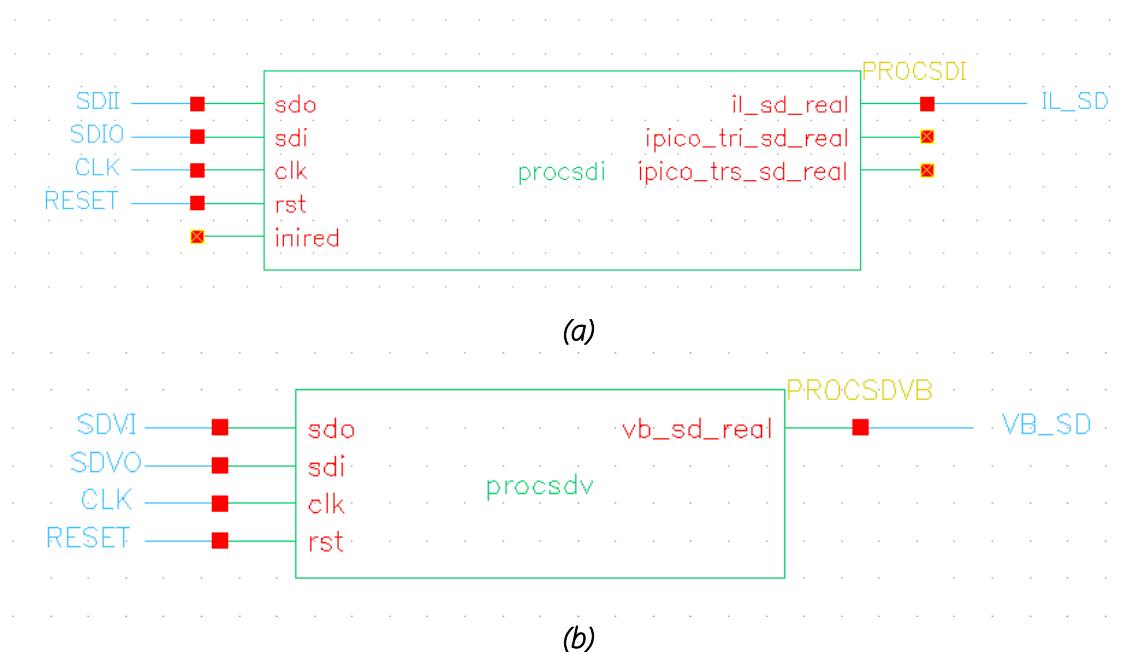


Figura 18. Bloques de la parte digital de los conversores  $\Sigma-\Delta$  de corriente (a) y tensión (b)

Una vez realizado el filtrado, en la salida del conversor tendremos la reconstrucción discretizada de la señal analógica de entrada. En las siguientes imágenes podemos ver las formas de onda de  $I_L$  y  $V_{BUS}$  junto con las formas de onda correspondientes obtenidas en simulación mediante los conversores  $\Sigma-\Delta$ .

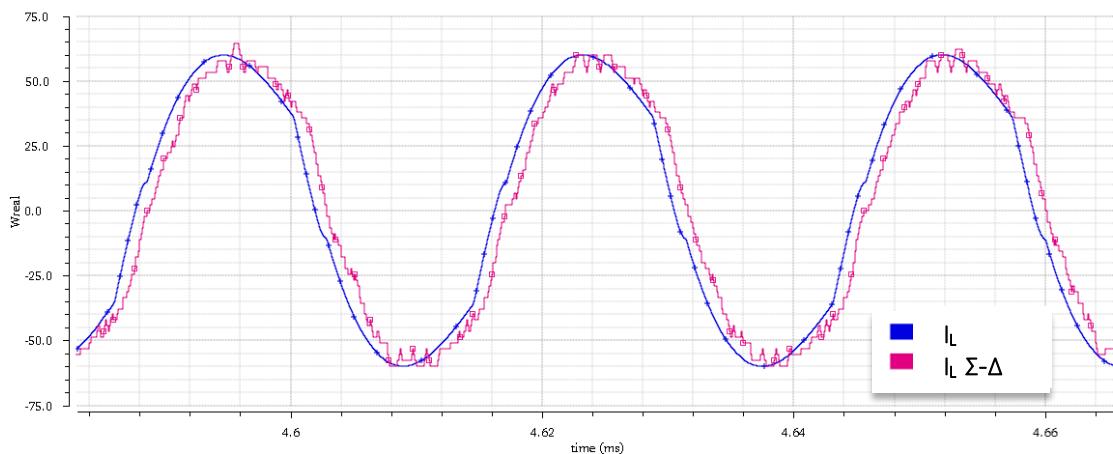


Figura 19. Comparación de la forma de onda obtenida con el conversor  $\Sigma-\Delta$  de corriente

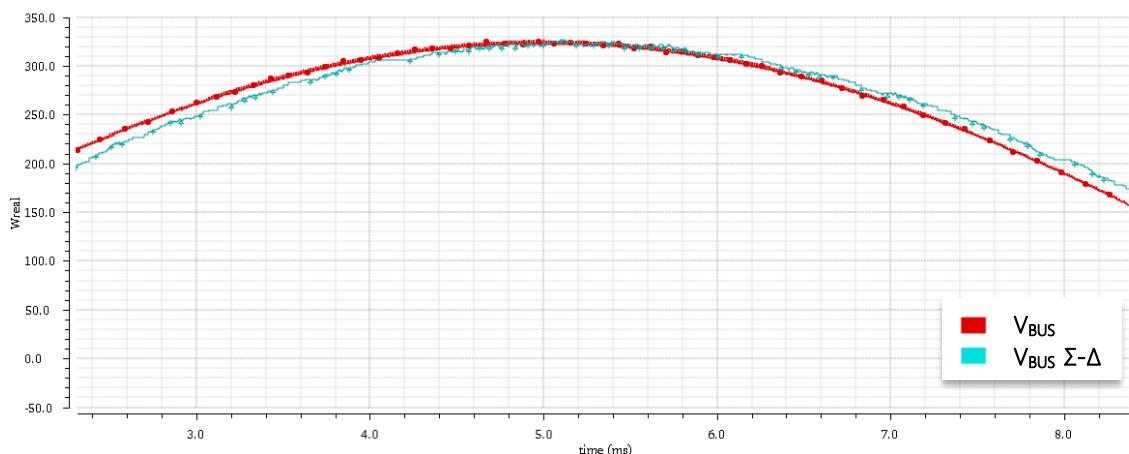


Figura 20. Comparación de la forma de onda obtenida con el conversor  $\Sigma\Delta$  de tensión

En ambos casos se observa que la forma de onda obtenida con el conversor tiene un cierto retraso frente a la forma de onda original. Esto se debe al procesado que sufre la señal antes de obtener el resultado final de la conversión.

## 2.3 MÉTODO PROUESTO

La forma planteada como alternativa a los conversores  $\Sigma\Delta$  en la medida de tensión y corriente en una cocina de inducción doméstica es mediante los denominados conversores ADC Nyquist. Este tipo de conversores están pensados para que trabajen a una frecuencia de muestreo que sea al menos el doble de la máxima componente de frecuencia de la señal que se está tratando, de manera que la representación discreta de la señal continua que se está muestreando sea lo suficientemente fiel, tal y como dice el teorema de Nyquist - Shannon.

En futuras líneas de trabajo se pretende utilizar un ASIC para todo el procesado digital de la cocina, ya que ofrece la posibilidad de integrar bloques específicos en él. En este tipo de circuitos integrados es el cliente quien realiza el diseño interno del circuito al completo, utilizando los bloques que el fabricante le permite introducir en su interior.

El hecho de pasar a usar un ASIC abre la posibilidad de introducir nuevos bloques en su interior que ahora mismo no es posible con la actual topología. Por este motivo se plantea la decisión de pasar a usar un ADC integrado en el interior del ASIC como un periférico más, en lugar del conversor  $\Sigma\Delta$  utilizado actualmente. Esto permite ahorrar en el número de componentes necesarios para implementar el conversor, con el correspondiente ahorro económico que eso supone.

Para que las medidas obtenidas por medio del conversor que se va a integrar en el ASIC sean de una precisión adecuada y suficiente es necesario conocer de antemano ciertos parámetros, como el número de bits o la frecuencia de muestreo a la que tiene que trabajar. El fin con el que se ha desarrollado este Trabajo Fin de Grado es encontrar los valores mínimos de ambos parámetros que aseguren los resultados deseados.

### 3. UTILIZACIÓN DE CONVERSORES NYQUIST

En este apartado se va a hablar acerca de los ADC modelados, así como de las etapas previas necesarias para adaptar la señal de entrada y los resultados obtenidos por medio de estos conversores.

#### 3.1 MODELADO DE LOS CONVERSORES

Igual que se hizo con los filtros digitales de los conversores  $\Sigma-\Delta$ , estos ADC se van a modelar en lenguaje VHDL, para así poder importarlos a nuestro diseño de una forma sencilla. Este es un ejemplo de los bloques que constituyen cada uno de los conversores:

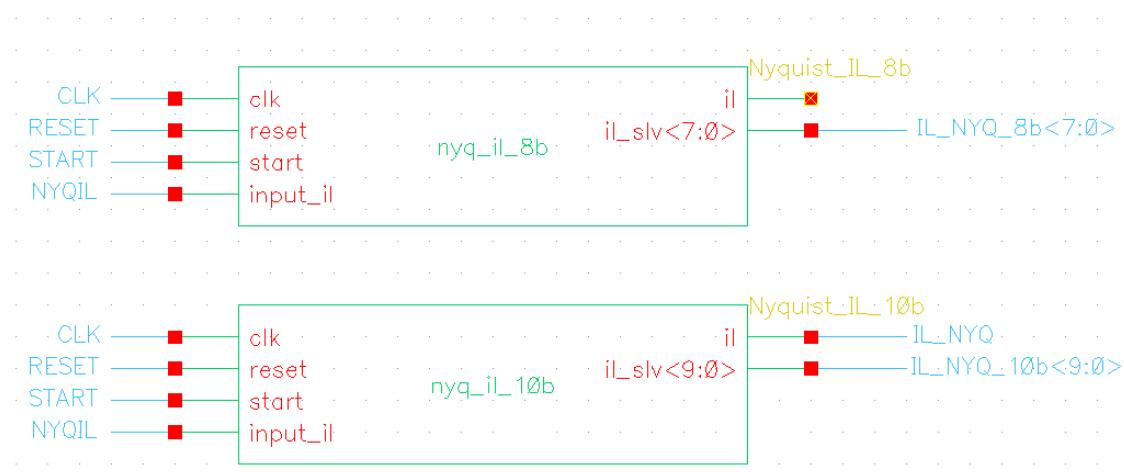


Figura 21. Bloques de los ADC de corriente de 8 y 10 bits

El rango de tensión que el ADC es capaz de convertir va de 0 a 3.3 V. El dato obtenido como resultado de la digitalización de la señal de entrada se devuelve como un número binario de un tamaño de bits determinado por la resolución del ADC. En nuestro caso, se han modelado conversores de 8, 10 y 12 bits.

Los ADC modelados devuelven el mencionado dato en binario, y además, se ha creado adicionalmente un pin de salida que devuelve el dato correspondiente con la ganancia ya ajustada. Más adelante se verá que el dato en binario se utiliza en otro bloque para calcular la potencia instantánea absorbida.

La principal característica de este conversor es que tiene su función de transferencia (FdT) desplazada. Esto significa que el error de medida cometido será siempre menor o igual que  $\pm \frac{1}{2}$  LSB.

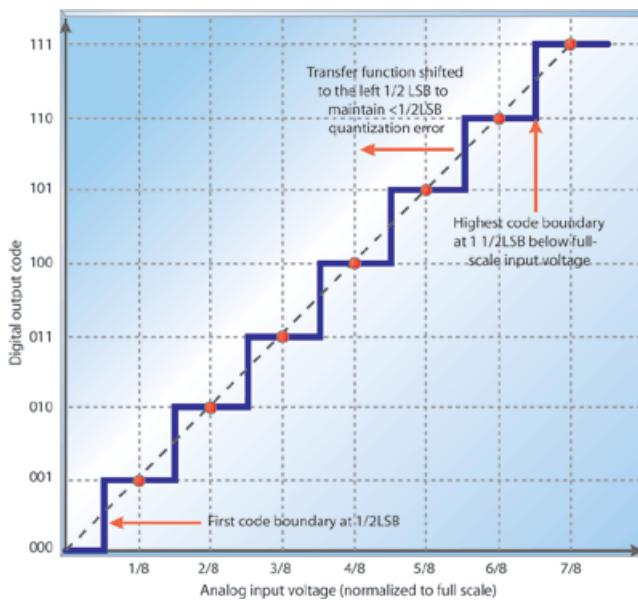


Figura 22. Función de transferencia del conversor modelado

En esta imagen se puede apreciar el dato de salida que se obtendría con un conversor de 3 bits en función del valor de la señal de entrada (línea discontinua).

La ecuación que se ha implementado en el modelo de este conversor para que se comporte de esta manera es la siguiente:

$$n^{\circ} \text{ bin} = \left( V_{IN} + \frac{V_{LSB}}{2} \right) \cdot \frac{1}{V_{LSB}}$$

Hay que destacar que solo se toma la parte entera del resultado de esta expresión.

Para comprobar el correcto funcionamiento del conversor modelado, se ha representado conjuntamente el dato de salida del ADC junto con una señal de entrada en forma de rampa, obteniendo así una imagen muy similar a la de la figura 21.

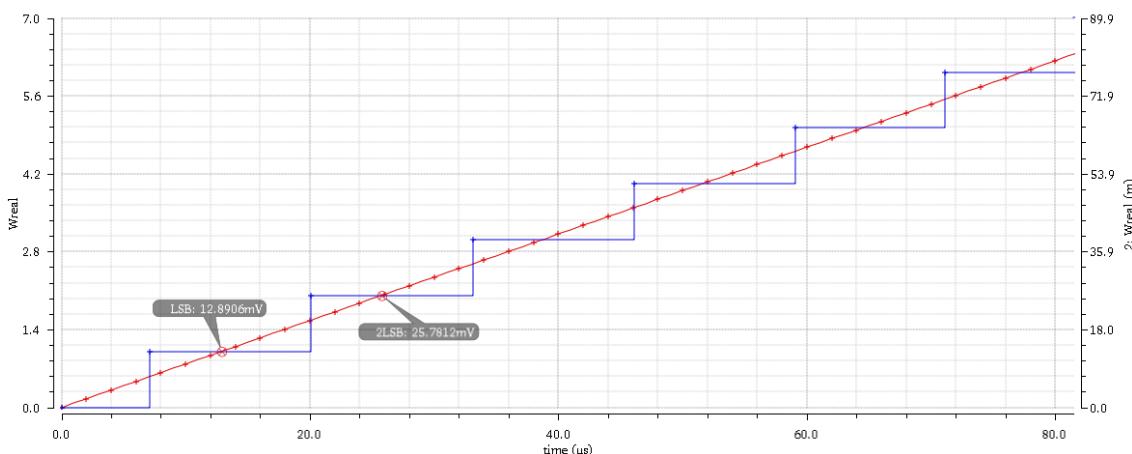


Figura 23. Representación de la FdT del ADC modelado

### 3.2 ETAPA DE ADAPTACIÓN DE SEÑALES Y FILTRADO

Con el fin de adaptar las señales de entrada de los ADC al rango de tensión de estos, se requiere realizar una atenuación por medio de unas etapas previas, que constan de tres partes diferenciadas:

- 1. Etapa de sensado.
- 2. Filtro *antialiasing* de paso bajo (*RC*).
- 3. Modelado de ruido blanco.

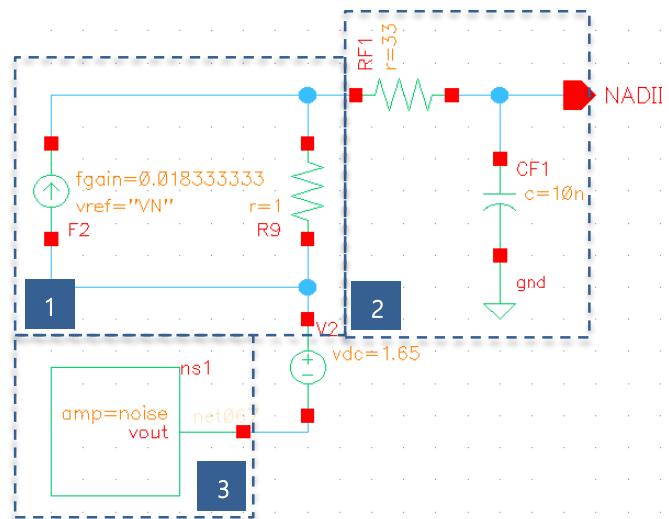


Figura 24. Etapa de atenuación y filtrado de la señal de entrada del ADC de corriente

La forma de obtener las señales que van a ser muestreadas es prácticamente la misma que se ha utilizado en el caso de los moduladores de los conversores  $\Sigma-\Delta$ , si bien las ganancias utilizadas son diferentes. En el [apartado 3](#) del Anexo B se pueden consultar cómo han sido ajustadas para adaptar los valores máximos de las señales de entrada al fondo de escala de los conversores.

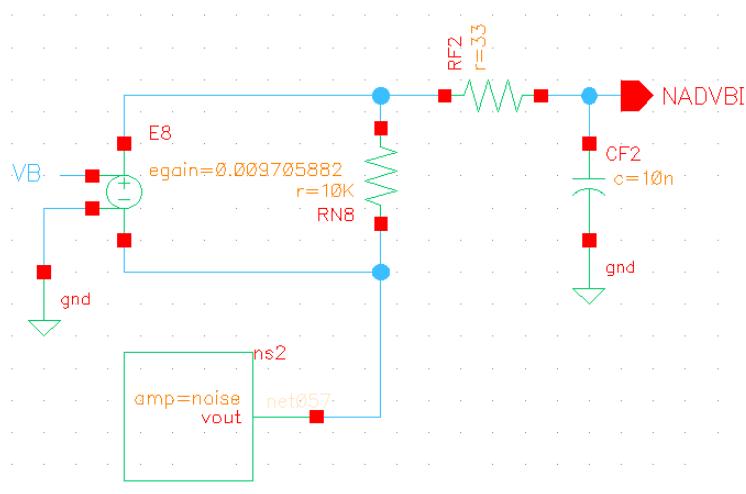


Figura 25. Etapa de atenuación y filtrado de la señal de entrada del ADC de tensión

La misión del filtro de paso bajo es eliminar las componentes de frecuencia de la señal de entrada mayores que  $f_s/2$ , siendo  $f_s$  la frecuencia de muestreo del ADC, evitando así que se produzca el fenómeno del *aliasing*. Partiendo de que el mínimo valor de frecuencia a la que pretendemos que trabaje el ADC es de 1 MHz, la frecuencia de corte ( $f_c$ ) elegida para el filtro estará en torno a los 500 kHz.

Se eligió un filtro RC de primer orden con una  $f_c$  de 482.3 kHz, mediante el cual se observó que se obtenía una respuesta adecuada.

### 3.3 OBTENCIÓN DE MEDIDAS EN SIMULACIÓN

Una vez introducidas en la herramienta las etapas de atenuación y filtrado necesarias, ya podemos proceder a simular el comportamiento de los conversores. En las siguientes imágenes se observan las formas de onda de  $I_L$  y  $V_{BUS}$  junto con las formas de onda correspondientes obtenidas en simulación mediante los ADC modelados.

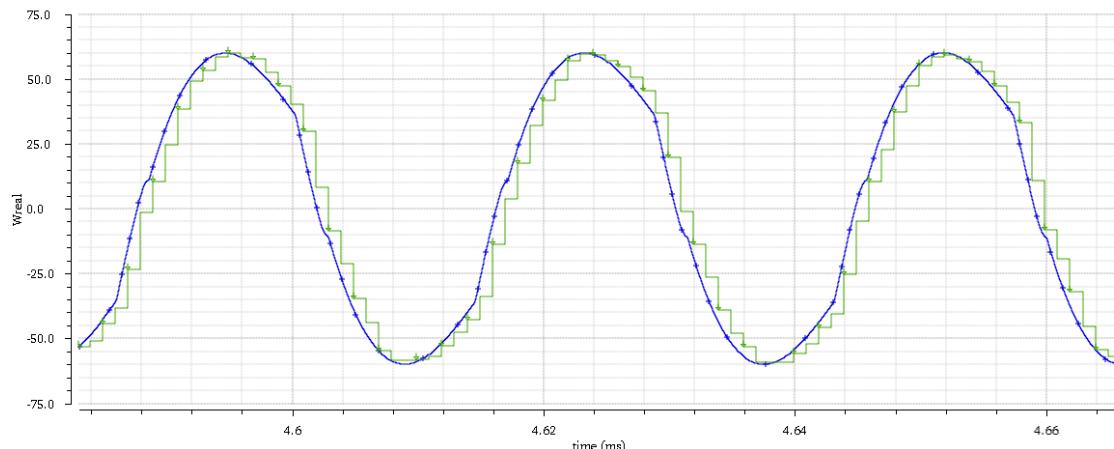


Figura 26. Comparación de la forma de onda obtenida con el ADC de corriente

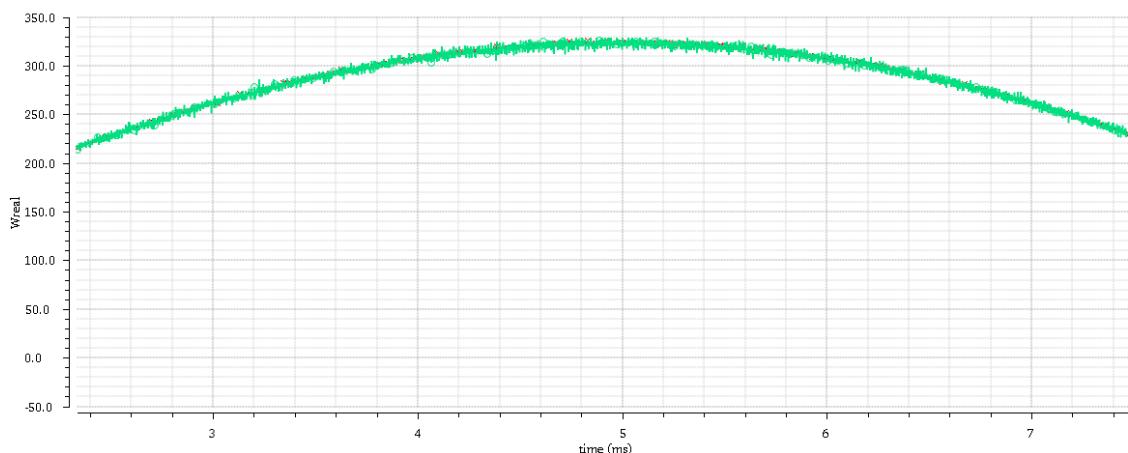


Figura 27. Comparación de la forma de onda obtenida con el ADC de tensión

## 4. RESULTADOS DE SIMULACIÓN

Llegados a este punto ya casi disponemos del modelo de simulación al completo.

El cálculo de la potencia instantánea absorbida por la etapa se realiza mediante un bloque, también modelado en VHDL, a partir de los datos de tensión y corriente obtenidos mediante cada uno de los conversores, y a partir también de los valores ideales de estos, obtenidos directamente de la etapa de potencia. En el caso de los ADC Nyquist se toman directamente los datos en binario de 8, 10 y 12 bits de salida de los conversores para llevar a cabo las operaciones.

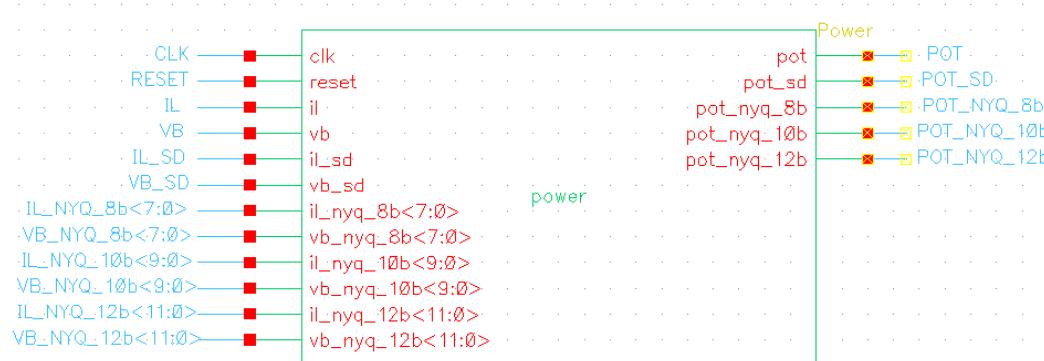


Figura 28. Bloque encargado de calcular la potencia instantánea absorbida por la etapa

Por último, solo faltaría introducir los bloques digitales que generen la frecuencia de reloj a la que deben trabajar todas las partes digitales para completar el diseño. Nuevamente modelados en lenguaje VHDL, se generaron bloques con 3 salidas: Una para la señal de reloj, otra para una señal de RESET, y otra para una señal de *chip enable*, utilizada para comenzar la conversión en los ADC Nyquist.

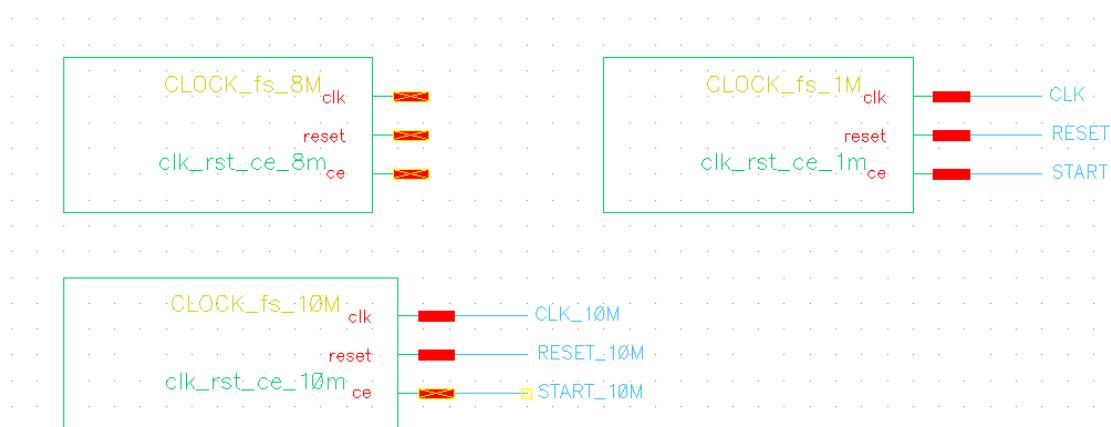


Figura 29. Bloques generadores de las frecuencias de reloj utilizadas en el diseño

Se modelaron 3 bloques diferentes. Uno de ellos genera una frecuencia de reloj de 10 MHz, que es a la que trabajan los conversores  $\Sigma-\Delta$ , y los otros dos se encargan de generar una señal de *chip enable* de 1 y 8 MHz, frecuencias de muestreo que se van a analizar para los ADC Nyquist.

Para que las señales obtenidas por medio de los diferentes conversores, así como con el bloque de potencia que acaba de ser comentado, fueran comparables con las señales originales, fue necesario ajustar las ganancias. La manera de hacerlo fue dividiendo la salida de cada bloque por la ganancia que se le había aplicado a la señal correspondiente antes de entrar en él para atenuarla, consiguiendo así que la señal de salida este en un rango de valores correspondiente al de las señales originales.



*Figura 30. Esquema representativo del procedimiento utilizado*

En los apartados 2 y 3 del [Anexo B](#) se pueden comprobar las ganancias utilizadas para atenuar la señal de entrada a cada conversor.

Con el modelo de simulación completo ya fue posible empezar a obtener resultados de simulación. Además de las formas de onda de las diferentes señales de tensión y corriente, los resultados realmente interesantes de las simulaciones son los valores de los diferentes parámetros mencionados en la sección [2.1](#). Gracias a las funcionalidades de la herramienta utilizada, es posible visualizar como una salida más una expresión que evalúe un parámetro concreto de una señal, como puede ser el valor de pico, o el valor RMS, obteniendo directamente un valor numérico como resultado de la simulación.

El tiempo de simulación elegido fue de 10 ms (Un semiperíodo de la señal de la red eléctrica), ya que  $V_{BUS}$  está rectificada en doble onda, y en consecuencia las formas de onda tanto de la tensión como de la corriente medidas se repiten periódicamente cada 10 ms.

A su vez, se realizó una simulación paramétrica para variar la frecuencia de trabajo desde 35 kHz hasta 85 kHz a intervalos de 5 kHz, ejecutando así 10 simulaciones diferentes simultáneamente. De esta manera se puede comprobar el funcionamiento del sistema de medida a lo largo de todo el rango de operación de la etapa.

Una vez realizada la simulación, en la ventana de resultados se pueden ver los diferentes valores de los parámetros que se han configurado además de las formas de onda, para cada uno de los valores de frecuencia a los que se ha simulado.

The screenshot shows a software interface with a menu bar at the top. Below the menu is a toolbar with various icons. The main area is a table titled "Results" with columns for Point, Test, Output, Nominal, Spec, Weight, and Pass/Fail. The table contains numerous rows of data related to a "half\_bridge:test\_circuit1" setup, including various current (IL\_max, IL\_min, IL\_rms) and voltage (VB\_max, VB\_rms, VB\_av) measurements in both SD and NYQ formats across 8, 10, and 12 bits.

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
1	half_bridge:test_circuit1	/POT_SD				
1	half_bridge:test_circuit1	/POT_NYQ_8b				
1	half_bridge:test_circuit1	/POT_NYQ_10b				
1	half_bridge:test_circuit1	IL_max	39.94			
1	half_bridge:test_circuit1	IL_min	-39.94			
1	half_bridge:test_circuit1	IL_rms	20.95			
1	half_bridge:test_circuit1	VB_max	331			
1	half_bridge:test_circuit1	VB_rms	229.8			
1	half_bridge:test_circuit1	VB_av	206.6			
1	half_bridge:test_circuit1	POT_rms	5.664k			
1	half_bridge:test_circuit1	IL_SD_max	42.23			
1	half_bridge:test_circuit1	IL_SD_min	-42.23			
1	half_bridge:test_circuit1	IL_SD_rms	20.7			
1	half_bridge:test_circuit1	VB_SD_max	326.2			
1	half_bridge:test_circuit1	VB_SD_rms	229.5			
1	half_bridge:test_circuit1	VB_SD_av	205			
1	half_bridge:test_circuit1	POT_SD_rms	5.819k			
1	half_bridge:test_circuit1	IL_NYQ_max_8b	43.59			
1	half_bridge:test_circuit1	IL_NYQ_min_8b	-42.69			
1	half_bridge:test_circuit1	IL_NYQ_rms_8b	20.9			
1	half_bridge:test_circuit1	VB_NYQ_max_8b	334.7			
1	half_bridge:test_circuit1	VB_NYQ_rms_8b	229.7			
1	half_bridge:test_circuit1	VB_NYQ_av_8b	206.6			

Figura 31. Ventana de resultados del entorno de simulación ADE XL

## 4.1 MÉTODO DE ANÁLISIS UTILIZADO

Estos datos numéricos que se obtienen como resultado de la simulación pueden ser exportados en un archivo *comma-separated values* (.CSV) para ser tratados desde otra aplicación.

[Enlace al manual de la herramienta: Exportar resultados en formato .CSV](#)

El método de análisis que se usa para evaluar las diferentes alternativas consiste en utilizar estos datos para comparar los errores relativos en tanto por ciento cometidos en las medidas tomadas por cada conversor. En base a los errores cometidos por cada ADC se elegirá la mejor opción, teniendo en cuenta también que la frecuencia de muestreo a la que trabaja y el número bits sean lo menores posible en comparación con las prestaciones que ofrece.

Para calcular los errores relativos cometidos por cada conversor en los parámetros obtenidos en simulación se utiliza la siguiente fórmula con cada uno de ellos:

$$error(\%) = \left| \frac{x_{REF} - x_{ADC}}{x_{REF}} \right| \cdot 100$$

Donde  $x_{REF}$  es el valor del parámetro correspondiente calculado con los datos ideales tomados directamente de la etapa de potencia y  $x_{ADC}$  es el valor del parámetro correspondiente calculado con los datos obtenidos por medio del conversor.

Estos cálculos se llevan a cabo por medio de una hoja de cálculo de Microsoft Excel, en la cual se ha implementado la anterior ecuación en determinadas celdas, de manera que los datos de simulación queden organizados en tablas como la que se muestra a continuación. De esta manera los datos de simulación se muestran de una manera mucho más accesible y visual, y además se obtiene automáticamente la información que se pretende extraer de ellos, es decir, los errores relativos cometidos en cada uno de los parámetros de interés.

Frecuencia = 35 kHz, nb = 8 bits, fs = 8 MHz										
Señal	Valor de pico (max)	Error (%)	Valor de pico (min)	Error (%)	Valor RMS	Error (%)	Valor medio	Error (%)	Potencia RMS	Error (%)
IL	39,94	-----	-39,94	-----	20,95	-----	-----	-----	5860,00 W	-----
VB	331,00 V	-----	-----	-----	229,80 V	-----	206,60 V	-----	5860,00 W	-----
IL_SD	42,23	5,73%	-42,23	5,73%	20,7	1,19%	-----	-----	5820,00 W	0,68%
VB_SD	326,20 V	1,45%	-----	-----	229,50 V	0,13%	205,00 V	0,77%	5860,00 W	0,00%
IL_NYQ	43,59	9,14%	-42,89	6,88%	20,9	0,24%	-----	-----	5860,00 W	0,00%
VB_NYQ	334,70 V	1,12%	-----	-----	229,70 V	0,04%	206,60 V	0,00%	5860,00 W	0,00%

Tabla 3. Ejemplo de tabla utilizada para almacenar los resultados de una simulación

En la parte superior de la tabla se pueden consultar los valores de frecuencia de trabajo, número de bits y frecuencia de muestreo del ADC para los que se llevó a cabo la simulación mediante la cual se obtuvieron los datos. Las primeras dos filas corresponden a los valores de corriente y tensión usados como referencia para calcular los errores relativos, las dos siguientes corresponden a las medidas obtenidas mediante los conversores  $\Sigma\Delta$  de corriente y tensión, y las dos últimas corresponden a las medidas obtenidas mediante los ADC Nyquist de corriente y tensión.

#### 4.1.1 PARÁMETROS A VARIAR EN LAS SIMULACIONES

Para evaluar las diferentes alternativas de conversores que se tuvieron en cuenta durante el análisis llevado a cabo se trató de identificar las diferentes variables que influyen en el comportamiento del sistema. De esta manera, variando ciertos parámetros clave se pudieron recrear diferentes condiciones de operación para así tener la capacidad de determinar el comportamiento de cada uno de los ADC en cada caso.

Los principales parámetros que influyen en el comportamiento del sistema que se está tratando son los siguientes.

- **Número de bits y frecuencia de muestreo de los ADC.** Estas son las dos principales variables cuya influencia final sobre la exactitud de las medidas de corriente y tensión se pretende determinar como resultado del análisis llevado a cabo en el presente Trabajo Fin de Grado. Por este motivo, fueron los principales parámetros a variar en cada una de las diferentes condiciones de operación. Las diferentes opciones que se consideraron fueron 8, 10 y 12 bits en el caso del número de bits del ADC, y 1 MHz y 8 MHz en el caso de la frecuencia de muestreo.
- **Frecuencia de conmutación de la etapa de potencia.** La potencia entregada a la carga depende principalmente de la frecuencia de trabajo del inversor de la etapa de potencia. En consecuencia, la magnitud de la señal de corriente que circula por la carga varía según la frecuencia a la que se esté trabajando, lo cual impide aprovechar al máximo el rango de medida del ADC en todo momento. Como se ha comentado anteriormente, se tuvieron en cuenta 10 valores diferentes de frecuencia de trabajo, desde 35 kHz a 80 kHz, a intervalos de 5 kHz.
- **Ruido del sistema.** El nivel de ruido presente en el sistema y en las etapas de captación de las señales a medir tiene una influencia evidente sobre las medidas. Los niveles de ruido para los que se llevaron a cabo simulaciones fueron de 10 %, 5% y 2% en relación con la magnitud de las señales a medir.

- **Duty.** La variación de la anchura del pulso de las señales que controlan los tiristores del inversor es otra manera de controlar la potencia que se suministra a la carga del sistema. Para comprobar su influencia se tuvieron en cuenta unos valores de *duty* para estas señales de 0.3 y 0.5.

Se realizaron simulaciones del comportamiento del sistema de medida para todas las combinaciones posibles de los valores asignados a estos parámetros. Los resultados obtenidos en cada situación por cada ADC se evaluaron entre sí, y en función de ellos se terminó eligiendo el ADC que tuvo un comportamiento general mejor.

#### 4.1.2 DESCRIPCIÓN DEL PROCESO

Dada la cantidad de medidas obtenidas en cada una de las simulaciones realizadas, se encontró la necesidad de automatizar el proceso de cálculo de errores relativos y comparación de estos. Para ello se decidió crear un programa encargado de tratar los archivos .CSV con los resultados de las simulaciones mediante el software matemático Matlab®.

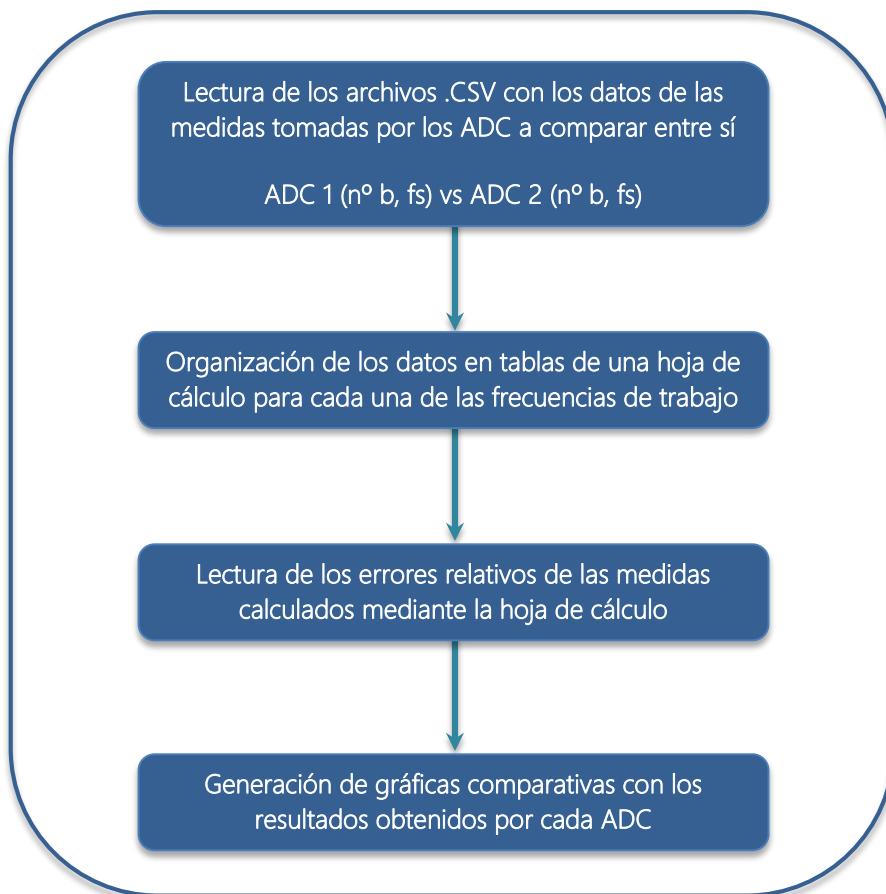
La misión de este programa consiste en comparar entre sí las medidas tomadas por dos ADC, cuyos parámetros de número de bits y frecuencia de muestreo sirven como parámetros de entrada del mismo. La idea es comparar dos a dos las diferentes opciones de configuraciones de un ADC de las que disponemos, y hacerlo para cada una de las posibles condiciones de operación antes comentadas. En la siguiente tabla se pueden ver las distintas combinaciones de parámetros que son comparadas entre sí para cada una de las condiciones de operación. Las celdas en azul indican el parámetro que varía en cada comparación.

Comparaciones			
ADC 1		ADC 2	
nº bits	fs	nº bits	fs
8 bits	1 MHz	8 bits	8 MHz
10 bits	1 MHz	10 bits	8 MHz
12 bits	1 MHz	12 bits	8 MHz
8 bits	1 MHz	10 bits	1 MHz
8 bits	8 MHz	10 bits	8 MHz
10 bits	1 MHz	12 bits	1 MHz
10 bits	8 MHz	12 bits	8 MHz

*Tabla 4. Configuraciones comparadas en cada una de las condiciones de operación*

Estas 7 comparaciones se realizan con datos de todo el rango de frecuencias de trabajo de la etapa, por tanto, habrá que realizarlas para cada uno de los diferentes niveles de ruido considerados en el análisis, y para cada uno de los valores de *duty*, haciendo un total de 42 ejecuciones del programa necesarias para cubrir todo el rango de posibilidades planteadas.

De manera más detallada, y siguiendo el esquema de la figura 32, la forma de operar del programa es la siguiente.



*Figura 32. Tareas desarrolladas por el programa implementado en Matlab®*

En primer lugar, los archivos .CSV generados desde la herramienta de simulación contienen las medidas tomadas por dos ADC diferentes (De 8 y 10 bits, o de 10 y 12 bits, según corresponda) además de las tomadas por los conversores  $\Sigma\Delta$  de corriente y tensión, para un valor dado de frecuencia de muestreo, un nivel concreto de ruido, y un valor de *duty*. El usuario se debe encargar de clasificar estos archivos en diferentes directorios para cada una de las distintas condiciones de operación, ya que el programa se encarga de leer el archivo adecuado en función de los parámetros de entrada (número de bits y la frecuencia de muestreo de los conversores a comparar), sin tener en cuenta las condiciones de operación que se están evaluando. De esta manera, en función del directorio con el que trabaje el programa, se conocerán las condiciones de operación para las cuales se han obtenido los resultados.

Una vez leídos los correspondientes archivos .CSV, los datos se almacenan en tablas de una hoja de cálculo de Microsoft Excel, similares a la [tabla 3](#). Cada hoja de cálculo contiene 10 tablas con datos por cada uno de los ADC que se están comparando (Una para cada valor de la frecuencia de trabajo). Es en estas tablas donde se calculan automáticamente los errores relativos de las medidas tal y como se ha comentado antes.

A continuación se vuelve a leer esta hoja de cálculo y se almacenan los datos correspondientes a los errores relativos de cada una de las medidas tomadas por cada conversor, para generar con ellos gráficas comparativas para cada uno de los parámetros que se están midiendo.

Estas gráficas están divididas en dos partes. En la parte superior se muestran el error relativo cometido por el conversor  $\Sigma\text{-}\Delta$  usado actualmente y el cometido por los ADC que se están comparando en el correspondiente análisis, frente a la frecuencia de comutación de la etapa de potencia. En la parte inferior se representan simplemente los errores de los ADC para ver de forma más detallada las diferencias entre ellos.

El programa también se encarga de guardar las gráficas en forma de imagen junto con la hoja de cálculo correspondiente en un directorio concreto para cada una de las ejecuciones del programa. Esta característica se decidió implementar también en el programa para poder realizar un tratamiento más sencillo de la gran cantidad de resultados generados como fruto de las ejecuciones necesarias para realizar un análisis completo.

La puesta en marcha del modelo de simulación al completo en la herramienta Virtuoso® Design Environment de Cadence®, y el diseño en Matlab® del posterior programa para el tratamiento de datos y obtención de resultados fueron unas de las partes más importantes y que requirieron un mayor tiempo de trabajo en este Trabajo Fin de Grado.

## 4.2 INFLUENCIA DE LOS DIFERENTES PARÁMETROS

Como primera forma de abordar el análisis de la influencia del número de bits y la frecuencia de muestreo del ADC en la exactitud de las medidas tomadas con él, se hicieron 3 réplicas para cada una de las comparaciones comentadas en el anterior apartado, y de esta manera poder tener una primera aproximación del rango en el que se movían los errores relativos cometidos en la medida de cada parámetro. Se decidió que lo más significativo sería centrar el análisis en la observación del peor caso.

A medida que se aumenta la frecuencia de trabajo en la etapa de potencia de una cocina de inducción, la corriente que circula por los inductores es menor. Esto hace que a 80 kHz se unan varios factores que lo conviertan en el punto de operación en el que se obtienen unos errores mayores en las medidas. Estos factores son los siguientes:

- Como se ha comentado, a 80 kHz es cuando la señal  $I_L$  tiene una menor magnitud, por tanto, es cuando menos se aprovecha el rango de conversión del ADC, y se obtienen medidas menos precisas.
- Al tener  $I_L$  una magnitud menor, la relación entre magnitud del ruido presente en el sistema (el cual se mantiene constante) y magnitud de la señal es mayor, lo que hace que las medidas se vean mucho más afectadas por el ruido que a otras frecuencias de trabajo.

Además, el valor de la carga utilizada en el modelo de simulación se eligió para que se tratara del peor caso posible, por tanto, centrándolo en la observación de los errores relativos a 80 kHz nos aseguramos de que se está teniendo en cuenta la peor de las posibles situaciones que se pueden dar. De esta manera se tiene la certeza de que en otras condiciones

cualquiera los resultados serán siempre mejores que los que se obtengan mediante este análisis.

Los resultados de simulación reflejaron que los parámetros relativos a  $V_{BUS}$  y a la potencia instantánea absorbida por la etapa no difieren de manera significativa en función de las características del ADC elegido para medirlos. Por este motivo el análisis se centró a partir de ese momento en analizar el valor de pico y el valor RMS de  $I_L$  en el peor caso posible, descartando el resto de parámetros.

#### 4.2.1 ERRORES DE CUANTIZACIÓN TEÓRICOS

Antes de pasar a comentar el análisis de los parámetros mencionados se van a realizar algunos cálculos para conocer el error de cuantización cometido al realizar las medidas con un ADC u otro. De esta manera se puede acotar el error de partida cometido con cada ADC en función de número de bits utilizados.

En la presentación de los ADC utilizados en el modelo de simulación se ha comentado que el error de cuantización cometido es siempre menor o igual que  $\pm \frac{1}{2}$  LSB. Ahora se va a calcular el error relativo que supone  $\frac{1}{2}$  LSB sobre la magnitud de la señal de  $I_L$  a 80 kHz.

ADC de 8 bits

$$\frac{V_{LSB}}{2} = \frac{3.3 V}{2 \cdot 2^8} = 0.006445312 V$$

Para saber a qué valor real equivale esta magnitud se debe dividir el valor por la ganancia que se le ha aplicado a  $I_L$  para adaptarla al rango de conversión. Esta ganancia está calculada en el [apartado 3 del Anexo B](#).

$$\frac{0.006445312 A}{0.018333333} = 0.352 A$$

A 80 kHz el valor máximo de  $I_L$  es de 14 A. Al no estar aprovechando todo el rango de conversión el error máximo de cuantización es:

$$\frac{0.352 A}{14 A} \cdot 100 = 2.5 \%$$

Para el resto de ADC utilizados procedemos de la misma manera.

ADC de 10 bits

$$\frac{V_{LSB}}{2} = \frac{3.3 V}{2 \cdot 2^{10}} = 0.001611328 V$$

El valor real de corriente será:

$$\frac{0.001611328 \text{ A}}{0.018333333} = 0.0879 \text{ A}$$

Y el error máximo de cuantización del ADC:

$$\frac{0.0879 \text{ A}}{14 \text{ A}} \cdot 100 = 0.63 \%$$

Se puede ver que al aumentar dos bits, y por tanto poder representar 4 veces más valores con el dato de salida del ADC, el error de cuantización se divide también por 4.

ADC de 12 bits

$$\frac{V_{LSB}}{2} = \frac{3.3 \text{ V}}{2 \cdot 2^{12}} = 0.000402832 \text{ V}$$

El valor real de corriente será:

$$\frac{0.000402832 \text{ A}}{0.018333333} = 0.022 \text{ A}$$

Y el error máximo de cuantización del ADC:

$$\frac{0.022 \text{ A}}{14 \text{ A}} \cdot 100 = 0.16 \%$$

De nuevo el error de cuantización se divide por 4.

#### 4.2.2 ANÁLISIS DE ALTERNATIVAS

Se han recopilado los datos relativos a los errores a 80 kHz de los parámetros valor de pico y valor RMS de  $I_L$  para cada una de las 3 réplicas realizadas, y con ellos se han elaborado unas tablas.

La primera decisión tomada fue descartar la opción de usar un conversor de 12 bits. En la siguiente tabla, que contiene los errores relativos obtenidos en una de las réplicas, se puede apreciar que no merece la pena aumentar de 10 a 12 bits para la medida de ninguno de los dos parámetros, ya que la mejora en los resultados conseguida con este cambio es muy pequeña, llegando incluso a obtener peores valores con el conversor de 12 bits que con el de 10 en algunos casos.

		Mejora resultados (D = 0.3)								
		Ruido 10%			Ruido 5%			Ruido 2%		
Influencia		Antes	Después	Mejora	Antes	Después	Mejora	Antes	Después	Mejora
Valor Pico	Aumentar fs de 1 a 8 MHz con 8b	15,62%	15,62%	0,00 %	5,08%	5,08%	0,00 %	0,15%	0,15%	0,00 %
	Aumentar fs de 1 a 8 MHz con 10b	13,00%	15,62%	-2,62 %	5,08%	7,70%	-2,62 %	0,15%	2,47%	-2,32 %
	Aumentar fs de 1 a 8 MHz con 12b	13,00%	15,92%	-2,92 %	5,46%	7,10%	-1,64 %	0,15%	2,17%	-2,02 %
	Aumentar nb de 8 a 10 con 1 MHz	15,62%	13,00%	2,62 %	5,08%	5,08%	0,00 %	0,15%	0,15%	0,00 %
	Aumentar nb de 10 a 12 con 1 MHz	13,00%	13,00%	0,00 %	5,08%	5,46%	-0,38 %	0,15%	0,15%	0,00 %
	Aumentar nb de 8 a 10 con 8 MHz	15,62%	15,62%	0,00 %	5,08%	7,70%	-2,62 %	0,15%	2,47%	-2,32 %
Valor RMS	Aumentar nb de 10 a 12 con 8 MHz	15,62%	15,92%	-0,30 %	7,70%	7,10%	0,60 %	2,47%	2,17%	0,30 %

		Mejora resultados (D = 0.5)								
		Ruido 10%			Ruido 5%			Ruido 2%		
Influencia		Antes	Después	Mejora	Antes	Después	Mejora	Antes	Después	Mejora
Valor Pico	Aumentar fs de 1 a 8 MHz con 8b	15,58%	20,66%	-5,08 %	5,58%	10,58%	-5,00 %	0,43%	0,43%	0,00 %
	Aumentar fs de 1 a 8 MHz con 10b	16,87%	20,66%	-3,79 %	8,08%	9,29%	-1,21 %	0,43%	0,43%	0,00 %
	Aumentar fs de 1 a 8 MHz con 12b	16,51%	21,23%	-4,72 %	8,08%	8,72%	-0,64 %	0,14%	0,43%	-0,29 %
	Aumentar nb de 8 a 10 con 1 MHz	15,58%	16,87%	-1,29 %	5,58%	8,08%	-2,50 %	0,43%	0,43%	0,00 %
	Aumentar nb de 10 a 12 con 1 MHz	16,87%	16,51%	0,36 %	8,08%	8,08%	0,00 %	0,43%	0,14%	0,29 %
	Aumentar nb de 8 a 10 con 8 MHz	20,66%	20,66%	0,00 %	10,58%	9,29%	1,29 %	0,43%	0,43%	0,00 %
Valor RMS	Aumentar nb de 10 a 12 con 8 MHz	20,66%	21,23%	-0,57 %	9,29%	8,72%	0,57 %	0,43%	0,43%	0,00 %

Tabla 5. Resultados de una simulación completa (D = 0.3)

		Mejora resultados (D = 0.5)								
		Ruido 10%			Ruido 5%			Ruido 2%		
Influencia		Antes	Después	Mejora	Antes	Después	Mejora	Antes	Después	Mejora
Valor Pico	Aumentar fs de 1 a 8 MHz con 8b	15,58%	20,66%	-5,08 %	5,58%	10,58%	-5,00 %	0,43%	0,43%	0,00 %
	Aumentar fs de 1 a 8 MHz con 10b	16,87%	20,66%	-3,79 %	8,08%	9,29%	-1,21 %	0,43%	0,43%	0,00 %
	Aumentar fs de 1 a 8 MHz con 12b	16,51%	21,23%	-4,72 %	8,08%	8,72%	-0,64 %	0,14%	0,43%	-0,29 %
	Aumentar nb de 8 a 10 con 1 MHz	15,58%	16,87%	-1,29 %	5,58%	8,08%	-2,50 %	0,43%	0,43%	0,00 %
	Aumentar nb de 10 a 12 con 1 MHz	16,87%	16,51%	0,36 %	8,08%	8,08%	0,00 %	0,43%	0,14%	0,29 %
	Aumentar nb de 8 a 10 con 8 MHz	20,66%	20,66%	0,00 %	10,58%	9,29%	1,29 %	0,43%	0,43%	0,00 %
Valor RMS	Aumentar nb de 10 a 12 con 8 MHz	20,66%	21,23%	-0,57 %	9,29%	8,72%	0,57 %	0,43%	0,43%	0,00 %

Tabla 6. Resultados de una simulación completa (D = 0.5)

Siguiendo con el análisis del resto de opciones, se han elaborado unas tablas en las que se resumen los resultados de las 3 réplicas en una sola tabla.

Valor Pico		Mejora resultados (D = 0.3)										
		Influencia	Réplica	Ruido 10%			Ruido 5%			Ruido 2%		
				Antes	Después	Mejora	Antes	Después	Mejora	Antes	Después	Mejora
		Aumentar fs de 1 a 8 MHz con 8b	1	15,62%	15,62%	0,00 %	5,08%	5,08%	0,00 %	0,15%	0,15%	0,00 %
		Aumentar fs de 1 a 8 MHz con 8b	2	15,62%	26,16%	-10,54 %	5,08%	10,39%	-5,31 %	5,08%	0,15%	4,93 %
		Aumentar fs de 1 a 8 MHz con 8b	3	15,62%	15,62%	0,00 %	10,39%	5,08%	5,31 %	0,15%	0,15%	0,00 %
		Aumentar fs de 1 a 8 MHz con 10b	1	13,00%	15,62%	-2,62 %	5,08%	7,70%	-2,62 %	0,15%	2,47%	-2,32 %
		Aumentar fs de 1 a 8 MHz con 10b	2	16,89%	27,43%	-10,54 %	6,43%	11,66%	-5,23 %	3,81%	1,20%	2,61 %
		Aumentar fs de 1 a 8 MHz con 10b	3	15,62%	16,89%	-1,27 %	7,70%	6,43%	1,27 %	0,15%	2,47%	-2,32 %
		Aumentar nb de 8 a 10 con 1 MHz	1	15,62%	13,00%	2,62 %	5,08%	5,08%	0,00 %	0,15%	0,15%	0,00 %
		Aumentar nb de 8 a 10 con 1 MHz	2	15,62%	16,89%	-1,27 %	5,08%	6,43%	-1,35 %	5,08%	3,81%	1,27 %
		Aumentar nb de 8 a 10 con 1 MHz	3	15,62%	15,62%	0,00 %	10,39%	7,70%	2,69 %	0,15%	0,15%	0,00 %
		Aumentar nb de 8 a 10 con 8 MHz	1	15,62%	15,62%	0,00 %	5,08%	7,70%	-2,62 %	0,15%	2,47%	-2,32 %
		Aumentar nb de 8 a 10 con 8 MHz	2	26,16%	27,43%	-1,27 %	10,39%	11,66%	-1,27 %	0,15%	1,20%	-1,05 %
		Aumentar nb de 8 a 10 con 8 MHz	3	15,62%	16,89%	-1,27 %	5,08%	6,43%	-1,35 %	0,15%	2,47%	-2,32 %

Tabla 7. Errores relativos en la medida del valor de pico de  $I_L$  (D = 0.3)

Valor RMS		Aumentar fs de 1 a 8 MHz con 8b	1	0,62%	0,13%	0,49 %	1,76%	0,34%	1,42 %	2,46%	1,61%	0,85 %
			2	0,62%	0,22%	0,40 %	1,84%	0,34%	1,50 %	2,46%	1,63%	0,83 %
			3	0,44%	0,10%	0,34 %	1,64%	0,45%	1,19 %	2,50%	1,59%	0,91 %
		Aumentar fs de 1 a 8 MHz con 10b	1	0,44%	0,02%	0,42 %	1,34%	0,42%	0,92 %	2,06%	1,64%	0,42 %
			2	0,27%	0,18%	0,09 %	1,39%	0,45%	0,94 %	2,25%	1,73%	0,52 %
			3	0,18%	0,00%	0,18 %	1,51%	0,55%	0,96 %	2,23%	1,69%	0,54 %
		Aumentar nb de 8 a 10 con 1 MHz	1	0,62%	0,44%	0,18 %	1,76%	1,34%	0,42 %	2,46%	2,06%	0,40 %
			2	0,62%	0,27%	0,35 %	1,84%	1,39%	0,45 %	2,46%	2,25%	0,21 %
			3	0,44%	0,18%	0,26 %	1,64%	1,51%	0,13 %	2,50%	2,23%	0,27 %
		Aumentar nb de 8 a 10 con 8 MHz	1	0,13%	0,02%	0,12 %	0,34%	0,42%	-0,08 %	1,61%	1,64%	-0,03 %
			2	0,22%	0,18%	0,04 %	0,34%	0,45%	-0,11 %	1,63%	1,73%	-0,10 %
			3	0,10%	0,00%	0,10 %	0,45%	0,55%	-0,10 %	1,59%	1,69%	-0,10 %

Tabla 8. Errores relativos en la medida del valor RMS de  $I_L$  (D = 0.3)

Valor Pico		Aumentar fs de 1 a 8 MHz con 8b	1	15,58%	20,66%	-5,08 %	5,58%	10,58%	-5,00 %	0,43%	0,43%	0,00 %
			2	15,58%	15,58%	0,00 %	5,58%	10,58%	-5,00 %	0,50%	0,50%	0,00 %
			3	15,58%	15,58%	0,00 %	5,58%	10,58%	-5,00 %	0,50%	0,43%	0,07 %
		Aumentar fs de 1 a 8 MHz con 10b	1	16,87%	20,66%	-3,79 %	8,08%	9,29%	-1,21 %	0,43%	0,43%	0,00 %
			2	14,37%	18,08%	-3,71 %	5,58%	9,29%	-3,71 %	0,50%	1,79%	-1,29 %
			3	16,87%	14,37%	2,50 %	5,58%	9,29%	-3,71 %	1,79%	1,71%	0,08 %
		Aumentar nb de 8 a 10 con 1 MHz	1	15,58%	16,87%	-1,29 %	5,58%	8,08%	-2,50 %	0,43%	0,43%	0,00 %
			2	15,58%	14,37%	1,21 %	5,58%	5,58%	0,00 %	0,50%	0,50%	0,00 %
			3	15,58%	16,87%	-1,29 %	5,58%	5,58%	0,00 %	0,50%	1,79%	-1,29 %
		Aumentar nb de 8 a 10 con 8 MHz	1	20,66%	20,66%	-0,00 %	10,58%	9,29%	1,29 %	0,43%	0,43%	0,00 %
			2	15,58%	18,08%	-2,50 %	10,58%	9,29%	1,29 %	0,50%	1,79%	-1,29 %
			3	15,58%	14,37%	1,21 %	10,58%	9,29%	1,29 %	0,43%	1,71%	-1,28 %

Tabla 9. Errores relativos en la medida del valor de pico de  $I_L$  (D = 0.5)

Valor RMS		Aumentar fs de 1 a 8 MHz con 8b	1	0,95%	0,28%	0,67 %	2,12%	0,58%	1,54 %	2,42%	1,57%	0,84 %
			2	0,98%	0,16%	0,82 %	1,95%	0,56%	1,39 %	2,46%	1,57%	0,89 %
			3	0,76%	0,05%	0,71 %	1,92%	0,41%	1,51 %	2,35%	1,53%	0,82 %
		Aumentar fs de 1 a 8 MHz con 10b	1	0,64%	0,39%	0,25 %	1,53%	0,61%	0,92 %	2,12%	1,62%	0,50 %
			2	0,64%	0,05%	0,59 %	1,50%	0,58%	0,92 %	2,14%	1,64%	0,50 %
			3	0,47%	0,14%	0,33 %	1,39%	0,47%	0,92 %	1,98%	1,61%	0,37 %
		Aumentar nb de 8 a 10 con 1 MHz	1	0,95%	0,64%	0,31 %	2,12%	1,53%	0,59 %	2,42%	2,12%	0,30 %
			2	0,98%	0,64%	0,34 %	1,95%	1,50%	0,45 %	2,46%	2,14%	0,32 %
			3	0,76%	0,47%	0,29 %	1,92%	1,39%	0,53 %	2,35%	1,98%	0,37 %
		Aumentar nb de 8 a 10 con 8 MHz	1	0,28%	0,39%	-0,11 %	0,58%	0,61%	-0,03 %	1,57%	1,62%	-0,05 %
			2	0,16%	0,05%	0,11 %	0,56%	0,58%	-0,02 %	1,57%	1,64%	-0,07 %
			3	0,05%	0,14%	-0,09 %	0,41%	0,47%	-0,06 %	1,53%	1,61%	-0,08 %

Tabla 10. Errores relativos en la medida del valor RMS de  $I_L$  (D = 0.5)

Para tratar de manera más sencilla esta gran cantidad de datos, estas tablas se han resumido en otras que muestran el intervalo en el que se mueven los errores relativos y los rangos de mejora teniendo en cuenta los datos de las 3 réplicas.

Valor de Pico (D = 0.3)									
Rango	Ruido 10%			Ruido 5%			Ruido 2%		
	1 MHz	8 MHz	Mejora	1 MHz	8 MHz	Mejora	1 MHz	8 MHz	Mejora
8 b	15.62%	[15.62, 26.16%]	[−10.54, 0%]	5.08, 10.39%	[5.08, 10.39%]	[−5.31, 5.31%]	[0.15, 5.08%]	0.15%	[0, 4.93%]
10 b	[13, 16.89%]	[15.62, 27.43%]	[−10.54, −1.27%]	5.08, 7.70%	[6.43, 11.66%]	[−5.23, 1.27%]	[0.15, 3.81%]	[1.20, 2.47%]	[−2.32, 2.61%]
Mejora	[−1.22, 2.62%]	[−1.27, 0%]		[−1.35, 2.69%]	[−2.62, −1.27%]		[0, 1.27%]	[−2.32, −1.05%]	

Valor RMS (D = 0.3)									
Rango	Ruido 10%			Ruido 5%			Ruido 2%		
	1 MHz	8 MHz	Mejora	1 MHz	8 MHz	Mejora	1 MHz	8 MHz	Mejora
8 b	[0.44, 0.62%]	[0.10, 0.22%]	[0.34, 0.49%]	[1.64, 1.84%]	[0.34, 0.45%]	[1.19, 1.50%]	[2.46, 2.50%]	[1.59, 1.63%]	[0.83, 0.91%]
10 b	[0.18, 0.44%]	[0, 0.18%]	[0.09, 0.42%]	[1.34, 1.51%]	[0.42, 0.55%]	[0.92, 0.96%]	[2.06, 2.25%]	[1.64, 1.73%]	[0.42, 0.54%]
Mejora	[0.18, 0.35%]	[0.04, 0.12%]		[0.13, 0.45%]	[−0.11, −0.08%]		[0.21, 0.40%]	[−0.10, −0.03%]	

Tabla 11. Intervalos en los que se mueven los errores relativos en función del ADC (D = 0.3)

Valor de Pico (D = 0.5)									
Rango	Ruido 10%			Ruido 5%			Ruido 2%		
	1 MHz	8 MHz	Mejora	1 MHz	8 MHz	Mejora	1 MHz	8 MHz	Mejora
8 b	15.58%	[15.58, 20.66%]	[−5.08, 0%]	5.58%	10.58%	[−5.00%]	[0.43, 0.50%]	[0.43, 0.50%]	[0, 0.07%]
10 b	[14.37, 16.87%]	[14.37, 20.66%]	[−3.79, 2.50%]	[5.58, 8.08%]	9.29%	[−3.71, −1.21%]	[0.43, 1.79%]	[0.43, 1.79%]	[−1.29, 0.08%]
Mejora	[−1.29, 1.21%]	[−2.50, 1.21%]		[−2.50, 0%]	1.29%		[−1.29, 0%]	[−1.29, 0%]	

Valor RMS (D = 0.5)									
Rango	Ruido 10%			Ruido 5%			Ruido 2%		
	1 MHz	8 MHz	Mejora	1 MHz	8 MHz	Mejora	1 MHz	8 MHz	Mejora
8 b	[0.76, 0.98%]	[0.05, 0.28%]	[0.67, 0.82%]	[1.92, 2.12%]	[0.41, 0.58%]	[1.39, 1.54%]	[2.35, 2.46%]	[1.53, 1.57%]	[0.82, 0.89%]
10 b	[0.47, 0.64%]	[0.05, 0.39%]	[0.25, 0.59%]	[1.39, 1.53%]	[0.47, 0.61%]	0.92%	[1.98, 2.14%]	[1.61, 1.64%]	[0.37, 0.50%]
Mejora	[0.29, 0.34%]	[−0.11, 0.11%]		[0.45, 0.59%]	[−0.06, −0.03%]		[0.30, 0.37%]	[−0.08, −0.05%]	

Tabla 12. Intervalos en los que se mueven los errores relativos en función del ADC (D = 0.5)

Las conclusiones que se pueden extraer de estos resultados son las siguientes:

- En primer lugar, los resultados tienen una gran dependencia del nivel de ruido utilizado para llevar a cabo la simulación. Este es un aspecto que se aprecia claramente en la medida del valor de pico, ya que a medida que el nivel de ruido aumenta el error de las medidas es cada vez mayor.
- Este hecho va directamente relacionado con el aumento del error en las medidas al aumentar la frecuencia de muestreo del ADC utilizado, y en menor medida, al aumentar el número de bits. Esto se debe a un tema meramente probabilístico, ya que al muestrear a una frecuencia menor es menos probable que se digitalicen máximos espurios en la señal que está siendo medida. Lo mismo ocurre al aumentar el número de bits, pero a un menor nivel, ya que se gana resolución en la medida. De nuevo, cuanto mayor es el nivel de ruido, más se hace presente este aspecto.
- Ocurre lo contrario con el valor RMS. El aumento de la frecuencia de muestreo genera una mejora en el error relativo de las medidas, y lo mismo ocurre en menor medida con el aumento del número de bits. Esta mejora causada por el aumento del número de bits del ADC, a diferencia de lo que ocurre con la causada por el aumento de la frecuencia de muestreo, se mantiene más o menos constante independientemente del nivel de ruido,

con valores en el intervalo [0.13, 0.45%] para un *duty* de 0.3, y [0.29, 0.59%] para un *duty* de 0.5.

- La variación del *duty* no afecta de una manera destacable a los errores cometidos en las medidas a 80 kHz de frecuencia de trabajo.
- Una de las conclusiones más claras que se pueden extraer es que no tiene sentido aumentar el número de bits de 8 a 10 si se está trabajando a 8 MHz de frecuencia de muestreo, ya que en prácticamente la totalidad de los casos no se produce ninguna mejora en los resultados para ninguno de los dos parámetros. Por este motivo, esta configuración queda descartada.

Observando cada una de las configuraciones restantes por separado, tenemos los siguientes rangos para los errores relativos de cada parámetro.

#### ADC 1 ( 8 bits, 1 MHz )

Duty	Valor de pico	Valor RMS
0.3	[0.15, 15.62%]	[0.44, 2.5%]
0.5	[0.43, 15.58%]	[0.76, 2.46%]

*Tabla 13. Errores relativos cometidos por un ADC de 8 bits a 1 MHz de fs*

#### ADC 2 ( 10 bits, 1 MHz )

Duty	Valor de pico	Valor RMS
0.3	[0.15, 16.89%]	[0.18, 2.25%]
0.5	[0.43, 16.87%]	[0.47, 2.14%]

*Tabla 14. Errores relativos cometidos por un ADC de 10 bits a 1 MHz de fs*

#### ADC 3 ( 8 bits, 8 MHz )

Duty	Valor de pico	Valor RMS
0.3	[0.15, 26.16%]	[0.10, 1.63%]
0.5	[0.43, 20.66%]	[0.05, 1.57%]

*Tabla 15. Errores relativos cometidos por un ADC de 8 bits a 8 MHz de fs*

Las siguientes gráficas se han elaborado para comparar entre sí el comportamiento de cada configuración en todo el rango de operación. En cada una de ellas se ha elegido el peor caso en cuanto a nivel de ruido, según corresponda.

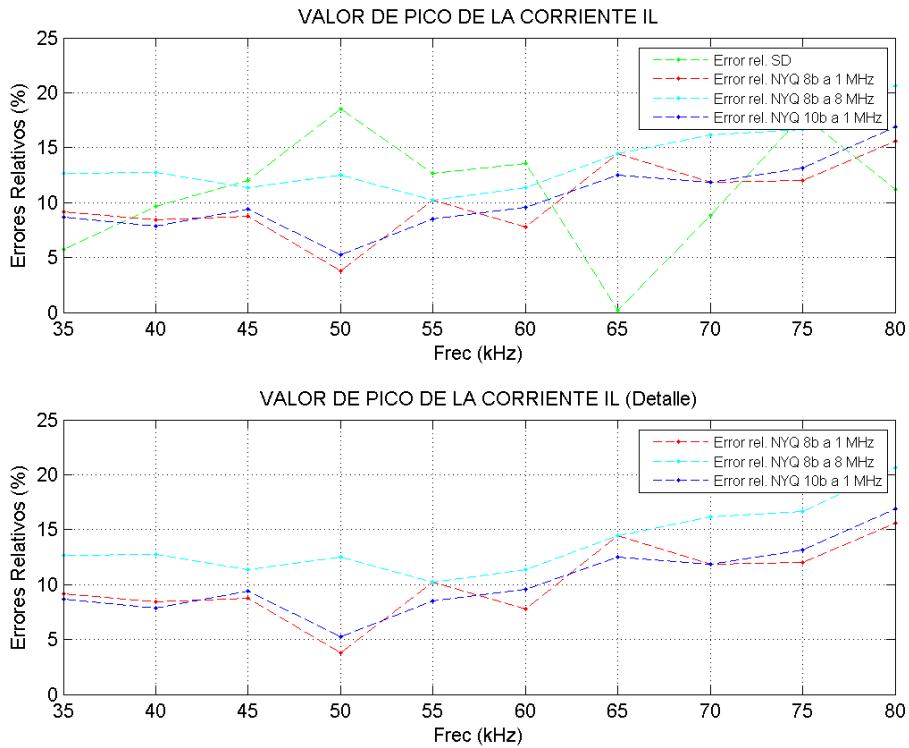


Figura 33. Error en la medida de  $I_{L\text{peak}}$  para cada configuración (noise = 10 %, D = 0.5)

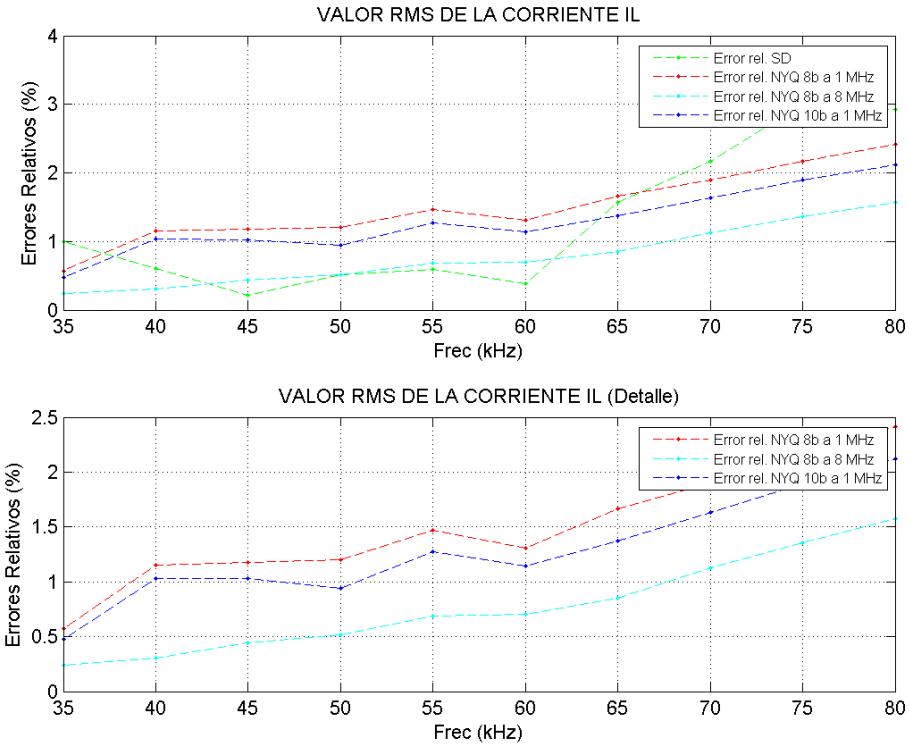
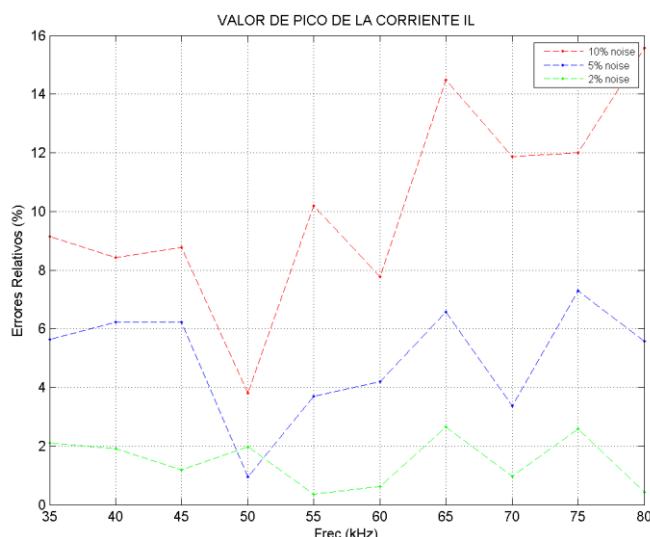


Figura 34. Error en la medida de  $I_{L\text{RMS}}$  para cada configuración (noise = 2 %, D = 0.5)

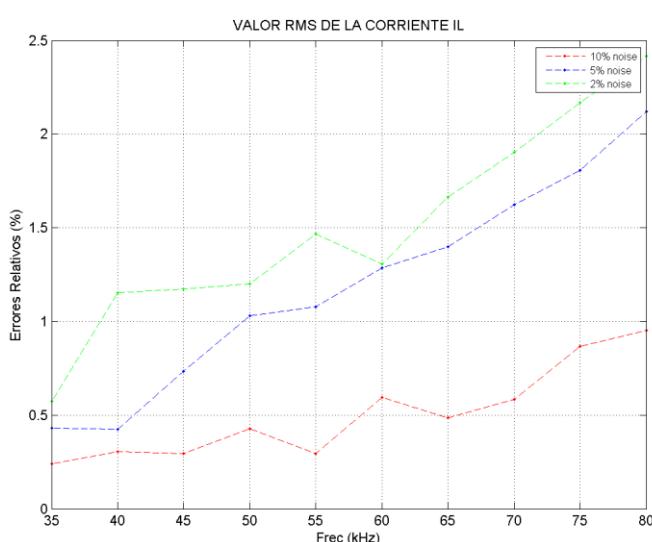
### 4.3 CONVERSOR ELEGIDO

Teniendo en cuenta todo lo expuesto, se decidió elegir como mejor opción la configuración de 8 bits y 1 MHz de frecuencia de muestreo. A pesar de que con las otras dos configuraciones se obtienen resultados algo mejores para el valor RMS, tanto en las tablas como en las gráficas se aprecia que no es una mejora tan significativa como para que merezca la pena utilizarlas en lugar de la elegida. Además, con esta configuración es con las que se obtienen unos mejores resultados en la medida del valor de pico, si bien estos todavía presentan un elevado error a medida que aumenta el ruido en el sistema.

Para ver más claramente cómo afecta el ruido del sistema en las medidas, la siguiente figura representa los errores de las medidas tomadas con la configuración seleccionada, a tres niveles de ruido diferentes.



*Figura 35. Error en la medida del valor de pico de  $I_L$  para varios valores de ruido*



*Figura 36. Error en la medida del valor RMS de  $I_L$  para varios valores de ruido*

Basándonos en las figuras 33 y 34, si comparamos los resultados con los del conversor  $\Sigma-\Delta$ , los obtenidos con el conversor seleccionado son mejores para todo el rango de operación en la medida del valor de pico. Para el valor RMS, se ve que a medida que aumenta la frecuencia de trabajo también son mejores.

El intervalo de errores obtenido en el cálculo del valor RMS de  $I_L$  mediante este conversor es de [0.44%, 2.5%], lo cual concuerda con el error de cuantización teórico cometido, que se ha calculado anteriormente para este conversor.

Finalmente, una vez elegida la configuración del conversor, se hicieron unas simulaciones para poder determinar el valor de incertidumbre que se tiene en la medida, para todo el rango de operación de la etapa de potencia. Para ello, siguiendo el procedimiento descrito en el [Anexo C](#), se realizaron 50 simulaciones en las que se calcularon los parámetros valor de pico y RMS de  $I_L$ , tanto de la señal real, como de la obtenida con el conversor. Cada una de las simulaciones se llevó a cabo con una semilla de ruido diferente para así obtener 50 muestras independientes. Estas simulaciones se realizaron a 3 niveles diferentes de ruido, y para 10 frecuencias de trabajo diferentes, nuevamente de 35 kHz a 80 kHz. Con estos datos se elaboraron los siguientes diagramas

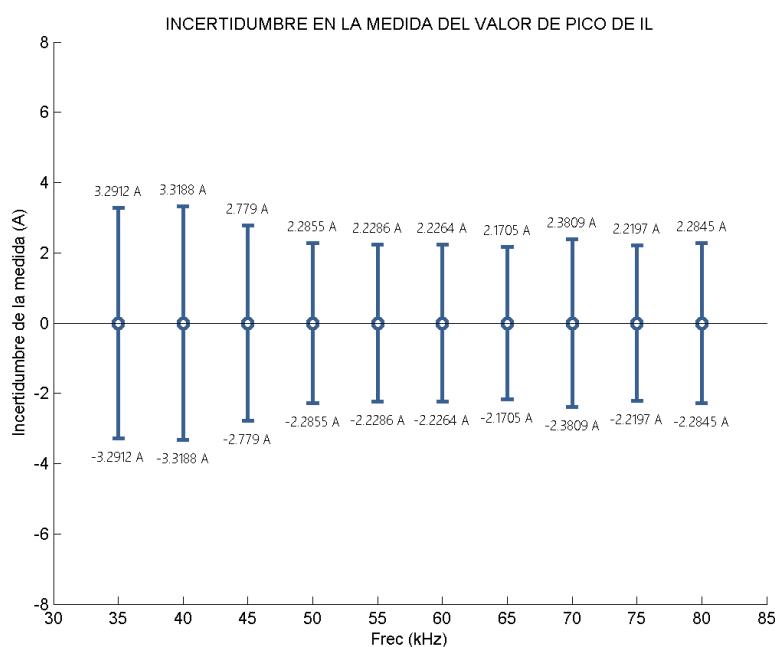
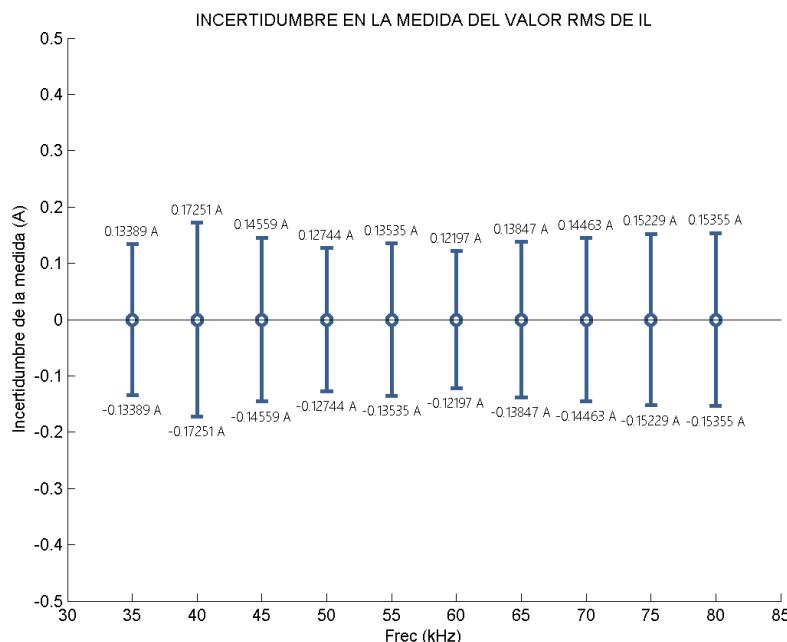


Figura 37. Diagrama de incertidumbre para las medidas del valor de pico (8 bits, 1 MHz)



*Figura 38. Diagrama de incertidumbre para las medidas del valor RMS (8 bits, 1 MHz)*

Estos diagramas describen el comportamiento del conversor elegido, ya que representan la incertidumbre de las medidas en función de la frecuencia de trabajo, para cada uno de los parámetros.

Con ellos se completa y se da por concluido el análisis llevado a cabo en el presente Trabajo Fin de Grado, mediante el cual se ha seleccionado la configuración más adecuada para el ADC encargado de medir la corriente y tensión en la carga de una etapa de potencia aplicada a la inducción doméstica.

## 5. RESULTADOS EXPERIMENTALES

Como forma de completar el análisis desarrollado, se decidió comprobar experimentalmente como afectan de manera real los diferentes parámetros de un ADC en la medida de una señal analógica.

Para ello, se contó con el siguiente hardware:

- Un generador de señales Tektronik AFG3022. La señal a muestrear se obtuvo previamente mediante un modelo simulado de un semipuente resonante serie. Los datos de simulación se transmitieron al generador, para así poder generar una señal similar a la que se obtendría en una etapa de potencia real.
- Una placa de circuito impreso (Printed circuit board o PCB) diseñada para muestrear señales bipolares. Incorpora el ADC AD7356 de Analog Devices, además de procesado digital para filtrar la señal.
- La placa de desarrollo Zedboard, la cual incorpora una *field programmable gate array* (FPGA), que a su vez cuenta con un microcontrolador (Denominado Zynq), que permite utilizar los diseños digitales implementados en la FPGA como un periférico más, personalizado por el usuario.

El siguiente esquema muestra los distintos componentes del sistema real de medidas:

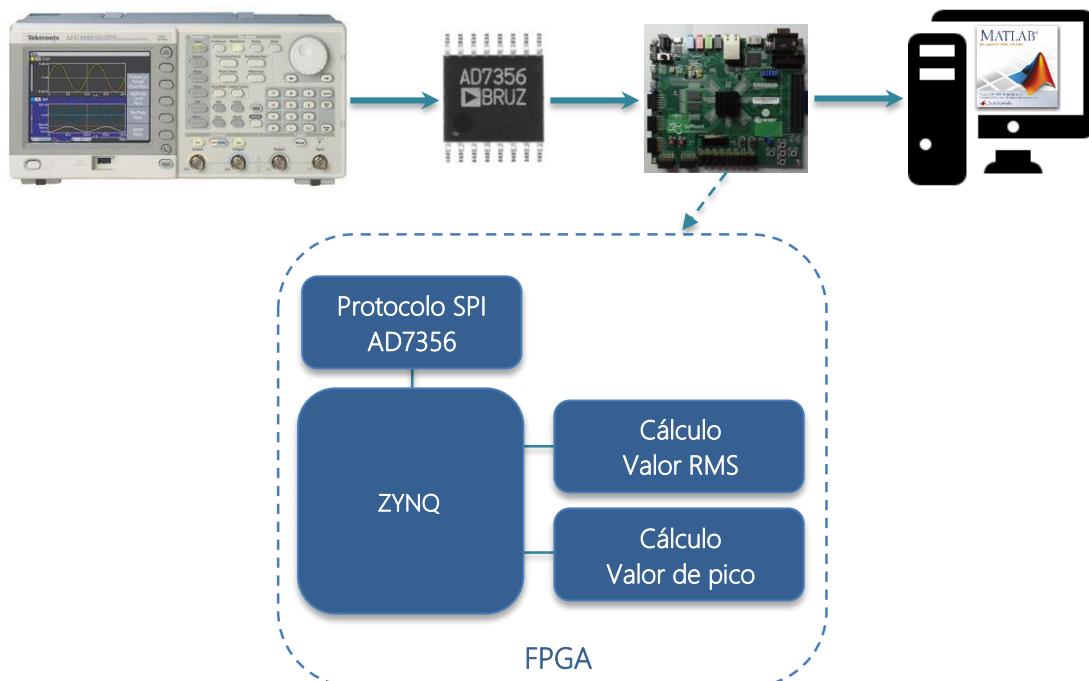


Figura 39. Bloques componentes del sistema de medida utilizado

Una parte del trabajo desarrollado en este punto consistió en diseñar una interfaz en Matlab® para transmitir de forma serie los datos de la onda que se desea tener en la salida del generador, de manera que sea posible generar cualquier tipo de onda por medio de una herramienta de simulación, y después se pueda utilizar como señal de entrada en un prototipo real. Dado que el número de puntos que describen una forma de onda obtenida mediante simulación suele ser mayor que el número de registros de memoria disponibles en el generador de señales, fue necesario hacer un muestreo de la señal para aprovechar el máximo número de puntos representables con ese generador. Los datos transmitidos, se normalizan y se codifican en 14 bits para adaptarse a los requerimientos del generador.

Por otro lado, se diseñaron dos bloques digitales el lenguaje VHDL con el fin de muestrear la señal y obtener los parámetros relativos a su valor de pico y RMS. Para poder obtener los datos convertidos por el ADC, fue necesario implementar en otro bloque digital el protocolo SPI de comunicación con el AD7356. Dicho bloque se diseñó con unas entradas mediante las cuales se puede modificar la frecuencia de muestreo y el número de bits utilizados en la conversión. El código utilizado para modelar todos estos bloques se puede consultar en el [Anexo E](#).

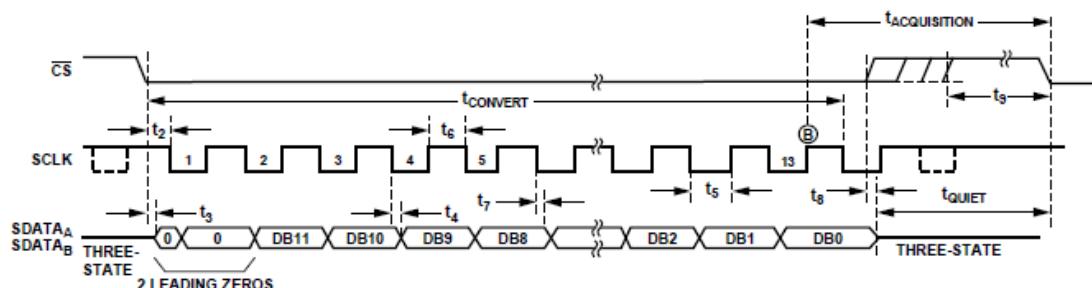


Figura 40. Protocolo serie de comunicación con el AD7356

Este protocolo se implementó mediante la siguiente máquina de estados:



Figura 41. Máquina de estados implementada para el protocolo SPI del AD7356

- El estado INIT se espera al inicio de la conversión.
- En el estado ZERO se reciben los 2 ceros que indica el protocolo
- En el estado DATA se recibe y almacena el dato de 12 bits, de los cuales sólo se tienen en cuenta los  $n$  bits más significativos, siendo  $n$  el valor que indica la entrada que indica el número de bits a utilizar.
- En el estado QUIET se esperan los ciclos necesarios para tener la frecuencia de muestreo seleccionada desde la entrada del bloque correspondiente, y tras él se vuelve al estado INIT para comenzar una nueva conversión.

Una vez diseñados los bloques, se diseñó un *testbench* para testearlos rigurosamente. Tras comprobar el correcto funcionamiento de todos ellos, se utilizó la herramienta Vivado Designer para implementar físicamente el diseño en la FPGA de la placa Zedboard. A continuación, se utilizó la herramienta SDK para programar el microcontrolador incorporado (Zynq), y así establecer el número de bits y la frecuencia de muestreo a la que se deseaba realizar las medidas, además de gestionar la comunicación de los datos convertidos al software matemático Matlab® para su visualización y tratamiento.

Este desarrollo se aprovechó para depurar el prototipo formado por la placa Zedboard junto con la PCB que incluye el ADC, el cual no tiene relación con este TFG y se encuentra en fase de desarrollo.

Finalmente, se hicieron algunas pruebas del funcionamiento de todo el sistema, y se consiguió obtener una serie de medidas en las que se puede ver claramente cómo afecta la frecuencia de muestreo utilizada a la hora de reconstruir la onda que está siendo muestreada.

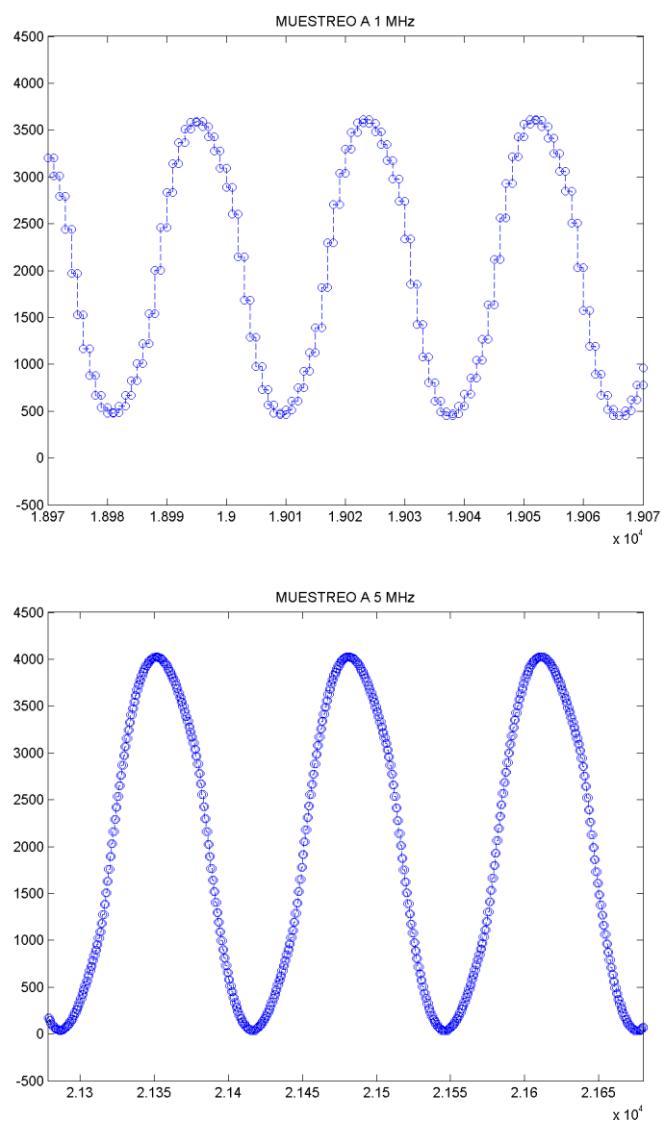


Figura 42. Datos obtenidos experimentalmente muestreando a 1 y 5 MHz, respectivamente

## 6.CONCLUSIONES OBTENIDAS

A modo de resumen, los objetivos alcanzados y las conclusiones obtenidas a lo largo de este Trabajo Fin de Grado son los siguientes:

- Se ha modelado la metodología de medida utilizada actualmente y se ha simulado su comportamiento con el objetivo de compararla con la metodología propuesta de utilizar conversores ADC de tipo Nyquist, para la cual se ha seguido el mismo procedimiento de modelado y simulación. Los resultados obtenidos en la medida de  $I_L$  han sido generalmente mejores en todo el rango de frecuencias de trabajo, y para diferentes parámetros como el valor de pico y el valor RMS.
- Se han obtenido unos valores relativos al número de bits y la frecuencia de muestreo del ADC propuesto como alternativa, que ofrecían las mejores prestaciones entre las diferentes opciones evaluadas.
- Se ha observado la gran dependencia del error de las medidas respecto al nivel de ruido presente en el sistema.
- Se ha observado la mayor influencia del aumento de la frecuencia de muestreo que del aumento del número de bits del ADC en la mejora de los resultados de medida.
- Se han obtenido resultados experimentales mediante los bloques digitales implementados en lenguaje VHDL, que han servido para verificar la influencia de la variación de los parámetros del ADC en los resultados de medida.
- Se ha conseguido poner en marcha la herramienta Virtuoso® Design Environment de Cadence® para llevar a cabo una simulación mixta.
- Se ha elaborado un manual de usuario de la herramienta, que describe todo el procedimiento utilizado durante la realización de análisis, con la intención de que sirva para futuros estudiantes o personal docente que necesiten llevar a cabo la simulación mixta de un diseño que incluya partes analógicas y digitales.

## 6.1 LÍNEAS FUTURAS

A raíz del trabajo desarrollado en este Trabajo Fin de Grado, se abren algunas vías sobre las que se podría seguir trabajando en el futuro:

- Continuación con la puesta en marcha y optimización del prototipo utilizado para la toma de medidas experimentales.
- Implementación de una ganancia programable en las etapas de adaptación de las señales a medir, que permita aprovechar al máximo el fondo de escala del conversor en todo momento.
- Estudio de una técnica que permita mejorar los resultados en la medida del valor de pico. Una posible opción sería el uso de interpolación.
- Análisis de la influencia del número de bits y frecuencia de muestreo del ADC en otros parámetros de la señal a medir no evaluados en este proyecto.
- Utilización de la herramienta Virtuoso® Design Environment de Cadence® para analizar diferentes técnicas de medida de potencia, midiendo tensión en diferentes puntos de la etapa de potencia.

## 7. REFERENCIAS

- [1] H. D. Young y R. A. Freedman, Física Universitaria, vol. 2, Pearson Educación, 2009, p. 980;993;995;1011;
- [2] Ó. J. Navascués, «Measurement and System Identification Tools For Power Converters Applied to Domestic Induction Heating Systems,» Escuela de Ingeniería y Arquitectura, Universidad de Zaragoza, Zaragoza, 2013.
- [3] W. G. Hurley y M. Duffy, «Calculation of self and mutual impedances in planar magnetic structures,» IEEE Trans. Magn., 1995.
- [4] K. S. Kundert y O. Zinke, The Designer's Guide to Verilog-AMS, 1 ed., Kluwer Academic Publishers, 2004, pp. 5-7.
- [5] I. Cadence Design Systems, «Virtuoso Schematic Editor L User Guide,» 2013.
- [6] O. Jiménez, «FPGA - based Real-Time Calculation of the Harmonic Impedance of Series Resonant Inductive Loads,» 2010.
- [7] M. P. Donadio, «CIC Filter Introduction,» 2000.
- [8] «Demystifying Delta-Sigma ADCs,» Maxim Integrated Products, Inc., 2003.
- [9] B. M. d. Brío y A. B. Nuez, Apuntes de la asignatura "Instrumentación Electrónica", 2<sup>a</sup> ed., Zaragoza: Universidad de Zaragoza.
- [10] B. Baker, «How delta-sigma ADCs work, Part 1,» Texas Instruments Incorporated.
- [11] E. Brunvand, Digital VLSI Chip Design with Cadence and Synopsys CAD Tools, Addison Wesley, 2010.
- [12] S. Sjoholm y L. Lindh, VHDL for Designers, Prentice Hall, 1997.

## 7.1 REFERENCIAS DE FIGURAS

- [Figura 2] K. K. Inc., «Kitchen Designs,» [En línea]. Available: <http://www.kitchendesigns.com/induction-cooking-and-how-it-works/>.
- [Figura 21] «embedded: cracking the code to system development,» [En línea]. Available: <http://www.embedded.com/design/configurablesystems/4025078/>.
- [Figura 46] «Atmel AVR127: Understanding ADC Parameters » Atmel Corporation, Inc., 2013.
- [Figura 51] «Demystifying Delta-Sigma ADCs,» Maxim Integrated Products, Inc., 2003.
- [Figura 53] «Demystifying Delta-Sigma ADCs,» Maxim Integrated Products, Inc., 2003.
- [Figura 54] «Demystifying Delta-Sigma ADCs,» Maxim Integrated Products, Inc., 2003.
- [Figura 55] B. Baker, «How delta-sigma ADCs work, Part 1,» Texas Instruments Incorporated.
- [Figura 56] «An Introduction to Delta Sigma Converters,» [En línea]. Available: <http://www.beis.de/Elektronik/DeltaSigma/DeltaSigma.html>.